

PCA-1238

8x 12-bit. ADC
2x FIFO DAC
IRQ, 8+8 DIO

Důležité upozornění !

Při zacházení s kartou dbejte zásad maní pulace s obvody citlivými na poškození elektrostatickým nábojem.

Instalaci provádějte zásadně při vypnutém počítači a vždy odpojte síťový kabel a přívodní vodiče karty !

Při nedodržení uvedených pravi del může dojít k trvalému poškození citlivých obvodů PC karty nebo celého počítače.

Uži vatelská příručka a její součásti jsou autorským dílem chráněným ustanovením zákona č. 35/1965 Sb. o dílech li terárních, vědeckých a uměleckých (Autorský zákon) ve znění zákona č. 89/1990 Sb., zákona č. 468/1991 Sb., zákona č. 318/1993 Sb., zákona č. 237/1995 Sb. a zákona č. 86/1996 Sb.

Všechna jména a názvy použi té v textu mohou být chráněnými známkami nebo obchodními názvy výrobků příslušných firem.

© 1994-2001 TEDIA spol. s r. o.

Záruční a pozáruční servis:

TEDIA spol. s r. o., Zábělská 12, 312 11 Plzeň 12

telefon: 019 7478168
fax: 019 7478169
e-mail: tedia@tedia.cz
internet: <http://www.tedia.cz>

Obsah

1.	Úvodní popis	
1.1.	Charakteristika	I - 1
2.	Technické parametry	
2.1.	A/D převodník	I - 2
2.2.	Logika spouštění	I - 2
2.3.	D/A převodník	I - 2
2.4.	Multicard master slave logika	I - 2
2.5.	Obvody přerušení	I - 3
2.6.	Digitální porty	I - 3
2.7.	Ostatní údaje	I - 3
2.8.	Dodávané konfigurace	I - 3
3.	Instalace karty	
3.1.	Úvod	I - 4
3.2.	Nastavení báze adresy	I - 4
3.3.	Nastavení vstupního rozsahu	I - 4
3.4.	Nastavení generátoru DAC	I - 4
3.5.	Vlastní instalace	I - 4
3.6.	Zapojení konektorů	I - 4
3.7.	Rozmístění spínačů a konektorů	I - 4
4.	Struktura adresového prostoru karty	
4.1.	Popis adresového dekodéru	I - 5
4.2.	DACModeReg	I - 5
4.3.	ADCModeReg	I - 5
4.4.	ADCTrigReg	I - 6
4.5.	ScanReg	I - 6
4.6.	DACReg	I - 7
4.7.	ADCReg	I - 7
4.8.	FIFOStatusReg	I - 8
4.9.	IRQReg	I - 8
4.10.	CtrlIntReg	I - 9
4.11.	ClrIntReg	I - 10
4.12.	IRQStatusReg	I - 10
4.13.	LBusReg	I - 10
4.14.	StatusReg	I - 11
4.15.	DigOutReg	I - 11
4.16.	DigInReg	I - 11
5.	Popis pracovních režimů A/D převodníku	
5.1.	Úvod	I - 12
5.2.	Pracovní režim "0"	I - 12
5.3.	Pracovní režim "1"	I - 12

5.4.	Pracovní režim "2"	I - 12
5.5.	Pracovní režim "5"	I - 12
5.6.	Pracovní režim "6"	I - 12
5.7.	Pracovní režim "15"	I - 12
6.	Popis pracovních režimů D/A převodníku	
6.1.	Úvod	I - 13
6.2.	Pracovní režim "0"	I - 13
6.3.	Pracovní režim "1"	I - 13
6.4.	Pracovní režim "2"	I - 13
6.5.	Pracovní režim "4"	I - 13
6.6.	Pracovní režim "5"	I - 13
6.7.	Pracovní režim "6"	I - 13
6.8.	Pracovní režim "15"	I - 13
7.	Popis scanovací logiky	
7.1.	Úvod	I - 14
7.2.	Programování	I - 14
7.3.	Činnost v průběhu měření	I - 14
7.4.	Příklad programové obsluhy	I - 14
8.	Popis taktovacích generátorů	
8.1.	Úvod	I - 15
8.2.	Zapojení taktovacích generátorů	I - 15
8.3.	Programování taktovacích generátorů	I - 15
9.	Popis obvodů přerušení	
9.1.	Úvod	I - 16
9.2.	Zdroje přerušení A/D převodníku	I - 16
9.3.	Zdroje přerušení D/A převodníku	I - 16
10.	Popis obvodů lokální sběrnice	
10.1.	Úvod	I - 17
10.2.	Externí signály	I - 17
10.3.	Řídicí signály	I - 17
11.	Popis digitálních vstupů a výstupů	
11.1.	Úvod	I - 18
11.2.	Zapojení vstupů	I - 18
11.3.	Zapojení výstupů	I - 18

Přílohy:

Příloha II - tabulky

Příloha III - obrázky

1. Úvodní popis

1.1. Charakteristika

Měřicí PC karta PCA-1238 je výrobek moderní koncepce ze stavebnice karet CHALLENGE SERIE určené zejména pro laboratorní a průmyslová měření s vyššími nároky na přesnost, vzorkovací frekvenci apod.

Karta PCA-1238 byla realizována na bázi moderních A/D a D/A převodníků firmy Analog Devices a vzhledem k nestandardnímu obvodovému řešení dosahuje příznivých parametrů. Aplikační možnosti rozšiřují digitální vstupy a výstupy.

K přednostem karty patří jednoduchá programová konfigurovatelnost parametrů. Při vlastní instalaci karty do počítače je nutné hardwarově nastavit pouze báзовou adresu, popř. základní napěťový rozsah A/D převodníků či generátor DAC; všechny ostatní funkce karty jsou ovládány plně softwarově.

Celkový pohled na desku PCA-1238 a její vnitřní obvodová struktura jsou zakresleny na obrázcích Obr.1. a Obr.2.

Karta PCA-1238 se vyznačuje zejména těmito vlastnostmi:

- 12-bitový A/D převodník a s podporou FIFO
- multiplexer pro 8 S.E. vstupů
- zesilovač s programovatelným ziskem (1x, 5x)
- časovač pro periodické spouštění převodníku
- logiku přerušení s kompletním programovým řízením (IRQ2-IRQ11)
- až 2 analogové výstupy s podporou FIFO a samostatným taktovacím generátorem
- 8+8 digitálních kanálů
- 16-bitový ISA interface

Mimořádné vlastnosti:

- "multicard master-slave" logika pro synchronizaci všech PC karet systému
- analogové výstupy vybaveny vyrovnávací FIFO pamětí

Svojí koncepcí je určena zejména pro:

- standardní měření se vzorkovacím kmitočtem do 250 kHz
- komplexní systémy s možností generování průběhů na pozadí měření
- realizaci výkonných měřicích ústředí (s využitím "multicard master-slave" logiky)
- řízení technologických procesů malého rozsahu bez rozšíření o další PC karty (8 analog. vstupů, 1 analog. výstup, 8 digit. vstupů, 8 digit. výstupů)

2. Technické parametry

2.1. A/D převodník

rozlišení:	12 bitů	(AD7892)
počet vstupů:	8 S.E.	
doba ustálení vstupního zesilovače:	2 μ s	(viz pozn.)
vstupní impedance:	10M Ω typ.	
vstupní rozsahy:	$\pm 5V / \pm 10V$	(volba propojkou)
maximální vstupní napětí:	$\pm 24V$	(viz pozn.)
programovatelné zesílení:	1x, 5x	
přesnost nastaveného zesílení:	$\pm 0,1\%$ typ.	($\pm 0,25\%$ max.)



Doba ustálení platí v případě, kdy vstupní napětí nepřekročí vstupní rozsah více než o 20%. Při překročení maximálního vstupního napětí může dojít k trvalému poškození obvodů karty.

2.2. Logika spouštění

zdroje spouštění A/D převodníku:	programově, interní časovač, externí signál TTL (sestupná hrana)
rozsah nastavení spouštění časovačem:	do 8 minut s rozlišením 125ns
doba konverze (včetně vstup. obvodů):	4 μ s
maximální rychlost vzorkování:	250kHz
ovládané funkce scanovací logiky:	fyzický vstup karty (IN0 ÷ IN7) zesílení (1x, 5x)
vyrovnávací paměť:	FIFO 2kB (tzn. 1024 vzorků)

2.3. D/A převodník

rozlišení:	12 bitů (verze PCA-1238M) 2x 8 bitů (verze PCA-1238S) bez DAC (verze PCA-1238L)
počet výstupů:	2
výstupní rozsahy:	$\pm 5V$
zatěžovací impedance:	500 Ω min. (viz pozn.)
vyrovnávací paměť:	FIFO 2kB (tzn. 1024 vzorků)
rozsah taktování časovačem:	do 8 minut s rozlišením 125ns



Výstupy D/A převodníků jsou odolné proti trvalému zkratu proti GND. Přivedením vnějšího napětí mimo rozsah $\pm 12V$ dojde k nevratnému poškození obvodů.

2.4. Multicard master slave logika


podporované signály:	taktovací generátor ADC taktovací generátor DAC externí taktovací TTL signál externí synchronizační TTL signál
kapacita lokální sběrnice:	10x PCA-1238 max. délka 25cm max.

2.5. Obvody přerušení

zdroje přerušení:	ADC_FIFO DAC_FIFO	
signály přerušení ADC_FIFO:	zápis 1. vzorku zaplnění 50% zaplnění 100%	(příznak "empty flag") (příznak "half full") (příznak "full")
signály přerušení DAC_FIFO:	zaplnění 0% zaplnění < 50%	(příznak "empty flag") (příznak "half full")
IRQ kanál:	IRQ2 ÷ IRQ11	(volen programově)

2.6. Digitální porty

počet výstupů:	8	(TTL komp.)
počet vstupů:	8	(TTL komp.)
zatěžovací impedance výstupů:	500Ω min.	(viz pozn.)

 *Vstupní porty jsou odolné proti přepětí ±24V. Výstupní digitální porty jsou odolné proti trvalému zkratu proti GND; přivedením napětí mimo rozsah 0÷5V dojde k nevratnému poškození obvodů.*

2.7. Ostatní údaje

I/O adresa:	200 _H ÷ 3F0 _H	(32 intervalů)
napájecí napětí:	+5V +12V -12V	(600 mA max.) (50 mA max.) (30 mA max.)
rozměry:	cca 105 x 185 mm	
EMC:	ČSN EN 55022 ČSN EN 50081-1 ČSN EN 50082-1	

2.8. Dodávané konfigurace

Karta PCA-1238 je na trh dodávána ve třech konfiguracích odlišujících se parametry obvodů analogových výstupů; všechny ostatní vlastnosti zůstávají shodné.

PCA-1238L	verze bez D/A převodníků
PCA-1238M	verze s jedním 12-bitovým D/A převodníkem
PCA-1238S	verze se dvěma 8-bitovými D/A převodníky

Identifikační znaky jednotlivých konfigurací jsou patrné z obrázku Obr.2.

3. Instalace karty

3.1. Úvod

Při výrobě bylo dbáno na dosažení vysoké kvality a spolehlivosti, rovněž byla věnována pozornost důkladné kontrole před expedicí. Aby nedošlo ke snížení jakosti či poškození při instalaci, doporučujeme Vám pečlivě prostudovat tuto příručku a postupovat podle uvedeného návodu.

3.2. Nastavení základní adresy

Základní adresu PC karty lze nastavit v rozsahu 200_{H} až $3\text{F}0_{\text{H}}$. Volba se provádí prostřednictvím šestinásobného DIL přepínače DIL SW1; význam jednotlivých segmentů je vyznačen v tabulce Tab.1. Při volbě je třeba dbát, aby nedošlo ke kolizi s ostatními instalovanými I/O zařízeními. Seznam standardních zařízení umístěných v tomto intervalu adres je uveden v tabulce Tab.2.

3.3. Nastavení vstupního rozsahu

A/D převodník, použitý na kartě PCA-1238, umožňuje volbu základního rozsahu $\pm 5\text{V}$ nebo $\pm 10\text{V}$. K volbě rozsahu je vyhrazena propojka JP1; její umístění na desce a význam je zřejmý z obrázku Obr.2.

3.4. Nastavení generátoru DAC

Generátor D/A převodníku umožňuje volbu vstupního signálu 8MHz nebo výstupu časovače T0. K volbě je vyhrazena propojka JP3; její umístění na desce a význam je zřejmý z obrázků Obr.1. a Obr.2.

3.5. Vlastní instalace

Instalaci karty provádějte zásadně při vypnutém počítači s odpojenými přívodními vodiči (sít, monitor apod.) a dodržujte zásady pro manipulaci s obvody citlivými na poškození elektrostatickým nábojem. S kartou manipulujte za okraje a nedotýkejte se prsty součástek. Nakonfigurovanou kartu zasuňte po předchozím vyjmutí krycího štítku do volné pozice pro rozšiřující desky počítače a zajistěte šroubem.

3.6. Zapojení konektorů

Zapojení vývodů konektorů je zakresleno na obrázcích Obr.3. až Obr.5.; popis signálů je uveden v tabulkách Tab.3. až Tab.5. V případě využití propojovacího kabelu DIG-14 pro zpřístupnění digitálních portů na zadním PC štítku (viz Obr.6.) je zapojení konektorů popsáno v tabulce Tab.6.

Připojení desky k měřenému objektu je naznačeno na obrázcích Obr.7. až Obr.10.

3.7. Rozmístění přepínačů a konektorů

Rozmístění přepínačů a konektorů na kartě PCA-1238 je zakresleno na obrázku Obr.2.; význam jednotlivých prvků je zřejmý z předešlých odstavců.

4. Struktura adresového prostoru

4.1. Popis adresového dekodéru

Adresový dekodér umožňuje relokaci báze adresy karty v rozsahu 200_{H} až $3F0_{\text{H}}$. Protože karta zabírá celkem 16 I/O adres, lze volit jeden z 32 intervalů.

Karta obsahuje několik typů registrů:

- řídící:
 - jsou určeny pro řízení režimu desky (DACModeReg, ADCModeReg, LBusReg, ...)
- datové:
 - jsou určeny pro přenos dat (ADCReg, DACReg)
- DIO:
 - slouží k přímému řízení digitálních portů (vstupní i výstupní) (DigInReg, DigOutReg)

Struktura registrů v adresovém prostoru je přehledně uvedena v tabulce Tab.7.

4.2. DACModeReg (WR, Base+4)

Tento řídicí registr karty slouží k volbě pracovního režimu D/A převodníků desky; podrobný popis režimů je uveden v dalších kapitolách. Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV				DAC_MODE			

- DAC_MODE
- volba pracovního režimu PC karty
 - 0 přímá programová obsluha registrů DAC
 - 1 přenos FIFO řízený časovačem
 - 2 přenos FIFO řízený externím signálem
 - 4 zápis dat do FIFO bez přenosu do DAC
 - 5 cyklický přenos FIFO řízený časovačem
 - 6 cyklický přenos FIFO řízený externím signálem
 - 15 nulování obsahu FIFO
- RSRV
- rezerva



Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena logická úroveň L. Neuvedené kombinace D3÷D0 jsou rezervovány pro další režimy.


4.3. ADCModeReg (WR, Base+5)

Tento řídicí registr karty slouží k volbě pracovního režimu A/D převodníku desky; podrobný popis režimů je uveden v dalších kapitolách. Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV				ADC_MODE			

- ADC_MODE
- volba pracovního režimu PC karty
 - 0 spouštění ADC softwarovými pulsy
 - 1 spouštění ADC časovačem
 - 2 spouštění ADC externím signálem
 - 5 spouštění ADC časovačem se synchronizací
 - 6 spouštění ADC externím signálem se synchronizací
 - 15 nulování obsahu FIFO
- RSRV
- rezerva

 Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena logická úroveň L. Neuvedené kombinace D3÷D0 jsou rezervovány pro další režimy.

4.4. ADCTrigReg (RD, Base+5)

Registru ADCTrigReg slouží k softwarovému spuštění A/D převodníku v pracovním režimu "0"; přenášená data nemají žádný význam.

4.5. ScanReg (WR, Base+7)

Registru ScanReg slouží k programování obsahu paměti scanovacích parametrů; registr přenáší současně číslo kanálu v sekvenci (tzn. adresu paměťové buňky) i scanovací parametr (tzn. data zapisovaná do paměti). V průběhu měření pak registr uchovává informaci o počtu měřených kanálů v sekvenci.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	CH_Nr			GAIN	MUX		

- MUX
- ovládání vstupního multiplexeru PC karty
 - 000 analogový vstup "Analog In 0"
 - 001 analogový vstup "Analog In 1"
 - ...
 - 111 analogový vstup "Analog In 7"
- GAIN
- ovládání zesílení vstupního zesilovače
 - 0 zesílení 1x (tzn. rozsah $\pm 5V/\pm 10V$)
 - 1 zesílení 5x (tzn. rozsah $\pm 1V/\pm 2V$)
- CH_Nr
- číslo kanálu ve scanovací sekvenci
 - 000 kanál číslo "CH0" (první měřený kanál)
 - 001 kanál číslo "CH1"
 - ...
 - 111 kanál číslo "CH7"
- RSRV
- rezerva

4.6. DACReg (WR, Base+8)

Registr DACReg slouží k přímému přenosu dat do D/A převodníků, resp. přenosu dat do DAC_FIFO paměti. Význam dat je závislý na konfiguraci PC karty, resp. na typu D/A převodníků.


Struktura registru pro kartu PCA-1238S (tzn. dva 8-bitové D/A převodníky):

D15 ... D8	D7 ... D0
DAC_1 (D7 ... D0)	DAC_0 (D7 ... D0)

Struktura registru pro kartu PCA-1238M (tzn. jeden 12-bitový D/A převodník):

D15	D14	D13	D12	D11 ... D0
RSRV				DAC_0 (D11 ... D0)

- DAC_0
- data D/A převodníku v přímém binárním kódu
formát dat 8-bitového D/A převodníku
 - 5.00V vstupní kód 0000 0000
 - 0.04V vstupní kód 0111 1111
 - 0.00V vstupní kód 1000 0000
 - 0.04V vstupní kód 1000 0001
 - 4.96V vstupní kód 1111 1111
 - formát dat 12-bitového D/A převodníku
 - 5.0000V vstupní kód 0000 0000 0000
 - 0.0024V vstupní kód 0111 1111 1111
 - 0.0000V vstupní kód 1000 0000 0000
 - 0.0024V vstupní kód 1000 0000 0001
 - 4.9976V vstupní kód 1111 1111 1111
- DAC_1
- data D/A převodníku v přímém binárním kódu
formát dat 8-bitového D/A převodníku totožný s DAC_0
- RSRV
- rezerva

 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena logická úroveň L.*

 *Důležité upozornění.
Pozor, tento registr je přístupný výhradně prostřednictvím 16-bitového I/O cyklu sběrnice.*

4.7. ADCReg (RD, Base+8)

Registr ADCReg slouží k přenosu dat z A/D převodníku, resp. přenosu naměřených dat z ADC_FIFO paměti.

Struktura registru a význam jednotlivých bitů je následující:

D15	D14	D13	D12	D11 ... D0
FRST	L	L	L	ADC (D11 ... D0)

- ADC
- data A/D převodníku v doplňkové kódu (nejvyšší bit je oproti přímému kódu negován)
 - 5.0000V výstupní kód 1000 0000 0000
 - 0.0024V výstupní kód 1111 1111 1111
 - 0.0000V výstupní kód 0000 0000 0000
 - 0.0024V výstupní kód 0000 0000 0001
 - 4.9976V výstupní kód 0111 1111 1111
- FRST
- příznak prvního kanálu sekvence (tzn. CH0) (aktivní v logické úrovni H)
- L
- nevyužitý bit (trvale nulován)



Důležité upozornění.

Pozor, tento registr je přístupný výhradně prostřednictvím 16-bitového I/O cyklu sběrnice.

4.8. FIFOStatusReg (RD, Base+B)

Stavový registr karty slouží k identifikaci aktuálního stavu obou FIFO pamětí. Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
A_ERR	A_FF	A_HF	A_EF	D_ERR	D_FF	D_HF	D_EF

- x_EF
- příznak pamětí FIFO zcela bez dat aktivní v úrovni L, do úrovně H přejde zápisem 1. vzorku
- x_HF
- příznak zaplnění pamětí FIFO daty alespoň 50% aktivní v úrovni L, do úrovně H přejde vyprázdněním pod 50%
- x_FF
- příznak 100% zaplnění pamětí FIFO daty aktivní v úrovni L, do úrovně H přejde vyprázdněním pod 100%
- D_ERR
- příznak úplného vyprázdnění DAC_FIFO daty = chyba přetečení aktivní v úrovni H, příznak nulován resetem FIFO
- A_ERR
- příznak 100% zaplnění ADC_FIFO daty = chyba přetečení aktivní v úrovni H, příznak nulován resetem FIFO



Registr obsahuje stejnojmenné příznaky ADC_FIFO (A_XXX) a DAC_FIFO (D_XXX).

4.9. IRQReg (WR, Base+C)


Tento registr slouží k povolení funkce přerušení a volbě kanálu IRQ. Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV				IRQ			

- IRQ
- definují IRQ kanál ISA sběrnice
 - 0000 není přiřazen žádný kanál IRQ
 - 0010 přiřazen kanál IRQ2/IRQ9
 - 0011 přiřazen kanál IRQ3
 -
 - 0111 přiřazen kanál IRQ7
 - 1010 přiřazen kanál IRQ10
 - 1011 přiřazen kanál IRQ11

- RSRV
- rezerva

 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena logická úroveň L. Neuvedené kombinace D3÷D0 jsou rezervovány.*

4.10. CtrlIntReg (WR, Base+D)

Registr CtrlClrReg slouží k volbě zdrojů přerušení a současně nulování nastavených příznaků přerušení. Registr je po resetu, resp. zapnutí počítače vynulován.


Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV		IntADC		RSRV		IntDAC	

- INT_DAC
- volba zdroje přerušení DAC_FIFO
 - 00 žádný ze signálů DAC_FIFO nevyužívá přerušení
 - 01 přerušení vyvoláno úplným vyprázdněním FIFO (tzn. poslední vzorek byl přenesen z FIFO do DAC)
 - 10 přerušení vyvoláno vyprázdněním FIFO na 50% (tzn. počet vzorků DAC_FIFO klesl na 512 vzorků)
 - 11 režim rezervován

- INT_ADC
- volba zdroje přerušení DAC_FIFO
 - 00 žádný ze signálů ADC_FIFO nevyužívá přerušení
 - 01 přerušení vyvoláno zápisem 1. vzorku do FIFO (tzn. do prázdné FIFO paměti byl zapsán vzorek)
 - 10 přerušení vyvoláno zaplněním FIFO na 50% (tzn. počet vzorků ve FIFO překročil 512)
 - 11 přerušení vyvoláno zaplněním FIFO na 100% (tzn. počet vzorků ve FIFO dosáhl 1024)

- RSRV
- rezerva

 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena logická úroveň L.*

4.11. ClrIntReg (RD, Base+C)

Registr ClrIntReg slouží k nulování příznaků požadavku o přerušení (viz popis IRQStatusReg); přenášená data nemají žádný význam.



Důležité upozornění.

Pozor, tento registr nuluje všechny příznaky současně.

Pokud jsou povoleny dva zdroje přerušení současně, vhodnějším způsobem nulování příznaků je zakázání a opětovné povolení příslušného zdroje pomocí registru CtrlIntReg.

4.12. IRQStatusReg (RD, Base+D)

Registr IRQStatusReg slouží k identifikaci zdroje přerušení v případě současného využití obou zdrojů. Struktura registru je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV			A_IRQ	RSRV			D_IRQ

- D_IRQ
- příznak přerušení od DAC_FIFO (aktivní v logické úrovni H, nulován ClrIntReg)
- A_IRQ
- příznak přerušení od ADC_FIFO (aktivní v logické úrovni H, nulován ClrIntReg)
- RSRV
- rezerva (příznak je trvale nulován)



Registr lze s výhodou uplatnit i v programech bez využití funkce přerušení pro detekci přetečení FIFO paměti daty v průběhu měření (registrem CtrlIntReg je povolen odpovídající zdroj, ale registrem IRQReg není přiřazen platný kanál).

4.13. LBusReg (WR, Base+E)

Tento registr slouží k volbě režimu lokální sběrnice PC karty. Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV				LB_MODE			

- LB_MODE
- volba pracovního režimu lokální sběrnice
 - 0 budiče odpojeny (PC karta v režimu slave)
 - 3 budiče aktivovány (PC karta v režimu master)
- RSRV
- rezerva



Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena logická úroveň L. Neuvedené kombinace D3÷D0 jsou rezervovány pro další režimy.

4.14. StatusReg (RD, Base+E)

Registr StatusReg slouží k detekci základních diagnostických signálů karty; struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
XSync	EnSync	Gate2	Gate1	LB_MODE			

- LB_MODE
- volba pracovního režimu lokální sběrnice (viz registr LBusReg)
- Gate1
- stav vstupu Gate čítače T1 obvodu 82C54 (nastaveno do úrovně H v ADC režimech 1 a 5)
- Gate2
- stav vstupu Gate čítače T2 obvodu 82C54 (nastaveno do úrovně H v DAC režimech 1 a 5)
- EnSync
- povolení funkce detektoru vnější události (nastaveno do úrovně H v ADC režimech 5 a 6)
- XSync
- stav detektoru vnější události (nastaveno do úrovně H po detekci události)

4.15. DigOutReg (WR, Base+F)

Tento registr plní funkci výstupního digitálního portu; význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru portu.

Registr je po resetu, resp. zapnutí počítače vynulován.

D7	D6	D5	D4	D3	D2	D1	D0
DOUT7	DOUT6	DOUT5	DOUT4	DOUT3	DOUT2	DOUT1	DOUT0

4.16. DigInReg (RD, Base+F)

Tento registr plní funkci vstupního digitálního portu; význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru portu.

D7	D6	D5	D4	D3	D2	D1	D0
DIN7	DIN6	DIN5	DIN4	DIN3	DIN2	DIN1	DIN0

5. Popis pracovních režimů A/D převodníku

5.1. Úvod

Ovládání A/D převodníku karty je do značné míry usnadněno sjednocením potřebných inicializačních kroků do jediné konfigurační operace - nastavení pracovního režimu.

Dále uvedený popis režimů předpokládá předchozí nastavení scanovací logiky a inicializaci obvodů lokální sběrnice (i v případě jediné karty v systému).

5.2. Pracovní režim "0"

V tomto pracovním režimu je A/D převodník, resp. měřicí sekvence, spouštěn softwarovým pulsem (viz popis ADCTrigReg). Po ukončení sekvence program načte data z ADC_FIFO paměti ke zpracování; přenos v dlouhých blocích nepřináší v tomto režimu žádné výhody.

5.3. Pracovní režim "1"

V tomto pracovním režimu je A/D převodník, resp. měřicí sekvence, spouštěn impulsy z taktovacího generátoru realizovaného kaskádním zapojení časovačů T0 a T1 obvodu 82C54.

Přenos dat je realizován průběžně vyhodnocením příznaků zaplnění ADC_FIFO paměti nebo v pevných blocích délky 512 vzorků (nejefektivnější metoda přenosu) programovým vyhodnocením příznakových bitů nebo s pomocí obsluhy přerušení.

5.4. Pracovní režim "2"

V tomto pracovním režimu je A/D převodník, resp. měřicí sekvence, spouštěn externími impulsy odpovídajícího signálu lokální sběrnice; obsluha přenosu dat je analogická pracovnímu režimu "1". Je-li frekvence externího signálu vyšší než mezní odpovídající délce měřicí sekvence, jsou nadbytečné pulsy ignorovány.

5.5. Pracovní režim "5"

Tento režim je zcela totožný s režimem "1", jedinou odlišností je detekce vnější události. Od okamžiku spuštění tohoto módu až do detekce náběžné hrany externího TTL signálu (tzn. změny z logické úrovně L do H) jsou pulsy časovače blokovány a spuštění A/D převodníku tak znemožněno.

5.6. Pracovní režim "6"

V tomto pracovním režimu je A/D převodník, resp. měřicí sekvence, spouštěn externími impulsy odpovídajícího signálu lokální sběrnice blokováného až do detekce vnější události; obsluha přenosu dat je analogická pracovnímu režimu "5".

5.7. Pracovní režim "15"

Tento pracovní režim není určen pro měření, ale výhradně pro nulování obsahu vyrovnávací paměti ADC_FIFO.

6. Popis pracovních režimů D/A převodníků

6.1. Úvod

Obvody D/A převodníků umožňují řadu mimořádných funkcí, které nejsou začleněny do běžných multifunkčních PC karet. Ovládání je do značné míry usnadněno sjednocením potřebných inicializačních kroků do jediné konfigurační operace - nastavení pracovního režimu.

6.2. Pracovní režim "0"

V tomto pracovním režimu je D/A převodník obsluhován přímým zápisem bez využití funkce DAC_FIFO.

6.3. Pracovní režim "1"

V tomto pracovním režimu jsou data z DAC_FIFO do D/A převodníku přenášena pulsy z taktovacího generátoru realizovaného kaskádním zapojení časovačů T0 a T2 obvodu 82C54 nebo pouze časovačem T2 (viz. Obr.1. a Obr.2.).

Zápis dat do DAC_FIFO je realizován programově vyhodnocením příznakových bitů nebo v pevných blocích délky 512 vzorků s využitím obsluhy přerušení.

6.4. Pracovní režim "2"

V tomto pracovním režimu jsou data do D/A převodníku přenášena externími pulsy odpovídajícího signálu lokální sběrnice; obsluha přenosu dat je analogická pracovnímu režimu "1".

6.5. Pracovní režim "4"

V tomto pracovním režimu nejsou data zapisována do D/A převodníku; režim je určen pro programování obsahu DAC_FIFO pro následné využití režimy "5" a "6".

6.6. Pracovní režim "5"

V tomto pracovním režimu jsou data obsažená v DAC_FIFO uzavřena do kruhového zásobníku a do D/A převodníku cyklicky zapisována pulsy taktovacího generátoru (viz popis režimu "1"). Programové zápisy do registru nemají pro funkci žádný význam. Pro korektní činnost je vyžadován počet vzorků v rozsahu $2 \div 1024$.

6.7. Pracovní režim "6"

Tento pracovní režim je zcela analogický režimu "5", rozdílný je pouze zdroj pulsů pro přenos dat do D/A převodníku (externí TTL signál).

6.8. Pracovní režim "15"

Tento pracovní režim není určen pro měření, ale výhradně pro nulování obsahu vyrovnávací paměti DAC_FIFO.

7. Popis scanovací logiky

7.1. Úvod

Karta PCA-1238 je vybavena scanovací logikou pro automatické odměření požadovaných vstupů v jediné sekvenci. Tato metoda zajišťuje konstantní a současně minimální časovou odchylku mezi jednotlivými kanály bez ohledu na zvolenou vzorkovací frekvenci.

7.2. Programování

V režimu programování lze na obvody scanovací logiky pohlížet jako na standardní nepřímou adresovanou paměť RAM. Registrem ScanAdrReg je zvolena požadovaná paměťová buňka a poté prostřednictvím registru ScanDataReg jsou požadovaná data zapsána. Platný rozsah a formát dat byl uveden v příslušné kapitole při popisu jednotlivých registrů.

7.3. Činnost v průběhu měření

V průběhu měření scanovací obvody karty při každém startu sekvence načítají parametry z paměti počínaje adresou "0" vzestupně až do adresy posledního kanálu (počet kanálů v sekvenci je definován stavem registru ScanAdrReg). Po odměření posledního kanálu je adresový čítač scanovacích parametrů nastaven na hodnotu "0".

7.4. Příklad programové obsluhy

Přestože je více možností programování scanovací logiky (parametry lze programovat v libovolném pořadí nebo lze modifikovat pouze některé z parametrů), lze doporučit postup znázorněný na uvedeném příkladu.

Příklad - sekvence pěti vstupů v pořadí AIN0 ($\pm 5V$), AIN2 ($\pm 5V$), AIN3 ($\pm 1V$), AIN6 ($\pm 1V$) a AIN7 ($\pm 5V$):

WR (Base+7)	00 _h	{vstup AIN0, rozsah $\pm 5V$ }
WR (Base+7)	12 _h	{vstup AIN2, rozsah $\pm 5V$ }
WR (Base+7)	2B _h	{vstup AIN3, rozsah $\pm 1V$ }
WR (Base+7)	3E _h	{vstup AIN6, rozsah $\pm 1V$ }
WR (Base+7)	47 _h	{vstup AIN7, rozsah $\pm 5V$ }

Po naprogramování sekvence podle uvedeného postupu bude měřen vstup AIN0 jako první a vstup AIN7 jako poslední, sekvence je odměřena vcelku při jediném spouštěcím pulsu.

Časové poměry scanovací sekvence jsou zakresleny v diagramu Obr.11.



Jak vyplývá z uvedeného, je nutné při programování scanovacích parametrů dodržet kontinuitu adres a v registru ScanReg ponechat adresu posledního měřeného kanálu.

8. Popis taktovacích generátorů

8.1. Úvod

Karta PCA-1238 je osazena krystalovým oscilátorem 8MHz a jedním řadičem typu 82C54 obsahujícím tři 16-bitové čítače/časovače.

Vzhledem k obecné znalosti programování tohoto obvodu a současně omezeným možnostem jeho využití v jiné funkci než taktovacích generátorů, není kompletní popis tohoto obvodu v příručce zařazen a tato kapitola je věnována jedinému využitelnému pracovnímu režimu.

8.2. Zapojení taktovacích generátorů

Obvodové řešení taktovacích generátorů je zakresleno na obrázku Obr.1.

Ze schematu je zřejmé, že čítač T0 plní funkci společné předděličky pro generátory logiky A/D i D/A převodníků. Čítače T1, resp. T2, pak pracují ve funkci druhých dělicích stupňů taktovacích generátorů. Čítač T2 však může alternativně namísto výstupního signálu čítače T0 zpracovávat přímo signál oscilátoru 8MHz (viz JP3).

Všechny tři čítače jsou 16-bitové a umožňují nastavení dělicího poměru $2 \div 65536$ (dělicího poměru je dosažena programováním hodnoty "0").



Děličku lze programovat buď na hodnotu v rozsahu $2 \div 65535$, tzn. číslem rovným dělicímu poměru, nebo lze programováním čítače na hodnotu "0" dosáhnout dělicího poměru 65536.

8.3. Programování taktovacích generátorů

Prvním konfiguračním krokem je nastavení vhodných pracovních módů čítačů; vzhledem k požadované funkci je ideálním módem programovatelná dělička frekvence s proměnnou střídou výstupního signálu, tzn. mód 2.

Z dalších možných voleb je upřednostněn režim postupného programování nižšího a vyššího byte a binární forma čítání.

Konfigurace je provedena symbolickými příkazy:

WR (Base+3)	34 _H	{pracovní mód čítače T0}
WR (Base+3)	74 _H	{pracovní mód čítače T1}
WR (Base+3)	B4 _H	{pracovní mód čítače T2}

Po úvodní konfiguraci lze do jednotlivých čítačů naprogramovat požadovaný dělicí poměr, např. pro vzorkovací frekvenci A/D převodníku 1kHz a taktovací frekvenci D/A převodníků 50kHz, tzn. děličky :8, :1000, :20 (odpovídá 8_H, 3E8_H, 20_H).

WR (Base+0)	8 _H	{čítač T0 - dělička 8 - LSB}
WR (Base+0)	0 _H	{čítač T0 - dělička 8 - MSB}
WR (Base+1)	E8 _H	{čítač T1 - dělička 1000 - LSB}
WR (Base+1)	3 _H	{čítač T1 - dělička 1000 - MSB}
WR (Base+2)	20 _H	{čítač T2 - dělička 20 - LSB}
WR (Base+2)	0 _H	{čítač T2 - dělička 20 - MSB}

9. Popis řadiče přerušení

9.1. Úvod

Karta PC-1238 je vybavena programovatelnou logikou přerušení s více současně pracujícími zdroji a osmi IRQ kanály sběrnice ISA. Protože volba IRQ je omezena pouze na výběr volného kanálu přerušení, následující odstavce budou věnovány pouze volbě zdroje přerušení s ohledem na praktické využití.

9.2. Zdroje přerušení A/D převodníku

A/D převodník, resp. jeho blok ADC_FIFO, umožňuje volbu jednoho ze tří následujících zdrojů (viz popis CtrlIntReg):

1. Přerušení vyvoláno zápisem 1. vzorku do ADC_FIFO
Tento režim je vhodný pro vzorkovací frekvence do stovek Hz při současně potřebě zpracování dat v reálném čase. Vzhledem k rychlosti A/D převodníku dojde k dokončení měřicí sekvence zpravidla dříve (pro sekvenci o délce osm kanálů do 28 μ s) než je zahájena obsluha přerušení.
2. Přerušení vyvoláno zápisem 513. vzorku do ADC_FIFO (tzn. 50% zaplnění)
Tento režim je ideální i pro nejvyšší vzorkovací frekvence. Obsluha přerušení nemusí neobsahovat detekci zaplnění ADC_FIFO, nýbrž přenáší pevný datový blok s délkou 512 vzorků. Současně je poskytnuta časová rezerva pro zahájení obsluhy (alespoň 2ms pro nejvyšší vzorkovací frekvenci 250kHz).
3. Přerušení vyvoláno zápisem 1024. vzorku do ADC_FIFO (tzn. 100% zaplnění)
Protože tento režim neposkytuje žádnou časovou rezervu pro zahájení obsluhy přerušení, lze jej využít pro nejnižší vzorkovací frekvence za podmínky dodržení délky sekvence 1, 2, 4 nebo 8 kanálů.
Druhým případem využití je v aplikacích, kde kapacita ADC_FIFO vyhoví požadované délce záznamu a není proto nutné data přenášet v průběhu měření.

9.3. Zdroje přerušení D/A převodníku

D/A převodník, resp. jeho blok DAC_FIFO, umožňuje volbu jednoho ze dvou následujících zdrojů (viz popis CtrlIntReg):

1. Přerušení vyvoláno úplným vyprázdněním ADC_FIFO
Protože tento režim neposkytuje žádnou časovou rezervu pro zahájení obsluhy přerušení, lze jej využít pro generování signálů s nejnižší taktovací frekvencí. Nedojde-li k zápisu dat do dalšího požadavku o přenos do D/A převodníku, je převodník naprogramován hodnotou $FFFF_H$ a je tak generován rušivý puls.
2. přerušení vyvoláno vyprázdněním ADC_FIFO pod 50% kapacity
Tento režim je ideální i pro nejvyšší taktovací frekvence. Obsluha přerušení nemusí neobsahovat detekci zaplnění DAC_FIFO, nýbrž přenáší pevný datový blok s délkou 512 vzorků. Současně je poskytnuta časová rezerva pro zahájení obsluhy v délce alespoň 250 μ s (pro nejvyšší taktovací frekvenci 2 MHz).



Obsluha přerušení má praktický význam pouze v režimech "1" a "2" (viz DACModeReg).

10. Popis obvodů lokální sběrnice

10.1. Úvod

Karta PC-1238 je vybavena portem pro externí spouštění a taktování A/D a D/A převodníků a současně i pro vzájemnou synchronizaci všech PC karet v systému; signály sběrnice jsou vyvedeny na konektor Cannon9.

Obvodové řešení je zakresleno na obrázku Obr.12.

10.2. Externí signály

Lokální sběrnice karet PCA-1238 podporuje dva externí signály - Ext_Clk pro vnější spouštění A/D převodníku nebo D/A převodníků a Ext_Sync synchronizaci měření detekcí vnější události.

Oba externí signály pracují s úrovněmi TTL a jsou aktivní na náběžnou hranu, tzn. přechod z logické úrovně L do úrovně H.

10.3. Řídicí signály

Lokální sběrnice karet PCA-1238 podporuje dva řídicí signály generované interními obvody karty. ADC_Clk je výsledným signálem pro spouštění A/D převodníku a DAC_Clk pak výsledným signálem pro taktování obvodů D/A převodníků. Rozdíl oproti signálům popsáným v předešlém odstavci je patrný ze blokového schématu.



Důležité upozornění.

Řídicí signály mohou být aktivovány pouze u jedné karty v celém systému jedné lokální sběrnice (tzn. master) a současně musí být aktivovány i v případě samostatně provozované karty.

11. Popis digitálních vstupů a výstupů

11.1. Úvod

Karta obsahuje 8 vstupních kanálů a 8 kanálů výstupních; signály obou portů jsou umístěny na dvou konektorech DIL10.

V případě potřeby lze použít redukční kabel DIG-14, který převede signály z obou konektorů DIL10 na 2x Cannon9.

11.2. Zapojení vstupů

Pro realizaci vstupů bylo využito obvodů technologie HCTMOS. Jejich výhodné vlastnosti (vysoká vstupní impedance a zanedbatelný vstupní proud, ochranné diody) byly využity pro přepětovou ochranu do $\pm 24V$.

Protože klidový stav vstupů odpovídá logické úrovni H (ošetřeno rezistory $10k\Omega$ proti napětí $+5V$), lze je použít i pro připojení signálů typu "otevřený kolektor".

11.3. Zapojení výstupů

Pro realizaci výstupů bylo využito obvodů technologie HCMOS. Pro jejich výhodné vlastnosti (vysoký výstupní proud a zanedbatelný napěťový úbytek) je lze využít pro přímé buzení LED, optronů, popř. i miniaturních relé $5V/500\Omega$.

SW1					bázová I/O adresa (BASE)
SW1 - 2	SW1 - 3	SW1 - 4	SW1 - 5	SW1 - 6	
ON	ON	ON	ON	ON	200 _H
ON	ON	ON	ON	OFF	210 _H
...
OFF	ON	ON	ON	ON	300 _H
OFF	ON	ON	ON	OFF	310 _H
...
OFF	OFF	OFF	OFF	ON	3E0 _H
OFF	OFF	OFF	OFF	OFF	3F0 _H

Tab.1. SW1 - volba bázové adresy karty.



Adresa 300_H vyznačená v tabulce je nastavena od výrobce (segment SW-1 je rezervován).

Počáteční adresa	Koncová adresa	I/O zařízení
200 _H	207 _H	adapter pro hry
278 _H	27F _H	2. tiskárna
2F8 _H	2FF _H	2. adapter asynchronní komunikace
300 _H	31F _H	prototypová deska
360 _H	36F _H	rezerva
378 _H	37F _H	1. tiskárna
380 _H	38F _H	synchronní komunikace SDLC
3A0 _H	3AF _H	synchronní komunikace BSC
3B0 _H	3BF _H	monochromatický display + tiskárna
3C0 _H	3CF _H	rezerva
3D0 _H	3DF _H	barevný display
3F0 _H	3F7 _H	řadič disket
3F8 _H	3FF _H	1. adapter asynchronní komunikace

Tab.2. Seznam standardních adres I/O zařízení.

<i>funkce</i>	<i>PIN</i>	<i>PIN</i>	<i>funkce</i>
A GND	C13		
A GND	C12	C25	Analog In 0
A GND	C11	C24	Analog In 1
A GND	C10	C23	Analog In 2
A GND	C9	C22	Analog In 3
A GND	C8	C21	Analog In 4
A GND	C7	C20	Analog In 5
A GND	C6	C19	Analog In 6
A GND	C5	C18	Analog In 7
---	C4	C17	---
Analog Out 1	C3	C16	Analog Out 0
GND	C2	C15	GND
+5V (500mA max.)	C1	C14	+12V (500mA)

Tab.3. Zapojení vývodů konektoru Cannon 25.

A GND společná svorka analogových vstupů a výstupů
 GND společná svorka napájecích napětí +5V a +12V
 (proudový odběr max. 0,5A)

<i>funkce</i>	<i>PIN</i>	<i>PIN</i>	<i>funkce</i>
GND	C5		
ADC_Clk	C4	C9	DAC_Clk
Ext_Clk	C3	C8	Ext_Sync
---	C2	C7	---
+5V (500mA max.)	C1	C6	---

Tab.4. Zapojení vývodů konektoru Cannon 9.

GND společná svorka všech signálů i napájecího napětí
 (proudový odběr max. 0,5A)

<i>funkce</i>	<i>PIN</i>	<i>PIN</i>	<i>funkce</i>
<i>DIN0 / DOUT0</i>	<i>D1</i>	<i>D2</i>	<i>DIN1 / DOUT1</i>
<i>DIN2 / DOUT2</i>	<i>D3</i>	<i>D4</i>	<i>DIN3 / DOUT3</i>
<i>DIN4 / DOUT4</i>	<i>D5</i>	<i>D6</i>	<i>DIN5 / DOUT5</i>
<i>DIN6 / DOUT6</i>	<i>D7</i>	<i>D8</i>	<i>DIN7 / DOUT7</i>
<i>GND</i>	<i>D9</i>	<i>D10</i>	<i>+5V</i>

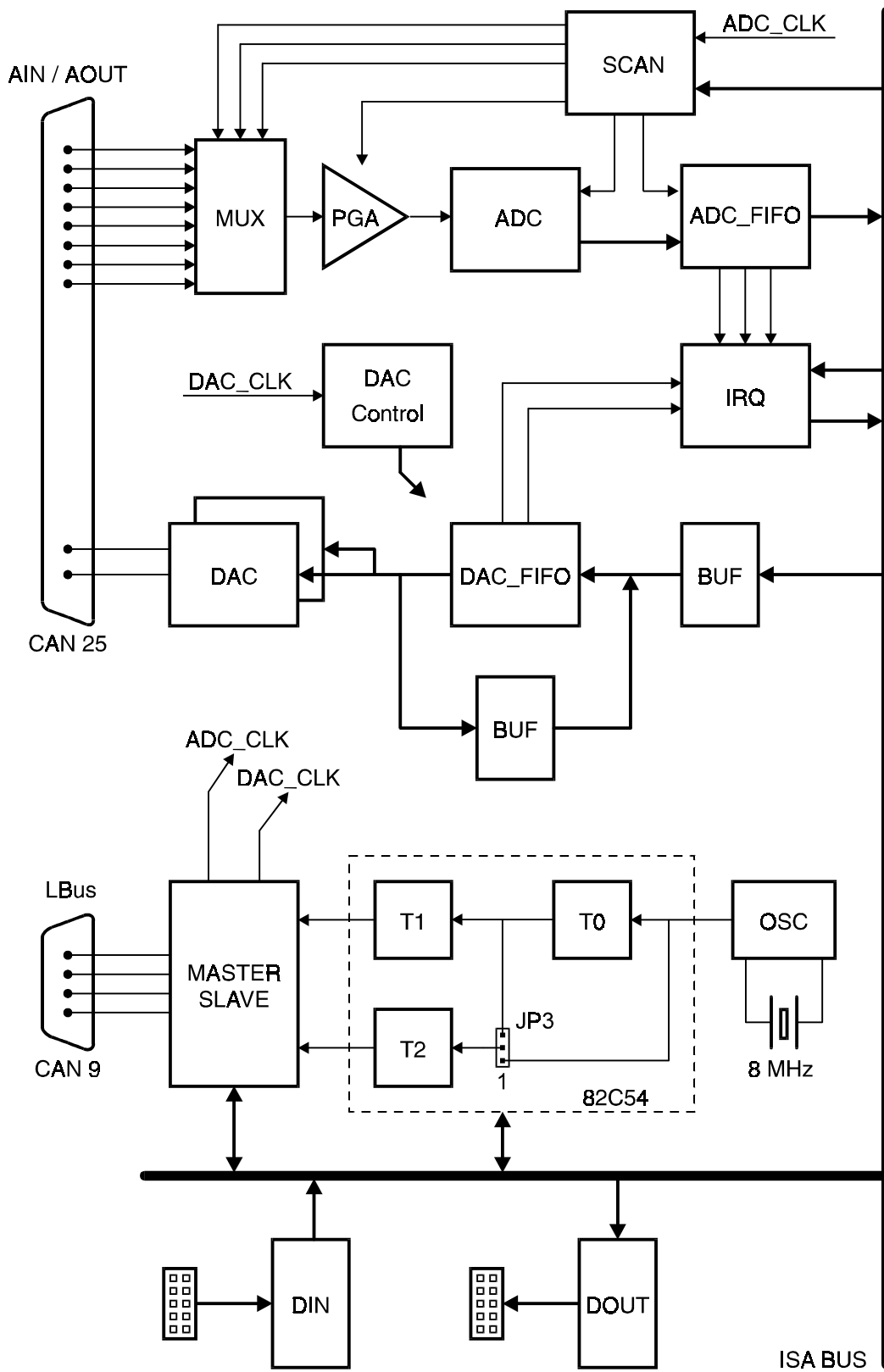
Tab.5. Zapojení vývodů konektorů DIL10.

<i>funkce</i>	<i>PIN</i>	<i>PIN</i>	<i>funkce</i>
<i>GND</i>	<i>C5</i>		
<i>DIN6 / DOUT6</i>	<i>C4</i>	<i>C9</i>	<i>DIN7 / DOUT7</i>
<i>DIN4 / DOUT4</i>	<i>C3</i>	<i>C8</i>	<i>DIN5 / DOUT5</i>
<i>DIN2 / DOUT2</i>	<i>C2</i>	<i>C7</i>	<i>DIN3 / DOUT3</i>
<i>DIN0 / DOUT0</i>	<i>C1</i>	<i>C6</i>	<i>DIN1 / DOUT1</i>

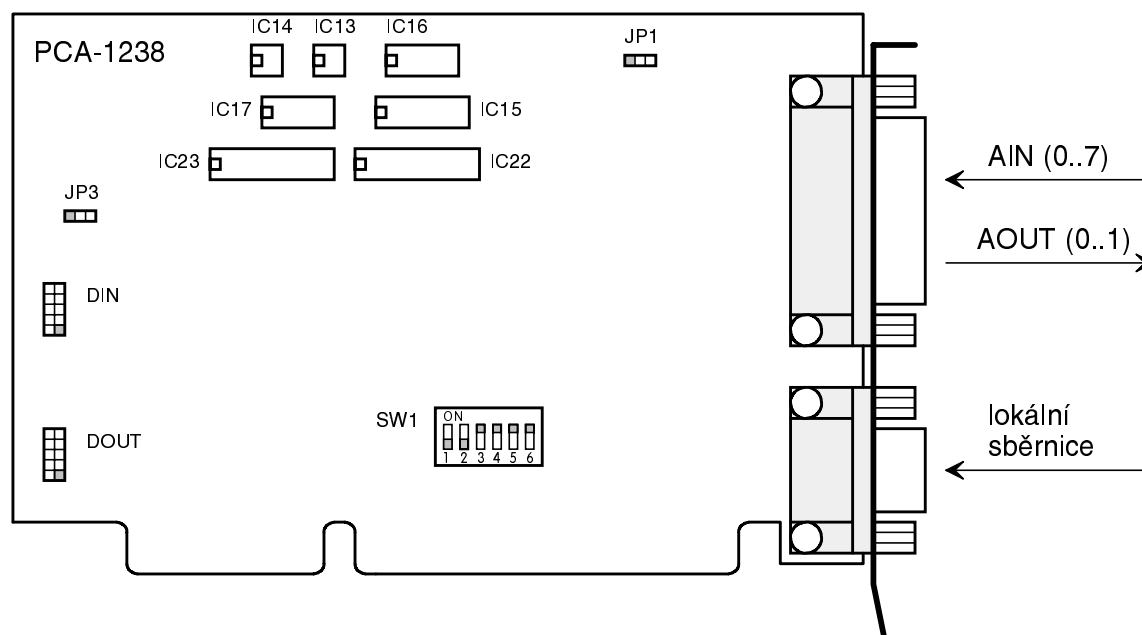
Tab.6. Zapojení vývodů konektorů Cannon 9 (DIG-14).

ADRESA	zápis (WR)	čtení (RD)
<i>Base + 0</i>	<i>82C54</i>	
<i>Base + 1</i>		
<i>Base + 2</i>		
<i>Base + 3</i>		
<i>Base + 4</i>	<i>DACModeReg</i>	<i>---</i>
<i>Base + 5</i>	<i>ADCModeReg</i>	<i>ADCTrigReg</i>
<i>Base + 6</i>	<i>---</i>	<i>---</i>
<i>Base + 7</i>	<i>ScanReg</i>	<i>---</i>
<i>Base + 8</i>	<i>DACReg - FIFO</i>	<i>ADCReg - FIFO</i>
<i>Base + 9</i>		
<i>Base + A</i>	<i>---</i>	<i>---</i>
<i>Base + B</i>	<i>---</i>	<i>FIFOStatusReg</i>
<i>Base + C</i>	<i>IRQReg</i>	<i>ClrIntReg</i>
<i>Base + D</i>	<i>CtrlIntReg</i>	<i>IRQStatusReg</i>
<i>Base + E</i>	<i>LBusReg</i>	<i>StatusReg</i>
<i>Base + F</i>	<i>DigOutReg</i>	<i>DigInReg</i>

Tab.7. Vnitřní struktura adresového prostoru karty.



Obr.1. Vnitřní struktura karty PCA-1238.



Obr.2. Rozmístění důležitých prvků na kartě PCA-1238.

SW1 volba báze adresy karty

JP1 propojka pro hardwarové přepínání rozsahů $\pm 10V/\pm 5V$

1 - 2 rozsah $\pm 5V$

2 - 3 rozsah $\pm 10V$

JP3 propojka pro volbu vstupního signálu časovače T2 (viz Obr.1.)

1 - 2 oscilátor 8MHz

2 - 3 výstup T0

Konfigurace karty PCA-1238:

PCA-1238L verze bez D/A převodníků
všechny pozice IC13÷17, IC22, IC23 zůstávají neosazeny

PCA-1238M verze s jedním D/A převodníkem

IC13 AD712

IC15 AD7945

IC22, IC23 FIFO 1kB

IC14, IC16, IC17 neosazeno

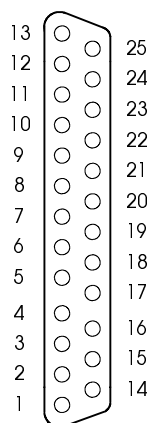
PCA-1238S verze se dvěma D/A převodníky

IC13, IC14 AD712

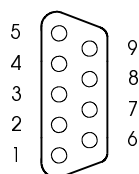
IC16, IC17 AD7524

IC22, IC23 FIFO 1kB

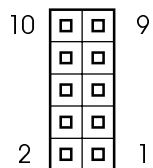
IC15 neosazeno



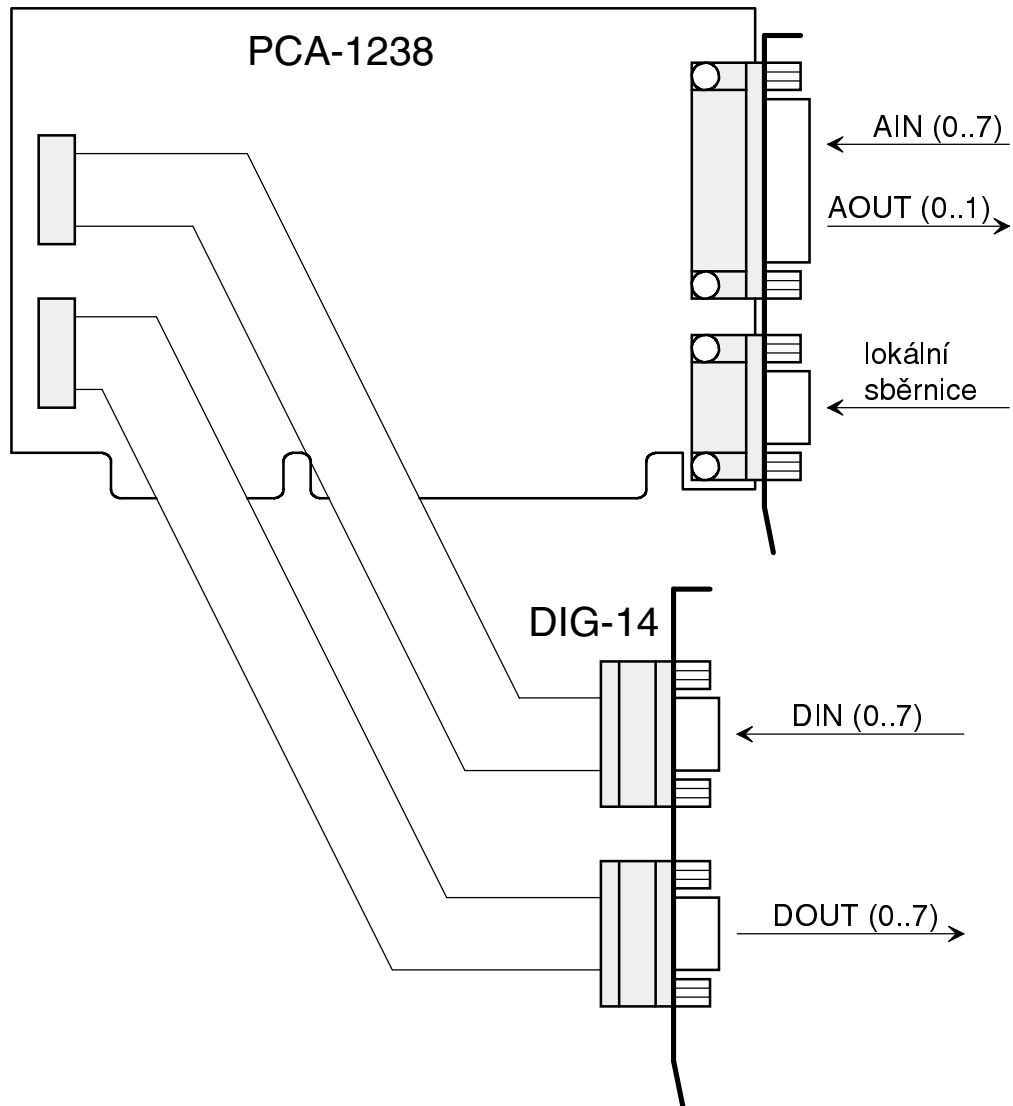
Obr.3. Rozmístění vývodů na konektoru Cannon 25.



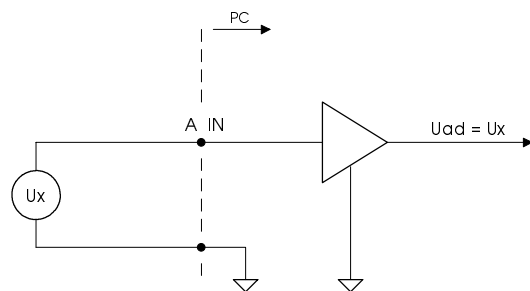
Obr.4. Rozmístění vývodů na konektoru Cannon 9.



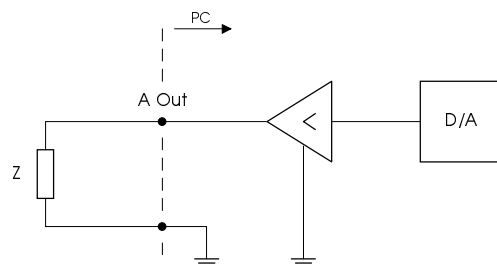
Obr.5. Rozmístění vývodů na konektoru DIL 10.



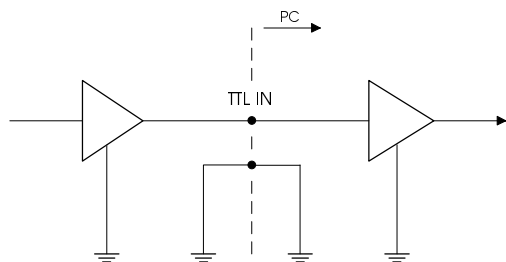
Obr.6. Propojovací kabel s PC štítkem DIG-14, rozmístění portů na konektorech.



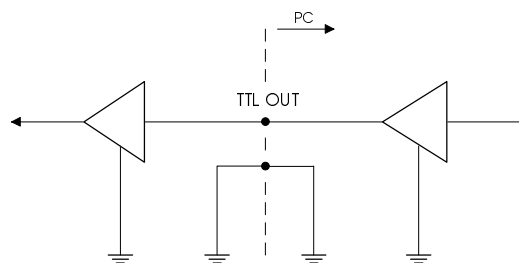
Obr.7. Připojení analogového vstupu karty.



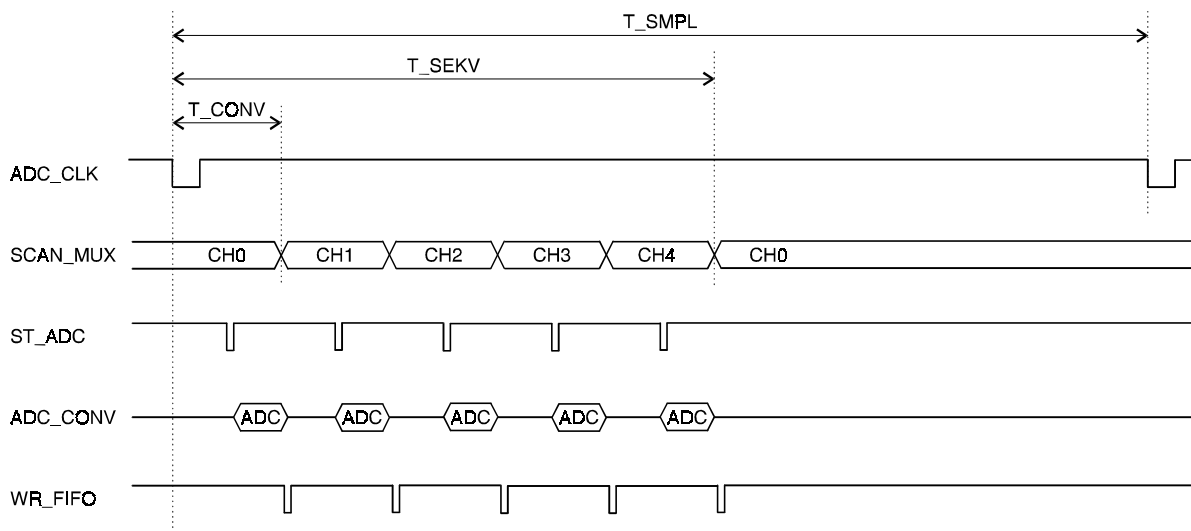
Obr.8. Připojení analogového výstupu karty.



Obr.9. Připojení digitálních vstupů karty.



Obr.10. Připojení digitálních výstupů karty.

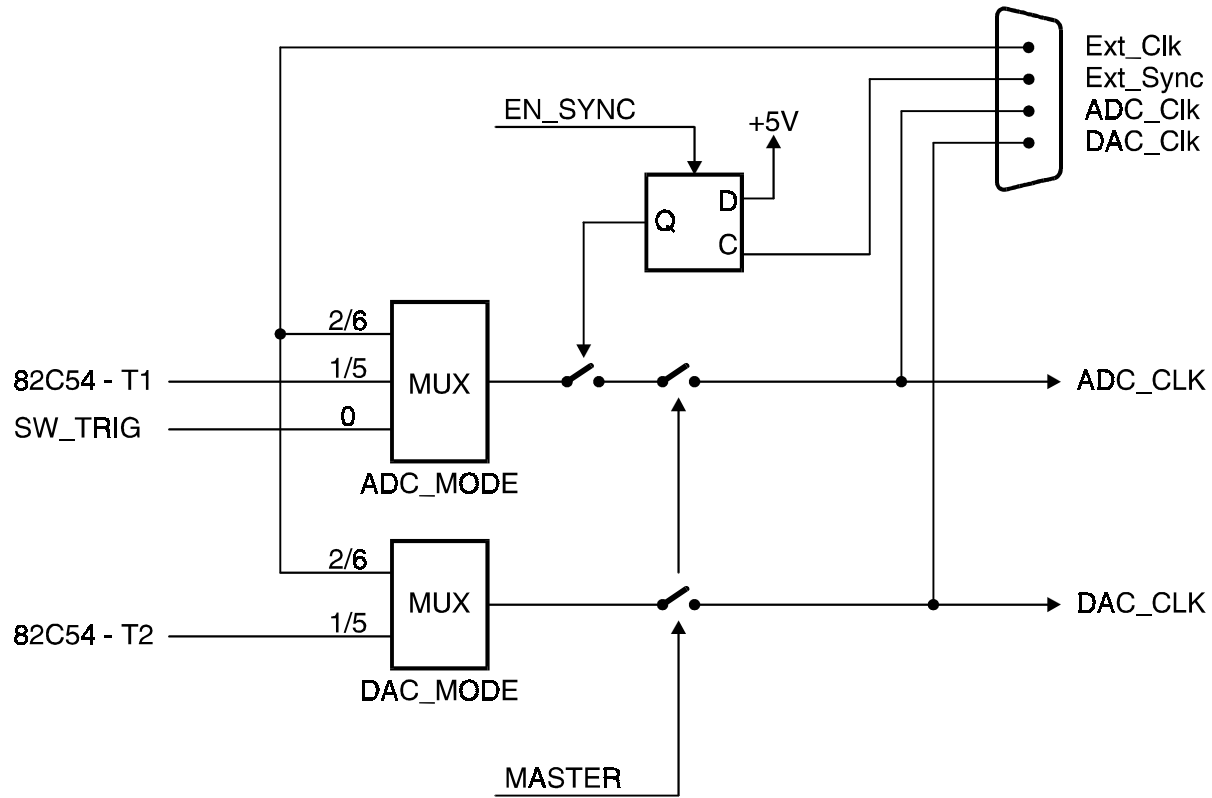


Obr.11. Časové poměry scanovací sekvence.

ADC_CLK	signál pro spouštění měřicí sekvence <ul style="list-style-type: none"> • odvozen od časovače, externího signálu, popř. programově • je totožný se stejnojmenným signálem lokální sběrnice
SCAN_MUX	představuje řídicí signály pro vstupní multiplexer
ST_ADC	signál pro spuštění A/D převodu v rámci měřicí sekvence
ADC_CONV	představuje vlastní činnost A/D převodníku
WR_FIFO	signál pro přenos dat z A/D převodníku do FIFO
T_CONV	čas potřebný pro odměření jednoho kanálu = 4 μ s
T_SEKV	čas nutný pro provedení celé sekvence = NrCH * T_CONV - 0,25 μ s kde NrCH je počet kanálů v měřicí sekvenci
T_SMPL	perioda spouštění sekvence $T_{SMPL_MIN} = NrCH * T_{CONV}$



Zkrácení posledního cyklu z 4,00 μ s na 3,75 μ s je nutné pro zajištění minimální periody spouštění sekvence jako celistvého násobku 4,00 μ s.



Obr.12. Zapojení obvodů lokální sběrnice.

