

PCA-7288A

**AOut, CNT, DIO
IRQ, PCI BUS**

Záruční a pozáruční servis, technická podpora:

adresa: TEDIA® spol. s r. o., Zábělská 12, 31211 Plzeň
telefon: +420 377 478 168
fax: +420 377 478 169
e-mail: podpora_daq@tedia.cz
internet: <http://www.tedia.cz>, <http://www.pci.cz>

Uživatelská příručka a její součásti jsou autorským dílem chráněným ustanovením zákona č.121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů ("Autorský zákon").

Všechna jména a názvy použité v textu mohou být chráněnými známkami nebo obchodními názvy výrobků příslušných firem.

ES prohlášení o shodě

Prohlašujeme na svoji výlučnou odpovědnost, že technologické karty

PCA-7288A

jsou ve shodě s normami

ČSN EN 55022:99 včetně změn
ČSN EN 61000-3-2:97 včetně změn
ČSN EN 61000-3-3:97 včetně změn
ČSN EN 55024:99 včetně změn

a nařízeními vlády

NV 168/1997 Sb.
NV 169/1997 Sb.
ve znění pozdějších předpisů

a nesou proto označení "CE".

Zkušební protokol:

203681-01 vydaný EZÚ Praha



Datum vydání ES prohlášení:

29.8.2003

Výrobce:

TEDIA® spol. s r. o., Zábělská 12, 31211 Plzeň

Odpovědný zástupce:

Ing. Martin Linda, jednatel společnosti

Podpis odpovědného zástupce:

A handwritten signature in black ink, appearing to read 'Martin Linda', written in a cursive style.

Obsah

1.	Úvodní popis	
1.1.	Charakteristika	I - 1
1.2.	Podmínky použití	I - 1
2.	Technické parametry	
2.1.	Analogové výstupy	I - 2
2.2.	Programovatelné čítače	I - 2
2.3.	Digitální porty	I - 2
2.4.	Obvody přerušení	I - 2
2.5.	Ostatní údaje	I - 3
3.	Instalace karty	
3.1.	Úvod	I - 4
3.2.	Nastavení konfiguračních prvků	I - 4
3.3.	Vlastní instalace	I - 4
3.4.	Zapojení konektorů	I - 4
3.5.	Rozmístění významných prvků	I - 4
4.	PCI sběrnice, základní informace	
4.1.	Základní pojmy	I - 5
4.2.	Řadič OX9162	I - 5
4.3.	Implementace PCI BUS u PCA-7288A	I - 6
4.4.	Porovnání MEM a I/O přístupu	I - 6
5.	Struktura adresového prostoru	
5.1.	Úvod	I - 7
5.2.	DINReg	I - 7
5.3.	DOUTReg	I - 7
5.4.	IRQCfgReg	I - 8
5.5.	IRQStatusReg	I - 8
5.6.	IRQClrReg	I - 8
5.7.	TimerReg	I - 8
5.8.	INTEnReg	I - 9
5.9.	FPGACtrlReg	I - 9
5.10.	FPGAStatusReg	I - 9
5.11.	CNT0DataReg	I - 10
5.12.	CNTxDataReg	I - 10
5.13.	CNTEnReg	I - 10
5.14.	CNTClrReg	I - 10
5.15.	CNTSetReg	I - 11
5.16.	CNTStrReg	I - 11
5.17.	CNTStatusReg	I - 11
5.18.	DACEnReg	I - 11
5.19.	DAC0DataReg	I - 11
5.20.	DAC0DataReg	I - 12
5.21.	DAC0RangeReg	I - 12
5.22.	DACxRangeReg	I - 12
5.23.	REF0DataReg	I - 12

5.24.	REFxDataReg	I - 12
5.25.	EECWReg	I - 12
5.26.	EEStatusReg	I - 13
5.27.	FPGAVerReg	I - 13
6.	Popis analogových výstupů	
6.1.	Úvod	I - 14
6.2.	Zapojení výstupů	I - 14
7.	Popis čítačů	
7.1.	Úvod	I - 15
7.2.	Zapojení vstupů	I - 15
7.3.	Programovatelná vstupní logika	I - 15
7.4.	Vlastní čítače	I - 15
8.	Popis řadiče přerušení	
8.1.	Úvod	I - 16
8.2.	Programová obsluha přerušení	I - 16
9.	Popis digitálních vstupů a výstupů	
9.1.	Úvod	I - 17
9.2.	Zapojení vstupů	I - 17
9.3.	Zapojení výstupů	I - 17
10.	Popis konfigurace FPGA	
10.1.	Úvod	I - 18
10.2.	Zjednodušený postup downloadu	I - 18

Přílohy:

Příloha II - tabulky

Příloha III - obrázky

Příloha IV - OX9162

1. Úvodní popis

1.1. Charakteristika

PC karta PCA-7288A je výrobek moderní koncepce určený zejména pro systémy laboratorní a průmyslové automatizace a jako doplněk multifunkčních PC karet.

K přednostem patří jednoduchá programová konfigurovatelnost parametrů včetně kalibrace analogových výstupů. Při instalaci karty do počítače není nutné hardwarově nastavovat žádné parametry, všechny funkce karty jsou ovládány plně softwarově.

Karta PCA-7288A je určena pro počítače PC kompatibilní a musí být instalována do PCI slotu s podporou 5 V a 33 MHz.

Celkový pohled na desku PCA-7288A je zakreslen na obrázku Obr.1.

Karta PCA-7288A se vyznačuje zejména těmito vlastnostmi:

- pružně konfigurovatelné jádro karty postavené na FPGA s konfigurací zaváděnou z diskového souboru
- 8 analogových výstupů s rozlišením 12 bitů a softwarovou volbou rozsahu
- 4 zdroje referenčních napětí s programovým nastavením a power-on inicializací pomocí kalibračních konstant uložených v EEPROM karty
- 8 čítačů s rozlišením 16 bitů
- programovatelná logika přerušení s generátorem časových značek
- standardní digitální porty (8 vstupů a 8 výstupů)
- PCI target interface kompatibilní s PCI rev. 2.2 (verze 32 bitů, 5 V, 33 MHz)

1.2. Podmínky použití

Karty vyhovují instalaci do počítačů se sběrnici PCI v kancelářském nebo průmyslovém provedení a jsou určeny ke zpracování signálů.


Signály mohou být připojeny vhodným stíněným vodičem o délce maximálně 2 m.

Karty řady PCA-7288A mohou být použity výhradně v souladu s doporučeními výrobce uvedenými v této příručce, obecně platnými normami či standardy a pouze takovým způsobem, aby jejich selháním zaviněným jakýmkoliv způsobem se nemohly stát nebezpečnými osobám nebo majetku.

2. Technické parametry


2.1. Analogové výstupy

počet analogových výstupů:	8
rozlišení D/A převodníků:	12 bitů
výstupní rozsahy:	0~5 V, ±5 V, 0~10 V, ±10 V (softwarová volba nezávisle pro každý kanál)
referenční zdroje:	+10V, +5V, -5V, -10V
kalibrace referenčních zdrojů (=rozsahů):	±10% typ.
doba ustálení (změna 100% rozsahu):	4 ms typ., 7 ms max. (0,2%)
výstupní impedance:	10 Ohm ±5%
zatěžovací impedance:	2000 Ohm min. 1000 Ohm min. (max. 4 kanály 10V/±10V)

 *Výstupy D/A převodníků jsou odolné proti trvalému zkratu proti GND. Přivedením napětí mimo rozsah ±12 V dojde k nevratnému poškození obvodů.*


2.2. Programovatelné čítače

počet čítačů:	8
rozlišení čítače:	16 bitů
blokování čítače:	softwarově
pracovní režimy čítače:	vzestupné čítání
vstupní frekvence:	5 MHz max. (viz pozn.)
napěťové úrovně:	HC/TTL
vstupní impedance:	3,3 kOhm typ.
typ rozhraní:	TEDIA® - Cannon 9 (viz pozn.)

 *Uvedena mezní frekvence s nesymetrií max. 40%/60%. Vstupy čítačů jsou odolné proti přepětí ±15 V.*

2.3. Digitální porty

počet vstupů:	8	(TTL komp.)
počet výstupů:	8 + 8	(TTL komp.)
zatěžovací impedance výstupů:	500 Ohm min.	(viz pozn.)


 *Vstupní porty jsou odolné proti přepětí ±24 V. Výstupní digitální porty jsou odolné proti trvalému zkratu proti GND; přivedením napětí mimo rozsah 0÷5 V dojde k nevratnému poškození obvodů.*

2.4. Obvody přerušení

zdroje přerušení:	generátor časových značek (1 ~ 255 ms)
-------------------	--

2.5. Ostatní údaje

I/O a MEM adresa:	přiřazena PCI PnP BIOSem
IRQ kanál:	přiřazen PCI PnP BIOSem
napájecí napětí:	+5 V (250 mA max.) +12 V (100 mA max.) -12 V (100 mA max.)
rozměry desky:	cca 90 x 125 mm
použité konektory:	Cannon 25 - vidlice Cannon 9 - vidlice DIL10 (header 2x5 pinů, rastr 2.54mm)
pracovní teplota:	0° ~ 65° C
skladovací teplota:	-20° ~ 80° C
relativní vlhkost:	10% ~ 90%, bez kondenzace
doporučená délka vodičů:	do 2 m

 *Uvedený proudový odběr je uvažován se všemi výstupy v nezatlženém stavu.*

3. Instalace karty

3.1. Úvod

Při výrobě bylo dbáno na dosažení vysoké kvality a spolehlivosti, rovněž byla věnována pozornost důkladné kontrole před expedicí. Aby nedošlo ke snížení jakosti či poškození při instalaci, doporučujeme Vám pečlivě prostudovat tuto příručku a postupovat podle uvedeného návodu.

Nebudete-li si jisti některým z kroků instalace, obraťte se na technickou podporu výrobce (informaci o aktuálním spojení naleznete na <http://www.tedia.cz>).

3.2. Nastavení konfiguračních prvků

Karta PCA-7288A neobsahuje žádné konfigurační prvky.

3.3. Vlastní instalace



Důležité upozornění:

Při instalaci karty dbejte zásad pro manipulaci s obvody citlivými na poškození elektrostatickým nábojem, s kartou manipulujte pouze za okraje a nedotýkejte se prsty součástek.

Instalaci provádějte zásadně při vypnutém počítači a vždy odpojte síťový kabel i ostatní přívodní vodiče !

Mimo počítač mohou být karty skladovány výhradně v antistatickém obalu.

Při nedodržení uvedených pravidel může dojít k poškození citlivých obvodů PC karty nebo celého počítače. V případě nejasností kontaktujte technickou podporu výrobce.

Kartu zasuňte po předchozím vyjmutí krycího štítku do volné pozice pro rozšiřující desky počítače a zajistěte šroubem.

Budou-li využity i digitální porty, upevněte redukční kabel DIG-209 do sousední pozice a zapojte kabely; orientace konektorů je vyznačena na obrázku Obr.1., první vodič plochého kabelu je zvýrazněn červenou barvou.



Redukční kabel DIG-209 není součástí dodávky karty a lze jej objednat samostatně.

3.4. Zapojení konektorů

Zapojení vývodů konektorů je zakresleno na obrázku Obr.2.; popis signálů je uveden v tabulkách Tab.1. až Tab.3.

V případě využití redukčního kabelu DIG-209 pro zpřístupnění digitálních portů na zadním panelu počítače je zapojení konektorů Cannon 9 popsáno v Tab.4.

3.5. Rozmístění významných prvků

Rozmístění konektorů na kartě PCA-7288A je zakresleno na obrázku Obr.1.

4. PCI sběrnice, základní informace

4.1. Základní pojmy

PCI-SIG	PCI Special Interest Group, organizace zajišťující standardizaci PCI sběrnice. PCI-SIG sídlí v Portlandu/USA, má přibližně 1000 řádných členů a TEDIA® je jedním z nich.
PCI konfigurační registry	slouží pro PnP identifikaci karty, zjištění jejích vlastností (zejména z pohledu PCI sběrnice), požadavků na systémové prostředky a jejich přidělení. PCI konfigurační registry obsahují řadu informací významných pro ovladače a aplikační software, zejména VID/DID, BAR registry, ... PCI registry nejsou určeny pro vlastní funkční přístupy (tzn. datové přenosy) a jsou zpřístupněny speciálními sběrnicovými cykly výhradně rozhraním PCI BIOSu; podrobnost lze čerpat ze specifikace PCI BIOS v aktuálním znění.
VID	Vendor ID, unikátní číslo výrobce adaptéru přidělené organizací PCI-SIG jejím členům.
DID	Device ID, unikátní číslo typu PCI karty přidělené výrobcem adaptéru. Číslo může být přiděleno výhradně držitelem příslušného VID.
Subsystem VID/ID	čísla umožňující identifikovat výrobce karty při zachování VID/ID výrobce chipsetu. Je využíváno zejména u implementací standardních řadičů (grafických akceleratorů, Ethernet řadičů, ...) a umožňuje využití společných driverů.
Class Code	umožňuje zařadit PC kartu do některé předdefinované třídy adaptérů a v některých případech využít společné softwarové podpory.
BAR0 až BAR4	Base Address Register, tzn. bázeový registr paměťového nebo I/O prostoru. Jednofunkční PCI karta může alokovat až 5 prostorů.

4.2. Řadič OX9162

Použitý řadič se vyznačuje následujícími vlastnostmi:

- 32bit./5V/33MHz target interface kompatibilní s PCI rev. 2.2 (tzn. není podporován busmastering)
- implementace celé sady PCI konfiguračních registrů
- implementace všech pěti BAR registrů
- 8-bitová pass-through lokální sběrnice s podporou přerušení
- konfigurace chipsetu prostřednictvím EEPROM

4.3. Implementace PCI BUS u PCA-7288A

Funkci řadiče PCI sběrnice plní obvod OX9162 s I/O a MEM prostory konfigurovanými v maximálním možném rozsahu.

Karta využívá následujících PCI ID:

VID	1760 _H	tzn. VID přidělené TEDIA®
DID	0161 _H	tzn. DID přidělené kartě PCA-7288A
Sub VID	1760 _H	totéž jako VID
Sub ID	0004 _H	verze karty (aktuální při vydání manuálu)
Class Code	118000 _H	třída "other data acquisition adapter"

Využití BAR prostorů:

BAR0	mapován jako I/O, slouží pro přístup k první polovině registrů; u PCA-7288A je konfigurován na velikost 256B s datovou strukturou byte
BAR1	mapován jako I/O, slouží pro přístup k druhé polovině registrů; u PCT-7424 je konfigurován na velikost 256B s datovou strukturou byte
BAR2	mapován jako I/O, slouží pro přístupu k konfiguračním registrům chipsetu OX9162; je konfigurován na velikost 32B s datovou strukturou byte/word/double word
BAR3	mapován jako MEM, slouží pro přístup ke konfiguračním registrům chipsetu OX9162 (má totožný význam jako BAR2); je konfigurován na velikost 4kB s datovou strukturou byte/word/double word
BAR4	mapován jako MEM, slouží pro přístupu ke všem funkčním registrům; je konfigurován na velikost 4kB s datovou strukturou double word (avšak významných 8 nejnižších bitů)

Podrobnější informace k mapování registrů v jednotlivých prostorech jsou uvedeny v příloze tohoto manuálu.

4.4. Porovnání MEM a I/O přístupu

PCI specifikace definuje dva typy registrových prostorů - I/O a paměťový (MEM). Řada adaptérů umožňuje alternativní užití obou typů a periferní obvody mapuje současně do obou prostorů (prostřednictvím dvou BAR).

MEM	prostor existuje na všech hardwarových platformách (tzn. nejen na systémech s procesory Intel x86) a je mj. i proto preferován; jelikož 32-bitové adresování umožňuje mapovat až 4GB paměti, není velikost alokovaného prostoru z praktického hlediska nijak významně omezoována; přístup k perifériím mapovaných přes paměťový prostor je oproti I/O přístupu rychlejší, nebo alespoň není pomalejší; MEM přístup však vyžaduje 32bitové adresování
I/O	prostor je s ohledem na zpětnou kompatibilitu s 10bitově adresovanými systémy omezen na 63 intervalů o velikosti 256B; žádný adaptér tedy nemůže alokovat kontinuální prostor o velikosti větší než 256B; výhodou však je jednoduchá podpora v reálném módu procesorů Intel x86 (tzn. například v systému MS-DOS)

5. Struktura adresového prostoru

5.1. Úvod

Následující popis bude uvažovat přístup prostřednictvím prostoru BAR4; v případě využití I/O přístupů (tzn. BAR0/1) jsou adresy registrů modifikovány podle přiřazení uvedeného v příloze tohoto manuálu.

Všechny adresy (např. BAR4+80h) v dalším textu jsou uvedeny v hex formátu. Čtení a zápis do nedokumentovaných registrů není z důvodu dopředné kompatibility přípustný.



Důležité upozornění:

Registry v rozsahu adres BAR4+0h ~ BAR4+3FCh jsou dostupné po zapnutí počítače, registry BAR4+400h ~ BAR4+7FCh jsou implementovány v FPGA a pro jejich funkci je nezbytný download konfiguračních dat.

Pro download konfiguračních dat lze použít dodávanou utilitu nebo download začlenit do vlastního software.

Všechny registry implementované v FPGA (tzn. BAR4+400h ~ BAR4+7FCh) jsou po downloadu nastaveny na nulovou hodnotu. Do výchozího stavu mohou být registry uvedeny i pomocí FRST v FPGACtrlReg.

Všechny 24bitové a 32bitové registry by důvodu dopředné kompatibility měly být zpracovávány v pořadí od nejnižší po nejvyšší adresu.



Důležité upozornění:

Registrová struktura popsaná v příručce odpovídá FPGA verze 1.0 a vyšší (do 1.15).

5.2. DINReg (RD, BAR4+0)

Tento registr plní funkci datového registru vstupního digitálního portu.

Význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru.

D7	D6	D5	D4	D3	D2	D1	D0
DIN7	DIN6	DIN5	DIN4	DIN3	DIN2	DIN1	DIN0

5.3. DOUTReg (WR, BAR4+4)

Tento registr plní funkci datového registru výstupního digitálního portu.

Význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru.

Registr nemá po resetu definován stav; obsah dat lze však modifikovat přeprogramováním obsahu EEPROM.

D7	D6	D5	D4	D3	D2	D1	D0
DOUT7	DOUT6	DOUT5	DOUT4	DOUT3	DOUT2	DOUT1	DOUT0

5.4. IRQCfgReg (WR, BAR4+200h)

Tento registr slouží k povolení detekce požadavku o přerušení (tzn. umožní nastavení příznaků v IRQStatusReg), ne však pro povolení vyvolání přerušení (viz popis INTEnReg); podrobně viz obrázky Obr.5.


Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV			TIM	RSRV			

TIM

- konfigurace přerušení od generátoru časových značek (0 = přerušení zakázáno, 1 = přerušení povoleno)

 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena hodnota 0.*


5.5. IRQStatusReg (RD, BAR4+200h)

Tento registr slouží k identifikaci zdroje přerušení.

Struktura registru je totožná s IRQCfgReg a význam jednotlivých bitů je následující:

TIM

- přerušení vyvoláno generátorem časových značek (1 = příznak je aktivní, tzn. bylo vyvoláno přerušení)

 *Rezervní bity nemají pro funkci desky žádný význam (nastavena hodnota 0). Příznaky jsou funkční nezávisle na aktivaci logiky přerušení registrem INTEnReg.*

5.6. IRQClrReg (WR, BAR4+204h)


Tento registr slouží k nulování příznaků nastavených přerušení v IRQStatusReg.

Registr má funkci automatického nulování a zápis hodnoty 1 tak nevyžaduje následný zápis hodnoty 0 (registr je nastaven na hodnotu 1 po dobu 60ns a po tuto dobu není zpracováván příslušný kanál přerušení).

Struktura registru je totožná s IRQCfgReg a význam jednotlivých bitů je následující:

TIM

- nulování příznaku od generátoru časových značek (1 = příznak vynulován, následný zápis 0 není vyžadován)

 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena hodnota 0.*

5.7. TimerReg (WR/RD, BAR4+5F0h)

Tento registr slouží k nastavení frekvence (resp. periody) interního generátoru časových značek.

Zapsaná osmibitová data umožňují konfigurovat periodu časových značek v rozsahu 1~255 ms; zápisem hodnoty 0 dojde k zastavení generátoru.

Registr je po resetu, resp. zapnutí počítače vynulován.

Ve funkci čtení poskytuje registr aktuální hodnotu časovače; data v rozsahu 0~(TimerReg-1) jsou inkrementována frekvencí 1kHz.

5.8. INTEnReg (WR, BAR4+20Ch)

Tento registr slouží k aktivaci obvodů karty pro vyvolání přerušení PCI sběrnice, tzn. k povolení požadavku o přerušení systému, a současně nulování tohoto požadavku (je provedeno zakázáním a opětovným povolením přerušení).


Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
INTEN	RSRV						

INTEN

- 0 = obvody karty přerušení PCI sběrnice neaktivní
- 1 = obvody karty přerušení PCI sběrnice aktivovány

 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena hodnota 0.*

5.9. FPGACtrlReg (WR, BAR4+3FCh)

Tento registr slouží pro download konfiguračních dat FPGA a pro normální činnost karty není zpravidla využíván. Podrobnosti jsou uvedeny v samostatné kapitole.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV					FRST	CSDW	STDW

STDW

- sekvence 0-1-0 zahajuje download konfigurace

CSDW

- hodnotou 1 aktivuje přenos do FPGA

FRST

- hodnotou 1 nastavuje registry FPGA do implicitního stavu (lze s výhodou využít i v běžném aplikaci, viz poznámka)

RSRV

- rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)


 *Všechny registry implementované v FPGA (tzn. BAR4+400h ~ BAR4+7FCh) jsou po downloadu nebo resetu nastaveny na nulovou hodnotu.*

5.10. FPGAStatusReg (RD, BAR4+3FCh)

Tento registr slouží pro dowload konfiguračních dat FPGA a pro normální činnost karty není využíván. Podrobnosti jsou uvedeny v samostatné kapitole.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV		RDY	SPDW	RSRV	FPGACtrlReg		

- SPDW • hodnotou 1 signalizuje FPGA úspěšné ukončení programování
- RDY • hodnotou 1 signalizuje FPGA připravenost k zápisu dat
- RSRV • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)
- FPGACtrlReg • kopie odpovídajících bitů registru FPGACtrlReg


 *Podrobný popis registru je uveden v samostatné kapitole*

5.11. CNT0DataReg (RD/WR, BAR4+400h/404h)

Tato dvojice registrů slouží k nastavení hodnoty a čtení obsahu čítače CNT0.

Pro nastavení hodnoty je nezbytné provést zápis na adresu +400h a následně na adresu +404h; druhým zápisem je celé 16bitové číslo zapsáno do vyrovnávací paměti. K přenosu do čítače je určen registr CNTSetReg, viz popis dále.

Pro čtení hodnoty je potřeba nejprve 16bitová data čítače zachytit do vyrovnávacího registru pomocí CNTStrReg (viz popis dále) a následně přečíst ve dvou krocích z adres +400h a +404h.

 *CNT0DataReg obsahuje nezávislé registry pro čtení a zápis; zápisem do registru tak nejsou přepsána data zachycená registrem CNTxStrReg a naopak čtením čítače přepsána data připravená pro nastavení hodnoty čítače.*

5.12. CNTxDataReg (RD/WR, BAR4+408h~43Ch)

Sedm dvojic registrů má význam analogický registr CNT0DataReg a slouží k nastavení a čtení hodnot čítačů CNT1 ~ CNT7.

5.13. CNTEnReg (WR, BAR4+444h)

Tento registr slouží k řízení všech osmi čítačů.

Každý z čítačů CNT0 ~ CNT7 má vyhrazen jeden řídicí bit (bit D0 ovládá CNT0, bit D7 ovládá CNT7); logickou úroveň 1 je čítání povoleno, úroveň 0 je blokováno.

5.14. CNTClrReg (WR, BAR4+448h)

Tento registr slouží k nulování všech osmi čítačů.

Každý z čítačů CNT0 ~ CNT7 má vyhrazen jeden řídicí bit (bit D0 ovládá CNT0, bit D7 ovládá CNT7); logickou úroveň 1 je čítač nulován.

Registr má funkci automatického nulování a zápis hodnoty 1 tak nevyžaduje následný zápis hodnoty 0 (registr je nastaven na hodnotu 1 po dobu 60ns a po tuto dobu není zpracováván příslušný vstupní signál).

5.15. CNTSetReg (WR, BAR4+44Ch)

Tento registr slouží k nastavení hodnoty všech osmi čítačů.

Každý z čítačů CNT0 ~ CNT7 má vyhrazen jeden řídicí bit (bit D0 ovládá CNT0, bit D7 ovládá CNT7); logickou úrovní 1 je čítač nastaven na hodnotu zapsanou v registru CNTxDataReg.

Registr má funkci automatického nulování a zápis hodnoty 1 tak nevyžaduje následný zápis hodnoty 0.

5.16. CNTStrReg (WR, BAR4+450h)

Tento registr slouží k zachycení hodnoty všech osmi čítačů do vyrovnávacího registru CNTxDataReg.

Každý z čítačů CNT0 ~ CNT7 má vyhrazen jeden řídicí bit (bit D0 ovládá CNT0, bit D7 ovládá CNT7); logickou úrovní 1 je obsah čítač zachycen v registru CNTxDataReg.

Registr má funkci automatického nulování a zápis hodnoty 1 tak nevyžaduje následný zápis hodnoty 0.

5.17. CNTStatusReg (RD, BAR4+440h)


Tento registr slouží k zjištění aktuálního stavu vstupů čítačů:

Každý bit registru představuje logickou hodnotu signálu na vstupech CNT0 (bit D0) až CNT7 (bit 7).

5.18. DACEnReg (WR, BAR4+210h)

Tento registr slouží k aktivaci analogových výstupů po downloadu FPGA, nastavení referenčních zdrojů (automaticky z EEPROM nebo softwarově), nastavení rozsahů a hodnoty D/A převodníků.

Registr má významný pouze bit D6, ostatní jsou nevyužity. Zápisem hodnoty 1 do tohoto bitu jsou na výstupní zesilovače připojený výstupy D/A převodníku. Je-li v registru zapsána hodnota 0 (stav po resetu nebo zapnutí napájecího napětí PC), jsou všechny výstupy nastaveny na nulové napětí (bez ohledu na zvolený rozsah).

 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena hodnota 0.*

5.19. DAC0DataReg (WR, BAR4+600h/604h)

Tato dvojice registrů slouží k nastavení hodnoty analogového výstupu AOUT0.

Pro nastavení hodnoty je nezbytné provést zápis na adresu +600h (nejnižších osm bitů 12bitové hodnoty) a následně na adresu +604h (nejvyšší čtyři bity 12bitové hodnoty); druhým zápisem je celé 12bitové číslo zapsáno do funkčního registru D/A převodníku.

Pro přenos je použit přímý binární formát, tzn. zapsaná hodnota 0000_H představuje nejzápornější (resp. nulové) výstupní napětí a hodnota 0FFF_H pak nejkladnější napětí.

5.20. DACxDataReg (WR, BAR4+608h~63Ch)

Sedm dvojic registrů má význam analogický registr DAC0DataReg a slouží k nastavení hodnoty analogových výstupů AOUT1 ~ AOUT7.

5.21. DAC0RangeReg (WR, BAR4+700h)

Tento registr slouží k nastavení pracovního rozsahu analogového výstupu AOUT0. Význam a struktura registru je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV						RNG1	RNG0

RNG1/0

- volba rozsahu
 - 00 rozsah 0~5V
 - 01 rozsah ±5V
 - 10 rozsah 0~10V
 - 11 rozsah ±10V

RSRV

- rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

5.22. DACxRangeReg (WR, BAR4+704h~71Ch)

Sedm registrů má význam analogický registr DAC0RangeReg a slouží k nastavení rozsahů analogových výstupů AOUT1 ~ AOUT7.

5.23. REF0DataReg (RD/WR, BAR4+780h/784h)

Tato dvojice registrů slouží k nastavení hodnoty referenčního zdroje +5V.

Registr obsahuje 16bitovou hodnotu v rozsahu 0~65535; hodnotou 0 je referenční zdroj nastaven na nejnižší napětí (cca -10%, tzn. 4,5V), hodnotou 65535 je pak nastaven na nejvyšší napětí (cca +10%, tzn. 5,5V).

Hodnota registru může být uložena do EEPROM umístěné na kartě a následně přenesena z EEPROM zpět do registru; podrobně viz registr EECWReg.

 *K přenosu dat z EEPROM dojde automaticky po downloadu FPGA.*

5.24. REFxDataReg (RD/WR, BAR4+788h~79Ch)

Tři dvojice registrů mají význam analogický registr REF0DataReg a slouží k nastavení hodnoty referenčních zdrojů -5V, +10V a -10V. Rozsah nastavení všech zdrojů referenčních napětí je stejný, tzn. cca ±10%.

5.25. EECWReg (WR, BAR4+7C0h)

Tento registr slouží k nastavení nebo uložení hodnoty registrů REFxDataReg. Význam a struktura registru je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV						EERD	EEWR

- EEWR
- zápisem hodnoty 1 je zahájen přenos dat z registrů REFxDatReg do EEPROM (viz popis EEStatusReg)
- EERD
- zápisem hodnoty 1 je zahájen přenos dat z EEPROM do registrů REFxDatReg (viz popis EEStatusReg)
- RSRV
- rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

5.26. EEStatusReg (RD, BAR4+7C0h)

Tento registr slouží ke zjištění informací o probíhajícím přenosu z/do EEPROM.

Struktura registru je totožná s registrem EECWReg; příznak EEWR logickou úrovní 1 signalizuje probíhající zápis do EEPROM, příznak EERD pak čtení z EEPROM.

5.27. FPGAVerReg (WR, BAR4+5FCh)

Tento poskytuje verzi FPGA ve formátu [D7~D4.D3~D0], tedy "0.0" až "15.15".



Důležité upozornění:

Registrová struktura popsaná v příručce odpovídá FPGA verze 1.0 a vyšší (do 1.15).

6. Popis analogových výstupů

6.1. Úvod

Karty PCA-7288A obsahují osm analogových výstupů realizovaných 12bitovými pulsněšifrovými modulátory. Výstupy jsou nezávisle konfigurovatelné do čtyř výstupních rozsahů odvozených od čtyř společných zdrojů referenčních napětí.

Zdroje referenčních napětí jsou elektronicky kalibrovatelné v rozsahu cca $\pm 10\%$ a kalibrační data mohou být ukládána do EEPROM paměti umístěné na desce.

Jádrem karty je výkonné FPGA konfigurované z diskového souboru při každém startu počítače, případně kdykoliv aplikační program vyžaduje (v případě více různých konfiguračních souborů).

 *Obsah FPGA je downloadován společně pro všechny funkce karty.*

6.2. Zapojení výstupů

Výstupy jsou řešeny zesilovači s nízkou výstupní impedancí a návaznými sériově řazenými impedancemi 10 Ω m omezujícími zakmitávání vlivem přívodních vodičů.

Minimální zatěžovací impedance analogových výstupů musí splnit současně dva následující požadavky:

- minimální povolená zatěžovací impedance je 1 k Ω m
- celkový proudový odběr ze všech výstupů nesmí přesáhnout 40mA; pokud tedy budou využity pouze 5V/ ± 5 V rozsahy, může být každý výstup zatížen impedancí 1 k Ω m; budou-li však použity všechny výstupy s rozsahy 10V/ ± 10 V, lze každý výstup zatížit impedancí 2 k Ω m; pro čtyři výstupy s rozsahy 10V/ ± 10 V (tzn. zbývající čtyři nezapojeny) lze použít zátěž s impedancí 1 k Ω m.

7. Popis čítačů

7.1. Úvod

Karty PCA-7288A obsahují osm nezávislých 16bitových čítačů s možnostmi čítání vpřed, povolení a zastavení čítání, nulování a přednastavení hodnoty

Jádrem karty je výkonné FPGA konfigurované z diskového souboru při každém startu počítače, případně kdykoliv aplikační program vyžaduje (v případě více různých konfiguračních souborů).

 *Obsah FPGA je downloadován společně pro všechny funkce karty.*

7.2. Zapojení vstupů

Vstupní obvody jsou kompatibilní s úrovněmi HC/TTL s zatěžovacím charakterem cca 3x vstupů ("pull-up" rezistor má hodnotu 3,3 kOhm).

Vstupní obvody jsou vybaveny komparátory s hysterezí a do značné míry potlačují riziko načítání falešných pulsů vlivem malé strmosti hran vstupního signálu.

7.3. Programovatelná vstupní logika

Vstupní logika čítače umožňuje povolit nebo zastavit čítání; tato funkce je řešena jako synchronní pro všechny čítače.

7.4. Čítače

Čítače reagují na sestupnou hranu vstupního signálu, umožňují pouze vzestupné čítání. Hodnota všech čítačů může být synchronně zachycena do vyrovnávacích registrů; čítače lze rovněž synchronně nulovat a přednastavit.

8. Popis řadiče přerušení

8.1. Úvod

Karty PCA-7288A jsou vybaveny programovatelnou logikou s možností vyvolání přerušení generátorem časových značek.

Jelikož volba IRQ kanálu je dána PnP mechanismy PCI BIOSu, následující odstavce budou věnovány pouze volbě zdroje přerušení s ohledem na praktické využití.

8.2. Programová obsluha přerušení

Zjednodušený algoritmus programové obsluhy je popsán v následujícím postupu:

-> **inicializace**

1. program nainstaluje přerušovací rutinu na IRQ kanál přidělený BIOSem (viz popis PCI konfiguračních registrů v příloze manuálu)
2. program vynuluje případné nezpracované příznaky pomocí IRQClrReg (IRQClrReg=FFh) a povolí obvody přerušovací linky (INTEnReg=80h)
3. program povolí požadované zdroje přerušení na kartě (např. IRQCfgReg=00010000 povolí přerušení od generátoru časových značek)
4. je-li vyžadován, program spustí generátor časových značek (např. TimerReg=25 nastaví periodické přerušení od časovače na hodnotu 25 ms)

-> **po příchodu události je vyvoláno přerušení**

- obsluha přerušení** (tzv. ISR) uvolní INTA sběrnice pomocí INTEnReg (zápisem INTEnReg=0h a následně INTEnReg=80h), ukončí rutinu v řadiči přerušení (resp. přenechá řízení další ISR) a předá zprávu aplikačnímu programu
5. program přečte IRQStatusReg a identifikuje přerušení (IRQStatusReg=00010000 znamená, že přerušení bylo vyvoláno časovačem)
 6. program vynuluje IRQStatusReg pomocí IRQClrReg (pro daný případ IRQClrReg=00010000)
 7. program znovu přečte IRQStatusReg a je-li nenulový, identifikuje přerušení a smaže jeho příznak podle bodu 6.

-> **ukončení programu**

8. program vynuluje registry INTEnReg a IRQCfgReg, zastaví časovač vynulováním TimerReg, eventuálně vynuluje nezpracované příznaky pomocí IRQClrReg, a odinstaluje přerušovací rutinu

9. Popis digitálních vstupů a výstupů

9.1. Úvod

Karty PCA-7288A obsahují kromě analogových výstupů a čítačů rovněž 8 vstupních a 8 výstupních digitálních kanálů; signály obou portů jsou umístěny na dvou konektorech DIL10.

V případě potřeby lze použít redukční kabel DIG-209, který převede signály z obou konektorů DIL10 na 2x Cannon 9.

9.2. Zapojení vstupů

Pro realizaci vstupů bylo využito obvodů technologie HCTMOS. Jejich výhodné vlastnosti (vysoká vstupní impedance a zanedbatelný vstupní proud, ochranné diody) byly využity pro přepětovou ochranu do $\pm 24V$.

Protože klidový stav vstupů odpovídá logické úrovni H (ošetřeno rezistory 10kOhm proti napětí +5V), lze je použít i pro připojení signálů typu "otevřený kolektor".

9.3. Zapojení výstupů

Pro realizaci výstupů bylo využito obvodů technologie HCMOS. Pro jejich výhodné vlastnosti (vysoký výstupní proud a zanedbatelný napěťový úbytek) je lze využít pro přímé buzení LED, optronů, popř. i miniaturních relé 5V/500 Ohm.

10. Popis konfigurace FPGA

10.1. Úvod

Funkce čítačů a analogových výstupů jsou u PC karet PCA-7288A realizovány na bázi hradlové pole - FPGA - vyžadujícího download konfiguračních dat z diskového souboru při každém zapnutí počítače. Tato nevýhoda je vyvážena možností jednoduchého upgrade a v neposlední řadě výrazně nižší cenou než jiná řešení.

Dále uvedený postup znázorňuje algoritmus funkcí potřebných pro download; pro běžné účely je dodávána programovací utilita (verze pro MS-DOS a Windows).

10.2. Zjednodušený postup downloadu

Pro download jsou využívány tyto tři registry:

FPGACtrlReg	registr pro řízená přenosu (WR, BAR4+3FCh)
FPGAStatusReg	registr pro stavové příznaky (RD, BAR4+3FCh)
FPGADwldReg	registr pro přenos dat (WR, BAR4+400h) (v běžném režimu není tento registr dostupný)

Postup (výchozí stav FPGACtrlReg = 00h):


1. program zahájí download postupnými zápisy FPGACtrlReg = 01h a FPGACtrlReg = 00h; FPGAStatusReg je nastaven na hodnotu 20h a FPGA je připraveno pro download konfiguračních dat
2. program aktivuje programovací sekvenci zápisem FPGACtrlReg = 02h
3. program otevře soubor s konfiguračními daty, načte první byte a zapíše jej do registru FPGADwldReg
FPGAStatusReg na zápis reaguje změnou na hodnotu 02h (signalizuje, že přenos dat uvnitř FPGA probíhá) a následně po max. 1,6 μ s zpět na 22h (~ FPGA RDY)
4. program vyčká na nastavený příznak RDY v registru FPGAStatusReg nebo na nastavený příznak SPDW (tzn. 10h)
5. program postupně podle bodů 3 a 4 zapíše do FPGA celý obsah souboru
6. program ukončí programovací sekvenci zápisem FPGACtrlReg = 00h a FPGAStatusReg po ukončení programování setrvá ve stavu 10h; zůstane-li po ukončení programování v registru FPGAStatusReg hodnota 20h, přenos dat neproběhl úspěšně a je potřeba jej opakovat



Důvodem pro nesprávné naprogramování FPGA může být chyba v programu nebo nesprávný či poškozený konfigurační soubor.

funkce	PIN	PIN	funkce
+5V (viz. poznámka)	C1		
PWR GND	C2	C14	+12V (viz. poznámka)
---	C3	C15	PWR GND
---	C4	C16	---
A GND	C5	C17	---
A GND	C6	C18	Analog Out 7
A GND	C7	C19	Analog Out 6
A GND	C8	C20	Analog Out 5
A GND	C9	C21	Analog Out 4
A GND	C10	C22	Analog Out 3
A GND	C11	C23	Analog Out 2
A GND	C12	C24	Analog Out 1
A GND	C13	C25	Analog Out 0

Tab.1. Zapojení vývodů konektorů Cannon 25.

 Výstupní napětí +5V a +12V lze zatížit proudem max. 700 mA (osazena vratná nadproudová pojistka).

funkce	PIN	PIN	funkce
CNT0	C1		
CNT2	C2	C6	CNT1
CNT4	C3	C7	CNT3
CNT6	C4	C8	CNT5
GND	C5	C9	CNT7

Tab.2. Zapojení vývodů konektorů Cannon 9.

funkce	PIN	PIN	funkce
<i>DIN0 / DOUT0</i>	<i>D1</i>	<i>D2</i>	<i>DIN1 / DOUT1</i>
<i>DIN2 / DOUT2</i>	<i>D3</i>	<i>D4</i>	<i>DIN3 / DOUT3</i>
<i>DIN4 / DOUT4</i>	<i>D5</i>	<i>D6</i>	<i>DIN5 / DOUT5</i>
<i>DIN6 / DOUT6</i>	<i>D7</i>	<i>D8</i>	<i>DIN7 / DOUT7</i>
<i>GND</i>	<i>D9</i>	<i>D10</i>	<i>+5V</i>

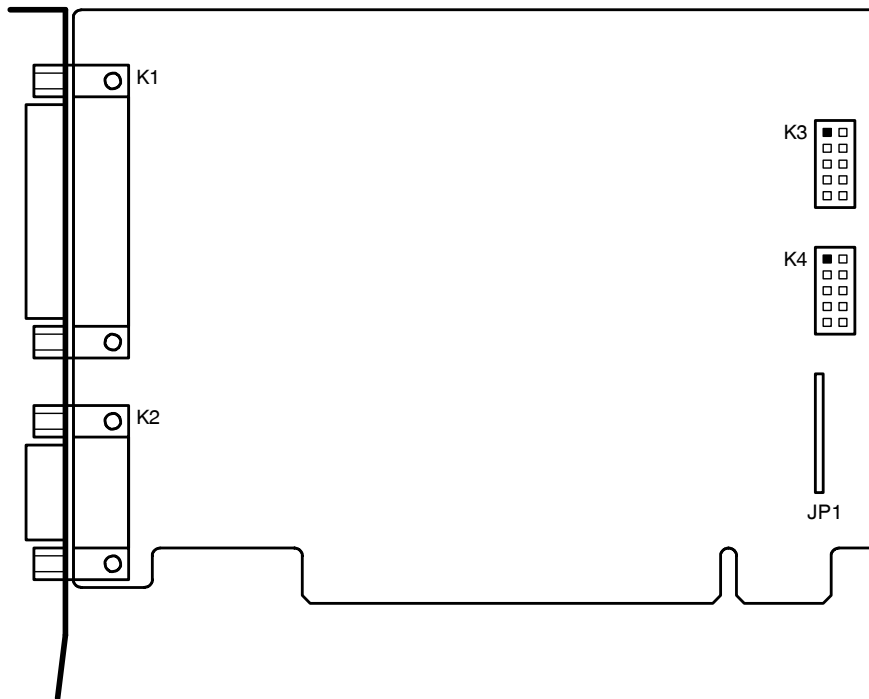
Tab.3. Zapojení vývodů konektoru DIL 10.

funkce	PIN	PIN	funkce
<i>DIN0 / DOUT0</i>	<i>C1</i>		
<i>DIN2 / DOUT2</i>	<i>C2</i>	<i>C6</i>	<i>DIN1 / DOUT1</i>
<i>DIN4 / DOUT4</i>	<i>C3</i>	<i>C7</i>	<i>DIN3 / DOUT3</i>
<i>DIN6 / DOUT6</i>	<i>C4</i>	<i>C8</i>	<i>DIN5 / DOUT5</i>
<i>GND</i>	<i>C5</i>	<i>C9</i>	<i>DIN7 / DOUT7</i>

Tab.4. Zapojení vývodů konektorů Cannon 9 redukčního kabelu DIG-209.

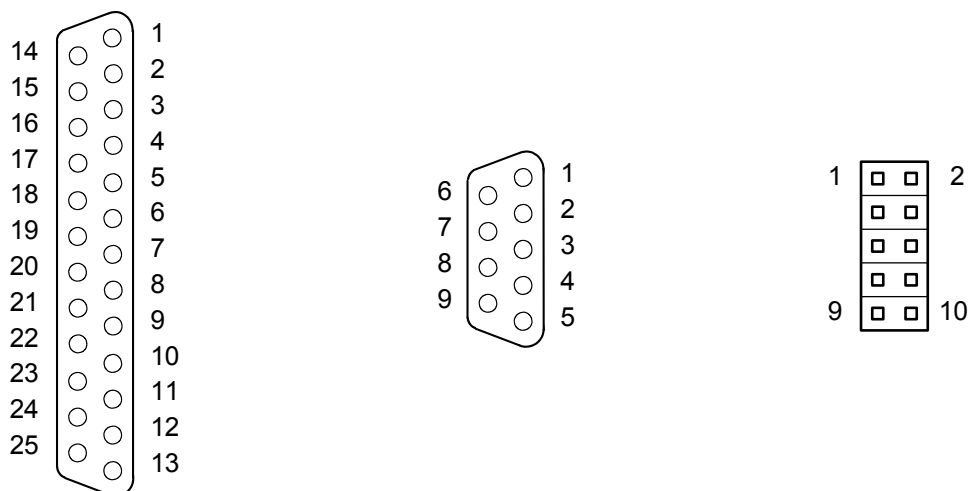
adresa registru (hex)	funkce registru
<i>BAR4+000</i>	<i>DIOReg0 - registr digitálních vstupů</i>
<i>BAR4+004</i>	<i>DIOReg1 - registr digitálních výstupů</i>
<i>BAR4+008 ÷ BAR4+1FC</i>	<i>rezerva</i>
<i>BAR4+200</i>	<i>IRQCfgReg, IRQStatusReg - registry obvodů přerušení</i>
<i>BAR4+204</i>	<i>IRQClrReg - řídicí registr obvodů přerušení</i>
<i>BAR4+208</i>	<i>rezerva (obvyklý TimerReg přemístěn na adresu 5F0)</i>
<i>BAR4+20C</i>	<i>INTEnReg - řídicí registr obvodů přerušení</i>
<i>BAR4+210</i>	<i>DACEnReg - aktivace analogových výstupů</i>
<i>BAR4+214 ÷ BAR4+3F8</i>	<i>rezerva</i>
<i>BAR4+3FC</i>	<i>registr pro download obsahu FPGA</i>
<i>BAR4+400 ÷ BAR4+450</i>	<i>registry pro řízení čítačů, registry pro čtení čítačů</i>
<i>BAR4+454 ÷ BAR4+4FC</i>	<i>rezerva</i>
<i>BAR4+5F0</i>	<i>TimerReg - generátor časových značek</i>
<i>BAR4+5F4 ÷ BAR4+5F8</i>	<i>rezerva</i>
<i>BAR4+5FC</i>	<i>verze FPGA, formát [D7~D4.D3~D0]</i>
<i>BAR4+600 ÷ BAR4+79C</i>	<i>registry analogových výstupů</i>
<i>BAR4+7A0, BAR4+7BC</i>	<i>rezerva</i>
<i>BAR4+7C0</i>	<i>registr EEPROM</i>
<i>BAR4+7C4, BAR4+7FC</i>	<i>rezerva</i>

Tab.5. Struktura adresového prostoru karty.



Obr.1. Rozmístění důležitých prvků na kartě PCA-7288A.

K1	konektor analogových výstupů (Cannon 25 - vidlice)
K2	konektor čítačových vstupů (Cannon 9 - vidlice)
K3	konektor standardních digitálních výstupů
K4	konektor standardních digitálních vstupů
JP1	konektor určený pouze pro servisní účely



Obr.2. Rozmístění vývodů na konektorech Cannon 25, Cannon 9 a DIL 10.

Prázdná Strana

1. PCI bridge OX9162


1.1. PCI konfigurační registry

Popis vychází z "PCI local bus specification revision 2.2" vydané 18. prosince 1998. Softwarový interface pro přístup do PCI konfiguračních registrů je popsán ve specifikaci PCI BIOS (aktuálně rev. 2.1 z 26.8.1994).

Offset	Data			
	31 24	23 16	15 08	07 00
+00 _H	Device ID (= DID)		Vendor ID (= VID)	
+04 _H	Status		Command	
+08 _H	Class Code			Revision ID
+0C _H	BIST	Header Type	Reserved	Reserved
+10 _H	Base Address Register 0 (BAR0)			
+14 _H	Base Address Register 1 (BAR1)			
+18 _H	Base Address Register 2 (BAR2)			
+1C _H	Base Address Register 3 (BAR3)			
+20 _H	Base Address Register 4 (BAR4)			
+24 _H	Reserved			
+28 _H	Reserved			
+2C _H	Subsystem ID (= Sub ID)		Subsystem VID (= Sub VID)	
+30 _H	Reserved			
+34 _H	Reserved			Cap_Ptr
+38 _H	Reserved			
+3C _H	Reserved	Reserved	Interrupt Pin	Interrupt Line
+40 _H	nepovinná část			
...				
+FF _H				

Obsah důležitých registrů:

VID	1760 _H	TEDIA
DID	definuje typ karty TEDIA	
Class Code	118000 _H	"other data acquisition adapter"
BAR0-BAR4	PnP	bázové adresy prostorů přiřazené PCI BIOSem
Sub VID	1760 _H	TEDIA
Sub ID	podle registrové verze karty	
Interrupt Pin	číslo IRQ kanálu (0 = žádný, 2 = IRQ2, 3 = IRQ3, ... , 15 = IRQ15)	

 Popis ostatních registrů lze nalézt v PCI BUS specifikaci.


1.2. Struktura Base Address Register

Obsah bázových registrů (Base Address Register) je definován PCI BIOSem a aplikace jej nesmí modifikovat; smí jej pouze číst.

Registr má strukturu odlišnou pro MEM a I/O mapování, viz dále:


D31 ... D4	D3	D2	D1	D0
BASE (31-4)	PREF	Type		0

0	určuje MEM prostor
Type	0 0 umístěno v 32-bitovém adresovém prostoru 0 1 rezerva 1 0 umístěno v 64-bitovém adresovém prostoru 1 1 rezerva
PREF	0 funkce "prefetch" není povolena (viz. poznámka) 1 funkce "prefetch" je povolena (viz. poznámka)
BASE (31-4)	bázová adresa v MEM prostoru (registr obsahuje vyšších 28 bitů; skutečná adresa vznikne operací ADR = BAR and FFFFFFFF0); v případě BASE(31-4)=0 nebyl MEM prostor BIOSem přidělen

 *Funkce "prefetch" není řadičem OX9162 podporována.*

D31 ... D1	D0
BASE (31-1)	1

1	určuje I/O prostor
BASE (31-1)	bázová adresa v I/O prostoru (registr obsahuje vyšších 31 bitů; skutečná adresa vznikne operací ADR = BAR4 and FFFFFFFFE); v případě BASE(31-1)=0 nebyl I/O prostor BIOSem přidělen

 *Přestože Intel x86 architektura pracuje s 16-bitovým I/O adresováním, je podle PCI specifikace nezbytné plné 32-bitové dekódování adresy. Nicméně v počítačích třídy PC obsahuje BIOSem nastavená adresa nulové bity D31-D16 a proto lze I/O přístupy s výhodou využít i v reálném módu Intel x86 procesoru.*

Struktura registru BAR uvedená výše je popsána z pohledu aplikačního software (resp. aplikačního ovladače), kdy BAR poskytuje přiřazenou bázovou adresu, avšak nikoliv velikost prostoru. Tento údaj musí aplikace převzít ze znalosti PCI chipsetu.

Registr má odlišný význam pro detekční procedury PCI BIOSu a metodou "pevně nulovaných" bitů umožní předat i informaci o požadavku na velikost prostoru.

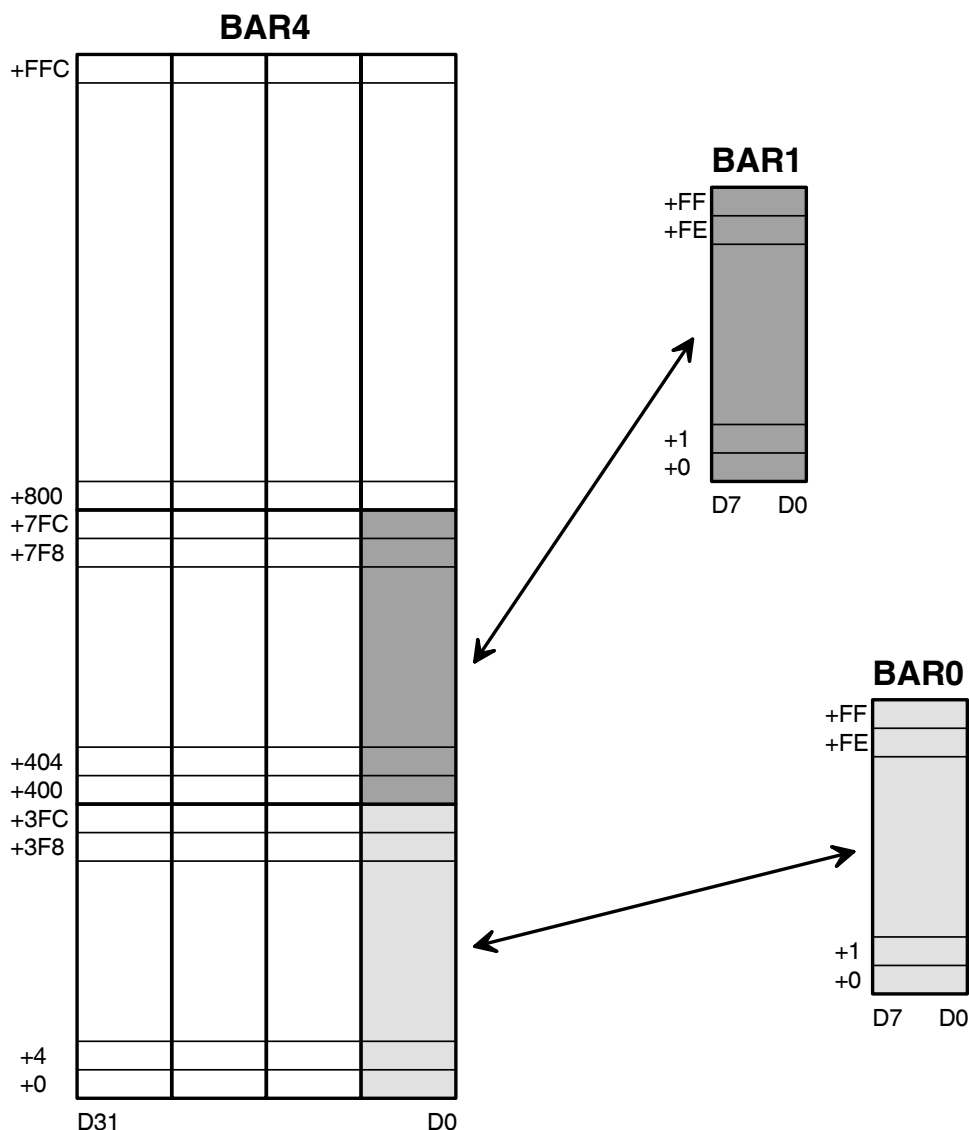
Všechny karty TEDIA s chipsetem OX9162 mají konfigurovány prostory:

BAR0	256B I/O, určen pro přístup do funkčních registrů
BAR1	256B I/O, určen pro přístup do funkčních registrů
BAR2	32B I/O, určen pro přístup dokonfiguračních registrů OX9162
BAR3	4kB MEM, určen pro přístup dokonfiguračních registrů OX9162
BAR4	4kB MEM, určen pro přístup do funkčních registrů

1.3. Mapování registrů v BAR0, BAR1 a BAR4

Lokální "pass-through" sběrnice disponuje rozsahem až 512 registrů (tuto konfiguraci využívají všechny karty TEDIA® osazené chipsetem OX9162) a umožňuje tyto registry mapovat současně v MEM i I/O PCI prostoru. Oba alternativní přístupy jsou z pohledu registrů zcela záměnné.

Na níže uvedeném obrázku je zakresleno mapování funkčního registrového bloku o efektivní velikosti 512B do celkových 4kB (~1k x 32) prostoru BAR4 (využitá část prostoru je vyznačena šedou výplní; zbývající registry MEM prostoru jsou rezervovány) a znázorněn alternativní přístup prostřednictvím dvou I/O prostorů BAR0/BAR1 s kapacitou 2x 256B.



Příklad:

$RD[BAR0+01_H] \sim RD[BAR4+04_H]$

$WR[BAR1+FF_H] \sim WR[BAR4+7FC_H]$

Prázdná Strana

