

PCA-8428/8429

PCA-8439/8439

programátorská příručka

historie dokumentu:		
datum	verze	změny
10.12.2015	12.2015	výchozí verze
17.12.2015	12.2015b	změna řazení kapitol
21.12.2015	12.2015c	oprava popisu FIFOIRQReg, oprava přehledu v kapitole 9.1, oprava tabulky v odstavci 9.17, drobná zpřesnění
23.12.2015	12.2015d	zrušení registru FreeRunCNTStrbReg (tabulka v odstavci 3.8, resp. kapitola 11), oprava tabulky v odstavci 9.17

Výhrada odpovědnosti, autorských práv, ochranných známek a názvů:

Ačkoliv byla tato programátorská příručka vytvořena s maximální pečlivostí, nelze vyloučit, že obsahuje chyby. Domníváte-li se, že jsou některé údaje uvedeny nesprávně, neúplně nebo nepřesně, prosíme, informujte technickou podporu.

Pro případ typografických nebo obsahových chyb si TEDIA® vyhrazuje právo kdykoliv provést opravy nebo zpřesnění publikovaných informací. Právě tak produkty popsané v programátorské příručce mohou být kdykoliv revidovány se záměrem zlepšení technických parametrů nebo dosažení lepších užitečných vlastností. Doporučujeme proto před každým užitím této příručky ověřit, zda není k dispozici vydání nové.

TEDIA® nezodpovídá za žádné škody vzniklé užitím této programátorské příručky nebo informací v příručce obsažených.

Programátorská příručka a její součásti jsou autorským dílem chráněným ustanovením zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon) v platném znění.

Všechna jména a názvy použité v textu mohou být chráněnými známkami nebo obchodními názvy výrobků příslušných vlastníků.

OBSAH

1. Základní informace

- 1.1 Úvod
- 1.2 Standardní a low-profile provedení
- 1.3 Verze firmware
- 1.4 Technická podpora

2. PCI Express řadič

- 2.1 Úvod
- 2.2 Prostor PCI konfiguračních registrů
- 2.3 Mapování funkčních registrů

3. Funkční registry

- 3.1 Přehled registrů
- 3.2 Dělení adresového prostoru do bloků
- 3.3 Blok registrů s osmibitovými daty (+0000 ÷ 03FC)
- 3.4 Blok registrů DIO portů a obvodů pro detekci hran (+0400 ÷ 07FC)
- 3.5 Blok registrů IRC čítačů a detektorů minima/maxima (+1000 ÷ 10FC)
- 3.6 Blok registrů analogových výstupů (+1400 ÷ 14FC)
- 3.7 Blok registrů scanovacích obvodů a FIFO paměti (+1600 ÷ 17FC)
- 3.8 Blok diagnostických registrů (+3F00 ÷ 3FFC)

4. Registry pro obsluhu digitálních vstupů/výstupů

- 4.1 Úvod
- 4.2 Funkce digitálních portů
- 4.3 Registry DINReg0, ... , DINReg2 (RD)
- 4.4 Registry DINReg(2-0) (RD)
- 4.5 Registry DOUTReg0, ... , DOUTReg2 (WR)
- 4.6 Registry DOUTReg(2-0) (WR)
- 4.7 Registr DIOCfgReg (WR/RD)

5. Registry pro obsluhu obvodů detekce hran

- 5.1 Úvod
- 5.2 Registry DINREReg a DINFEReg (WR)
- 5.3 Registry DINREStatusReg a DINFERegStatusReg (RD)
- 5.4 Registry DINREClrReg a DINFERegClrReg (WR)
- 5.5 Registry DINREIRQReg a DINFERegIRQReg (WR)
- 5.6 Schéma registrové struktury obvodů detekce hran

6. Registry pro obsluhu přerušení

- 6.1 Úvod
- 6.2 Funkce obvodů pro obsluhu přerušení
- 6.3 Registr INTEnReg (WR)
- 6.4 Registr IRQCfgReg (WR)
- 6.5 Registr IRQStatusReg (RD)
- 6.6 Registr IRQClrReg (WR)
- 6.7 Registr TimerReg (WR, RD)
- 6.8 Schéma registrové struktury

7. Registry pro obsluhu IRC čítačů

- 7.1 Úvod
- 7.2 Funkce IRC čítačů
- 7.3 Registry související s kartami řady PCT-83xx
- 7.4 Registr IRCCNTCtrlReg (WR)
- 7.5 Registr IRCCNTEnReg (WR)
- 7.6 Registr IRCCNT0SetReg (WR)
- 7.7 Registr IRCCNT0RngReg (WR)
- 7.8 Registr IRCCNT0StrReg (RD)
- 7.9 Registr IRCCNT0CWReg (WR)
- 7.10 Registr IRCCNT0StatReg (RD)
- 7.11 Registr SSICtrlReg (WR)
- 7.12 Schéma registrové struktury

8. Registry pro detekci minima/maxima hodnoty IRC čítačů

- 8.1 Úvod
- 8.2 Funkce detektorů minima/maxima
- 8.3 Registr IRCCNTMinMaxEnReg (WR)
- 8.4 Registr IRCCNTMinMaxCtrlReg (WR)
- 8.5 Registr IRCCNT0MinReg (RD)
- 8.6 Registr IRCCNT0MaxReg (RD)

9. Registry pro obsluhu scanovacích obvodů a FIFO paměť

- 9.1 Úvod
- 9.2 Funkce scanovacích obvodů
- 9.3 Princip a funkce FIFO paměti
- 9.4 Registr ScanCWReg (WR)
- 9.5 Registr ScanStatusReg (RD)
- 9.6 Registr SWTrigReg (WR)
- 9.7 Registr SWTrigStatusReg (RD)
- 9.8 Registry SWFIFODataReg32, SWFIFODataReg16 a SWFIFODataReg8 (RD)
- 9.9 Registr FIFONoSmplStrbReg (WR)
- 9.10 Registr FIFONoSmplReg (RD)
- 9.11 Registry FIFODataReg32, FIFODataReg16 a FIFODataReg8 (RD)
- 9.12 Registr FIFOIRQReg (WR)
- 9.13 Blok registrů ScanParamReg0 ... ScanParamReg63 (WR/RD)
- 9.14 Registr ScanParamRegNr (WR/RD)
- 9.15 Registr ScanFreqReg (WR/RD)
- 9.16 Registr ScanStartFreeRunCNTReg (RD)
- 9.17 Popis scanovacích parametrů zapisovaných do registrů ScanParamReg
- 9.18 Programová obsluha scanovacích obvodů
- 9.19 Porovnání pracovních režimů
- 9.20 Schéma registrové struktury scanovacích obvodů

10. Registry pro obsluhu analogových výstupů

- 10.1 Úvod
- 10.2 Funkce analogových výstupů
- 10.3 Registry DACxReg (WR)
- 10.4 Registry DACxRegLo a DACxRegHi (WR)
- 10.5 Registry DACxPHYReg (RD)

11. Pomocné diagnostické registry (společné všem typům karet)

- 11.1 Úvod
- 11.2 Registr FreeRunCNTReg (RD)
- 11.3 Registr CardResetReg (WR)
- 11.4 Registr CardResetStatusReg (RD)
- 11.5 Registr CardSerNrReg (RD)
- 11.6 Registr CardIDReg (RD)
- 11.7 Registr FPGATypeReg (RD)
- 11.8 Registr FPGAVerReg (RD)

12. Registry v adresových prostorech BAR1 a BAR2

- 12.1 Úvod
- 12.2 Adresový prostor BAR1
- 12.3 Adresový prostor BAR2

1. Základní informace

1.1 Úvod

Tato programátorská příručka navazuje na uživatelskou příručku karet PCA-8428/8429/8438/8439 (dále společně označené PCA-84xx) obsahující ...

- základní technické údaje,
- popis instalace
- a popis zapojení konektorů.

Uživatelská příručka tedy obsahuje informace postačující běžnému uživateli k nasazení karty ve spolupráci s hotovými aplikačními programy, případně k vytváření vlastních programů nad ovladači s abstraktním API (v případě Windows se jedná například o ovladač TEDIA_DAQ01).

Oproti tomu programátorská příručka obsahuje...

- popis použitého PCI Express řadiče,
- popis všech funkčních registrů karty
- a popis programování na úrovni registrů.

Programátorská příručka tedy umožňuje programování nad systémovým ovladačem s API nabízejícím přímý přístup k registrům (v případě Windows se jedná o ovladač tedia_ep4gxa), tzn. vytváření speciálních programů nebo vlastních ovladačů (například pro různé SCADA systémy nebo pro operační systém Linux).

1.2 Standardní a low-profile provedení

DAQ PCI Express karty TEDIA jsou dostupné v provedení se standardní výškou (označení PCA-84xx) a v tzv. low-profile provedení (označení PCA-84xx/LP). S výjimkou odlišného umístění konektorů a použitelného příslušenství jsou obě varianty karet shodné a informace obsažené v této příručce proto bez výjimky platné pro obě varianty.

1.3 Verze firmware

Aktuální verze firmware v době vydání příručky:

FPGA - typ firmware:	37	(reprezentováno hodnotou 37 _H)
FPGA - verze firmware:	0.1	(reprezentováno hodnotou 01 _H)

Typ FPGA je kontrolní číslo přidělené standardnímu firmware PCA-84xx. Odlišné číslo představuje buď konfiguraci nesprávným firmware (například určeným pro jinou kartu) nebo zakázkovým firmware.

Verze firmware FPGA je doplňkovým údajem pro definici vlastností karty.

Poznámka: Funkce popsané v této příručce vycházejí z uvedených verzí firmware.

1.4 Technická podpora

V případě nejasností se lze obrátit na technickou podporu výrobce:

adresa:	TEDIA spol. s r. o., Zábělská 12, 31211 Plzeň, Česká republika
URL:	http://www.tedia.cz/podpora
e-mail:	aktuální informace najdete na adresách http://www.tedia.cz/kontakty http://www.tedia.cz/podpora
telefon:	+420 373730421 (základní číslo) +420 373730426 (technická podpora)

Doporučujeme seznámit se s užitečnými pravidly pro kontaktování technické podpory (viz výše uvedená URL).

Poznámka: Ačkoliv byla tato programátorská příručka vytvořena s maximální pečlivostí, nelze vyloučit, že obsahuje chyby. Domníváte-li se, že jsou některé údaje uvedeny nesprávně, neúplně nebo nepřesně, prosíme, informujte technickou podporu.

2. PCI Express řadič

2.1 Úvod

Karty PCA-84xx jsou osazeny řadičem sběrnice PCI Express implementovaným v hradlovém poli FPGA (karty nevyužívají žádný speciální řadič z PCI Express na lokální sběrnici).

Realizovaná implementace je jednofunkční (karta se tedy chová jako jedno zařízení) se třemi adresovými prostory (BAR) mapovanými v MEM prostoru s 32bitovým adresováním.

Poznámka: Ačkoliv jsou registry karty mapovány do MEM prostoru s 32bitovým adresováním, DMA řadič karty podporuje 32bitové i 64bitové adresování.

2.2 Prostor PCI konfiguračních registrů

V následující tabulce jsou vybrané registry z prostoru PCI konfiguračních registrů.

adresa	jméno registru	PCA-8428 PCA-8428/LP	PCA-8429 PCA-8429/LP	PCA-8438 PCA-8438/LP	PCA-8439 PCA-8439/LP
01 _H ÷ 00 _H	Vendor ID	1760 _H (tzn. VID TEDIA)			
03 _H ÷ 02 _H	Device ID	0840 _H	0841 _H	0842 _H	0843 _H
08 _H	Revision ID	01 _H			
0B _H ÷ 09 _H	Class Code	118000 _H (tzn. PCI třída "other data acquisition controller")			
13 _H ÷ 10 _H	BAR0	funkční registry karty (MEM, 16kB, adresu přidělí BIOS)			
17 _H ÷ 14 _H	BAR1	servisní registry karty (update firmware, kalibrační konstanty, ...) (MEM, 16kB, adresu přidělí BIOS)			
1B _H ÷ 18 _H	BAR2	registry obsluhované z jádra operačního systému (přerušeni, DMA, ...) (MEM, 4kB, adresu přidělí BIOS)			
1F _H ÷ 1C _H	BAR3	nevyužito			
23 _H ÷ 20 _H	BAR4	nevyužito			
27 _H ÷ 24 _H	BAR5	nevyužito			
2D _H ÷ 2C _H	Subsystem Vendor ID	1760 _H (tzn. VID TEDIA)			
2F _H ÷ 2E _H	Subsystem ID	0001 _H			
3C _H	Interrupt Line	číslo IRQ kanálu (přidělí BIOS)			
3D _H	Interrupt Pin	01 _H (INTA)			

K čemu jsou určeny výše popsané PCI konfigurační registry ...

- Vendor ID a Device ID jsou určeny pro 100% identifikaci karty v systému (v případě nejednoznačnosti mohou být navíc použity Subsystem Vendor ID a Subsystem ID, popř. Class Code)
- BARx jsou určeny pro zjištění přidělených prostředků, tzn. počáteční adresu bloků funkčních registrů karty
- Interrupt Line je určen pro zjištění aktuálního propojení INT signálu karty s logickým IRQ kanálem přerušeni (není-li použit MSI režim přerušeni)

2.3 Mapování funkčních registrů

V následujících odstavcích je řešena problematika mapování funkčních registrů.

Proč jsou registry mapovány pouze v MEM prostoru a ne duplicitně v I/O prostoru jako u DAQ PCI karet TEDIA ...

Mapování v I/O prostoru je zastaralé a velmi omezující (umožňuje přidělit v součtu všem zařízením v počítači maximálně 255 bloků velikosti 256B) a nachází smysluplné využití jen v operačních systémech, resp. vývojových prostředcích, které neumožňují jednoduché 32bitové adresování MEM prostoru (např. MS-DOS).

K čemu jsou určeny registry v BAR0 ...

V tomto prostoru jsou mapovány všechny uživatelské registry karty (tedy registry obsluhující I/O funkce karty).

Následující kapitoly se budou až na několik výjimek věnovat výhradně popisu těchto registrů.

K čemu jsou určeny registry v BAR1 a BAR2 ...

V těchto prostorech jsou mapovány servisní registry a registry obsluhované ovladačem z jádra operačního systému.

3. Funkční registry

3.1 Přehled registrů

Tabulky uvedené v následujících kapitolách obsahují přehled funkčních registrů implementovaných v aktuální verzi firmware (viz 1. kapitola). Všechny funkční registry popsané v této kapitole jsou mapovány v BAR0.

Upozornění: Všechny registry, není-li výslovně uvedeno jinak (např. registry, jejichž počáteční obsah lze definovat pomocí EEPROM paměti), jsou po startu nebo resetu vynulovány. Při spuštění programu však nelze na tento stav spoléhat, jelikož registry mohou být nastaveny na odlišné hodnoty předešlým programem; do definovaného stavu je lze uvést buď programováním hodnot nebo pomocí registru CardResetReg.

3.2 Dělení adresového prostoru do bloků

Následující tabulka zobrazuje přehled dělení adresového prostoru do bloků společně všem DAQ PCI Express kartám TEDIA, současně jsou uvedeny i identifikační registry mapované identicky všem kartám.

ofset BAR0	význam registrů
+0000 ÷ 03FC	registry s osmibitovými daty (z důvodu jednodušší migrace z DAQ PCI karet)
+0400 ÷ 07FC	registry s 32bitovými daty (blok DIO portů)
+0800 ÷ 0FFF	registry s 32bitovými daty (PCA-84xx tento blok nevyužívají)
+1000 ÷ 10FC	registry s 32bitovými daty (blok IRC čítačů včetně detektorů minima/maxima)
+1100 ÷ 11FC	registry s 32bitovými daty (blok SSI rozhraní), implementován pouze registr SSICtrlReg
+1200 ÷ 13FF	registry s 32bitovými daty (PCA-84xx tento blok nevyužívají)
+1400 ÷ 14FC	registry s 32bitovými daty (blok analogových výstupů)
+1500 ÷ 15FC	registry s 32bitovými daty (PCA-84xx tento blok nevyužívají)
+1600 ÷ 17FC	registry s 32bitovými daty (blok registrů scanovacích obvodů a FIFO paměti)
+1800 ÷ 3EFC	registry s 32bitovými daty (PCA-84xx tento blok nevyužívají)
+3F00 ÷ 3FFC	diagnostické registry (společné všem typům karet)

3.3 Blok registrů s osmibitovými daty (+0000 ÷ 03FC)

Následující tabulka zobrazuje registry s osmibitovými daty.

K registrům lze přistupovat operandem typu byte na adresu uvedenou v tabulce, případně operandem dword s tím, že platná data jsou přenášena na nejnižších osmi bitech (vyšší bity jsou při zápisu ignorovány a při čtení nulovány).

Program může přistupovat výhradně na adresy zarovnané na dword (tzn. v celistvém násobku 4) a nedoporučuje se přistupovat na jiné adresy, než jsou uvedeny v tabulce.

ofset BAR0	význam pro operaci zápis	význam pro operaci čtení
+0000	DOUTrReg0	DINReg0
+0004	DOUTrReg1	DINReg1
+0008	DOUTrReg2	DINReg2
+0080	DIOCfgReg	(zpětné čtení)
+0200	IRQCfgReg	IRQStatusReg
+0204	IRQClrReg	---
+0208	TimerReg	TimerReg
+020C	INTEnReg	(zpětné čtení)
+03F4	---	CardIDReg
+03F8	---	FPGATypeReg
+03FC	---	FPGAVerReg

Poznámka: Mapování registrů prvních tří DIO portů je identické u všech DAQ PCIe karet.

3.4 Blok registrů DIO portů a obvodů pro detekci hran (+0400 ÷ 07FC)

Následující tabulka zobrazuje 32bitové registry DIO portů a souvisejících obvodů pro detekci hran s možností vyvolání přerušení.

K registrům lze přistupovat výhradně operandem typu dword na adresy zarovnané na dword (tzn. v celistvém násobku 4) a nedoporučuje se přistupovat na jiné adresy, než jsou uvedeny v tabulce.

ofset BAR0	význam pro operaci zápis	význam pro operaci čtení
+0400	DOUTrReg(2-0)	DINReg(2-0)
+0410	DINREReg(2-0)	DINREStatusReg(2-0)
+0414	DINREClrReg(2-0)	---
+0418	DINFEReg(2-0)	DINFESStatusReg(2-0)
+041C	DINFECIrReg(2-0)	---
+0440	DINREIRQReg(2-0)	(zpětné čtení)
+0444	DINFEIRQReg(2-0)	(zpětné čtení)

3.5 Blok registrů IRC čítačů a detektorů minima/maxima (+1000 ÷ 10FC)

Následující tabulka zobrazuje 32bitové registry IRC čítačů a detektorů minima/maxima.

K registrům lze přistupovat výhradně operandem typu dword na adresy zarovnané na dword (tzn. v celistvém násobku 4) a nedoporučuje se přistupovat na jiné adresy, než jsou uvedeny v tabulce.

ofset BAR0	význam pro operaci zápis	význam pro operaci čtení
+1000	IRCCNT0SetReg	IRCCNT0StrReg
+1004	IRCCNT0RngReg	---
+1008	---	---
+100C	---	---
+1010	IRCCNT0CWReg	IRCCNT0StatReg
+1014	---	---
+1018	---	IRCCNT0MinReg
+101C	---	IRCCNT0MaxReg
+1020 ÷ +103C	registry IRCCNT1 (struktura analogická bloku +1000 ÷ +101C)	
+10C0	IRCCNTEnReg	(zpětné čtení)
+10C4	IRCCNTCtrlReg	---
+10C8	IRCCNTMinMaxEnReg	(zpětné čtení)
+10CC	IRCCNTMinMaxCtrlReg	---

3.6 Blok registrů analogových výstupů (+1400 ÷ 14FC)

Následující tabulka zobrazuje 32bitové registry určené pro řízení analogových výstupů.

K registrům lze přistupovat výhradně operandem typu dword na adresy zarovnané na dword (tzn. v celistvém násobku 4) a nedoporučuje se přistupovat na jiné adresy, než jsou uvedeny v tabulce.

ofset BAR0	význam pro operaci zápis	význam pro operaci čtení
+1400	DAC0Reg	(zpětné čtení)
+1404	DAC1Reg	(zpětné čtení)
+14A0	DAC0RegLo	(zpětné čtení)
+14A4	DAC1RegLo	(zpětné čtení)
+14C0	DAC0RegHi	(zpětné čtení)
+14C4	DAC1RegHi	(zpětné čtení)
+14E0	---	DAC0PHYReg
+14E4	---	DAC1PHYReg

Výše uvedená tabulka zobrazuje registry pro dva analogové výstupy, jejich implementace je však závislá na typu karty.

typ rozhraní	PCA-8428 (.../LP)	PCA-8429 (.../LP)	PCA-8438 (.../LP)	PCA-8439 (.../LP)
počet AOUT	2	0	2	0

3.7 Blok registrů scanovacích obvodů a FIFO paměti (+1600 ÷ 17FC)

Následující tabulka zobrazuje 32bitové registry určené pro diagnostické a identifikační funkce.

K registrům lze přistupovat výhradně operandem typu dword na adresy zarovnané na dword (tzn. v celistvém násobku 4) a nedoporučuje se přistupovat na jiné adresy, než jsou uvedeny v tabulce.

ofset BAR0	význam pro operaci zápis	význam pro operaci čtení
+1600	ScanParamReg0	(zpětné čtení)
+1604	ScanParamReg1	(zpětné čtení)
.....
+16F8	ScanParamReg62	(zpětné čtení)
+16FC	ScanParamReg63	(zpětné čtení)
+1700 ÷ +17BC	rezerva 48 registrů	rezerva 48 registrů
+17C0	ScanParamRegNr	(zpětné čtení)
+17C4	ScanFreqReg	(zpětné čtení)
+17C8	---	---
+17CC	FIFOIRQReg	(zpětné čtení)
+17D0	ScanCWReg	ScanStatusReg
+17D4	---	ScanStartFreeRunCNTReg (stav FreeRunCNTReg při startu měření)
+17D8	FIFONoSmpIStbReg	FIFONoSmpIReg
+17DC	SWTrigReg	SWTrigStatusReg
+17E0	---	FIFODataReg32
+17E4	---	---
+17E8	---	FIFODataReg16
+17EC	---	FIFODataReg8
+17F0	---	SWFIFODataReg32
+17F4	---	---
+17F8	---	SWFIFODataReg16
+17FC	---	SWFIFODataReg8

3.8 Blok diagnostických registrů (+3F00 ÷ 3FFC)

Následující tabulka zobrazuje 32bitové registry určené pro diagnostické a identifikační funkce.

K registrům lze přistupovat výhradně operandem typu dword na adresy zarovnané na dword (tzn. v celistvém násobku 4) a nedoporučuje se přistupovat na jiné adresy, než jsou uvedeny v tabulce.

ofset BAR0	význam pro operaci zápis	význam pro operaci čtení
+3FD0	---	FreeRunCNTReg (32 bitů @ 1 MHz)
+3FE0	CardResetReg	CardResetStatusReg
+3FF0	---	CardIDReg
+3FF4	---	CardSerNrReg
+3FF8	---	FPGATypeReg
+3FFC	---	FPGAVerReg

4. Registry pro obsluhu digitálních vstupů/výstupů

4.1 Úvod

V následujících odstavcích budou popsány registry související s digitálními vstupy a výstupy, viz přehled v 3. kapitole.

Registry lze dále rozdělit na skupinu datových registrů

DINReg0, ...2	tři osmibitové vstupní registry digitálních portů
DINReg(2-0)	32bitový vstupní registr digitálních portů (slučuje funkce DINReg0, DINReg1 a DINReg2)
DOUReg0, ...2	tři osmibitové výstupní registry digitálních portů
DOUReg(2-0)	32bitový výstupní registr digitálních portů (slučuje funkce DOUReg0, DOUReg1 a DOUReg2)

a konfigurační registry

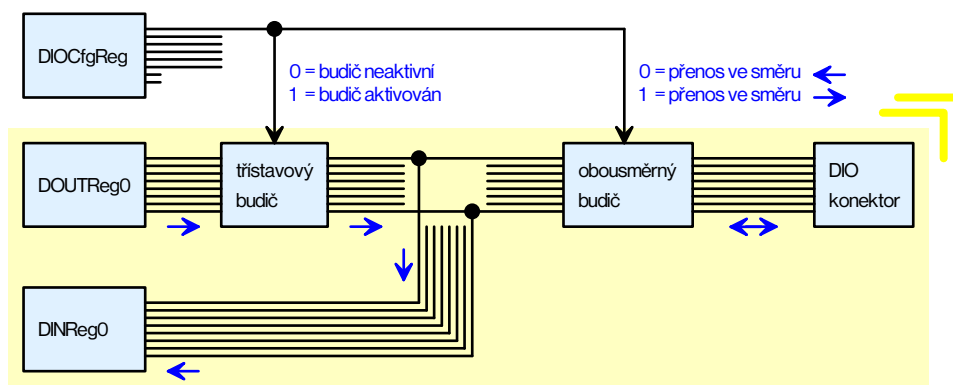
DIOCfgReg	registr pro konfiguraci směru digitálních portů (tzn. volba vstupní nebo výstupní port)
-----------	---

Poznámka: Obsah všech výstupních registrů uvedených výše je po zapnutí karty nebo resetu (včetně resetu vyvolaného registrem CardResetReg) nastaven na hodnoty uložené konfiguračním programem v EEPROM karty. Uživatel tedy může definovat chování portů ještě před okamžikem spuštění programu. Z výroby jsou všechny porty konfigurovány jako vstupní a obsah registrů výstupních portů je nulový.

4.2 Funkce digitálních portů

První tři digitální porty jsou řešeny jako obousměrné, každý port (tzn. osmice digitálních signálů) lze individuálně nastavit jako vstupní nebo výstupní. Aktuální stav portu lze zjistit čtením registru; v případě konfigurace jako vstupní port je čten stav vstupních signálů, v případě konfigurace jako výstupní port lze zpětně číst data zapsaná do výstupního registru.

Další podrobnosti jsou patrné z obrázku níže (zakreslen jeden osmibitový port, část se žlutým podkladem je v kartě obsažena třikrát).



Rozmístění portů na konektorech karty

První tři porty (tzn. 0, 1 a 2) jsou vyvedeny na konektory KX1+KX3 na zadní straně karty a mohou být jsou zpřístupněny kabelovými redukci. V případě PCA-84xx ve standardním provedení je první DIO port vyveden na PC šítek karty pomocí redukce PCE-8019.

Poznámka: Funkce a mapování registrů prvních tří DIO portů jsou identické u všech DAQ PCIe karet.

4.3 Registry DINReg0, ... , DINReg2 (RD)

Tyto registry slouží ke čtení stavu digitálního portu, každý bit registru zpřístupňuje jeden signál osmibitového digitálního portu (bity D0 registrů zpřístupňují signály DIO00/08/16; bity D7 zpřístupňují DIO07/15/23).

Je-li port konfigurován jako vstupní, je čtena hodnota přiváděná na signály. Je-li port konfigurován jako výstupní, je čten aktuální stav definovaný DOUT registrem.

4.4 Registry DINReg(2-0) (RD)

Tyto registry jsou alternativou k osmibitovým registrům popsaným v předešlém odstavci a slouží ke čtení stavu trojice digitálních portů.

Registr DINReg(2-0) slučuje funkce registrů DINReg0, DINReg1 a DINReg2, tzn. přenáší na bitech D23÷D00 hodnotu portů DIO23÷DIO00, nejvyšších osm bitů je nulových.

Je-li port konfigurován jako vstupní, je čtena hodnota přiváděná na signály. Je-li port konfigurován jako výstupní, je čten aktuální stav definovaný DOUTReg registrem.

4.5 Registry DOUTReg0, ... , DOUTReg2 (WR)

Tyto registry slouží k ovládání stavu výstupního digitálního portu, každý bit registru zpřístupňuje jeden signál osmibitového digitálního portu (bity D0 registrů ovládají signály DIO00/08/23; bity D7 zpřístupňují DIO07/15/23).

Je-li port konfigurován jako vstupní, lze do DOUTReg registru zapisovat, avšak jeho obsah neovlivňuje stav signálů. Je-li port konfigurován jako výstupní, definuje tento registr stav výstupních signálů.

4.6 Registry DOUTReg(2-0) (WR)

Tento registr je alternativou k osmibitovým registrům popsaným v předešlém odstavci a slouží ke ovládání stavu trojice digitálních portů.

Registr slučuje funkce registrů DOUTReg0, DOUTReg1 a DOUTReg2, tzn. přenáší na bitech D23÷D00 hodnotu portů DIO23÷DIO00, nejvyšších osm bitů je ignorováno.

4.7 Registr DIOCfgReg (WR/RD)

Tento registr slouží ke konfiguraci obousměrných DIO portů jako vstupních nebo výstupních.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV					DIR2	DIR1	DIR0

DIR0	řízení směru přenosu portu DIO0
	0 výstupy DOUT registru jsou deaktivovány, port pracuje jako vstupní
	1 výstupy DOUT registru jsou aktivovány, port pracuje jako výstupní
DIR1	řízení směru přenosu portu DIO1
	0 výstupy DOUT registru jsou deaktivovány, port pracuje jako vstupní
	1 výstupy DOUT registru jsou aktivovány, port pracuje jako výstupní
DIR2	řízení směru přenosu portu DIO2
	0 výstupy DOUT registru jsou deaktivovány, port pracuje jako vstupní
	1 výstupy DOUT registru jsou aktivovány, port pracuje jako výstupní
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

5. Registry pro obsluhu obvodů detekce hran

5.1 Úvod

V následujících odstavcích budou popsány registry určené související s obvody detekce hran, viz přehled v 3. kapitole.

Přehled registrů:

DINREReg(2-0)	povolení detekce náběžné hrany na signálech portů DIO00 až DIO23
DINREStatusReg(2-0)	příznaky detekce náběžné hrany na signálech portů DIO00 až DIO23
DINREClrReg(2-0)	nulování příznaků detekce náběžné hrany na signálech portů DIO00 až DIO23
DINFEReg(2-0)	povolení detekce sestupné hrany na signálech portů DIO00 až DIO23
DINFESStatusReg(2-0)	příznaky detekce sestupné hrany na signálech portů DIO00 až DIO23
DINFEClrReg(2-0)	nulování příznaků detekce sestupné hrany na signálech portů DIO00 až DIO23
DINREIRQReg(2-0)	povolení přerušení od obvodů detekce hran (detekce náběžné hrany na DIO portech 0, 1 a 2)
DINFEIRQReg(2-0)	povolení přerušení od obvodů detekce hran (detekce sestupné hrany na DIO portech 0, 1 a 2)

5.2 Registry DINREReg a DINFEReg (WR)

Tyto registry slouží k povolení detekce náběžné (DINREReg), resp. sestupné (DINFEReg) hrany na signálech DIO portů.

Registry mají významných 24 nejnižších bitů (bit D0 hodnotou 1 povoluje detekci hrany na signálu portu DIO00, bit D23 hodnotou 1 povoluje detekci hrany na signálu portu DIO23), nejvyšších osm bitů je ignorováno a z důvodu dopředné kompatibility je doporučeno zapisovat hodnotu 0.

5.3 Registry DINREStatusReg a DINFESStatusReg (RD)

Tyto registry slouží k zjištění stavu příznaků obvodů detekce hran povolovaných registry DINREReg a DINFEReg.

Registry mají významných 24 nejnižších bitů (bit D0 signalizuje hodnotou 1 nastavený příznak detekované hrany na signálu portu DIO00, bit D23 signalizuje hodnotou 1 nastavený příznak detekované hrany na signálu portu DIO23), nejvyšších osm bitů je trvale nulováno.

5.4 Registry DINREClrReg a DINFEClrReg (WR)

Tyto registry slouží k nulování příznaků obvodů detekce hran povolovaných registry DINREReg a DINFEReg.

Registry mají významných 24 nejnižších bitů (bit D0 hodnotou 1 nuluje nastavený příznak detekované hrany na signálu portu DIO00, bit D23 hodnotou 1 nuluje nastavený příznak detekované hrany na signálu portu DIO23, zápis hodnoty 0 stav příznaku nemění), nejvyšších osm bitů je ignorováno a z důvodu dopředné kompatibility je doporučeno zapisovat hodnotu 0.

Zápis do registru generuje krátký pulz, následný zápis 0 proto není vyžadován.

5.5 Registry DINREIRQReg a DINFEIRQReg (WR)

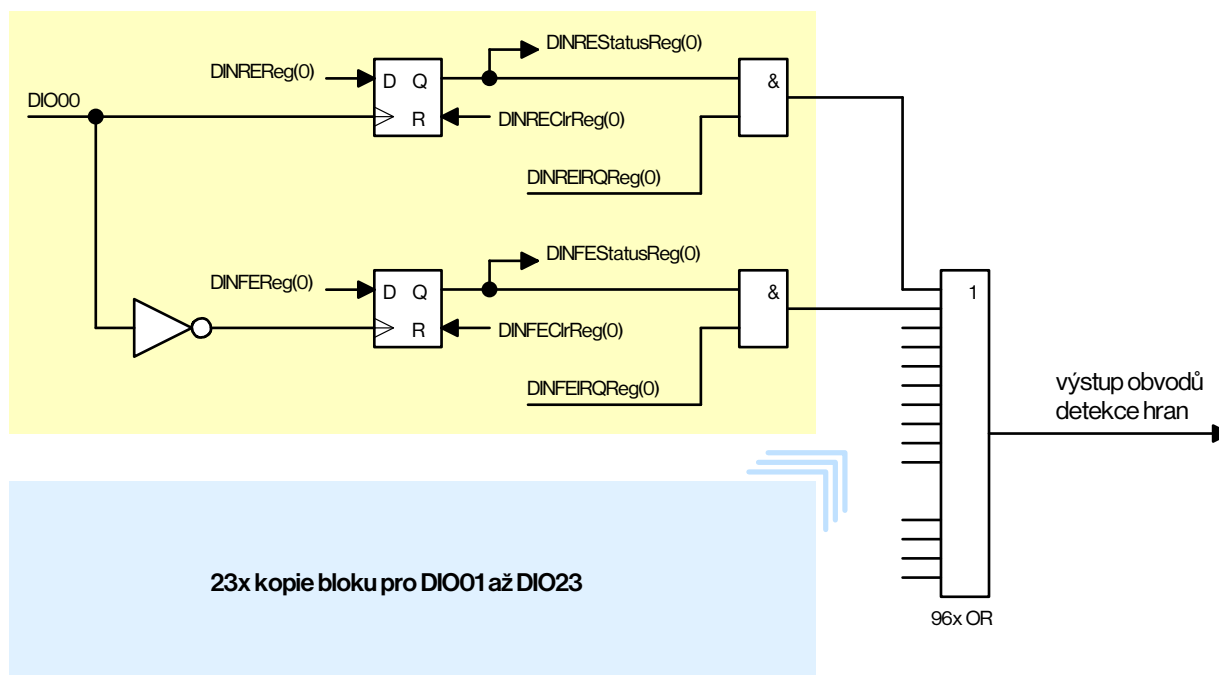
Tyto registry slouží k povolení vyvolání přerušení systému příznaky obvodů detekce hran.

Registry mají významných 24 nejnižších bitů (bit D0 hodnotou 1 povoluje vyvolat přerušení příznakem navázaným na signál portu DIO00, bit D23 hodnotou 1 povoluje vyvolat přerušení příznakem navázaným na signál portu DIO23), nejvyšších osm bitů je ignorováno a z důvodu dopředné kompatibility je doporučeno zapisovat hodnotu 0.

Podrobnější informace lze nalézt v obrázku a popisu uvedeném v následujícím odstavci, resp. v samostatné kapitole věnované obvodům přerušení.

5.6 Schéma registrové struktury obvodů detekce hran

Na níže uvedeném obrázku je pro lepší porozumění souvislostí zakresleno schéma obvodů detekce hran a návaznost na obvody přerušení (viz popis v samostatné kapitole).



Každý DIOxx signál je vybaven identickými obvody umožňujícími detekovat nezávisle náběžnou nebo sestupnou hranu. Žlutě vyznačená část zachycuje přesné řešení obvodů pro signál DIO00, modře vyznačená část pak znázorňuje identické obvody pro signály DIO01 až DIO23.

Všech 48 příznaků DINREStatus a DINFStatus umožňuje vyvolat přerušení. Příznaky jsou v prvním kroku zpracovány AND hradly (signály DINREIRQReg a DINFIRQReg úrovní 1 povolují průchod příznaků) a v druhém kroku OR hradlem. Jak je patrné ze schéma obvodů přerušení (viz popis v samostatné kapitole), přerušení systému je vyvoláno první detekovanou hranou, tzn. přechodem výstupu OR hradla z nulové hodnoty do nenulové. Pro další vyvolání přerušení je tedy nezbytné, aby programová obsluha přerušení zpracovala všechny požadavky o přerušení (viz popis v samostatné kapitole) a následně vynulovala všechny příznaky obvodů detekce hran.

6. Registry pro obsluhu přerušení

6.1 Úvod

V následujících odstavcích budou popsány registry související s obvody pro přerušení systému, viz přehled v 3. kapitole.

Přehled registrů:

INTEnReg	propojení obvodů detekce přerušení (všechny registry popsané v této kapitole) s obvody karty generujícími přerušení systému (INTA nebo MSI)
IRQCfgReg	povolení základních zdrojů přerušení
IRQStatusReg	příznaky základních zdrojů přerušení
IRQClrReg	nulování základních příznaků přerušení
TimerReg	generátor časových značek pro periodické vyvolávání přerušení

Poznámka: S obvody přerušení přímo souvisí i registry obvodů detekce hran popsané v samostatné kapitole.

6.2 Funkce obvodů pro obsluhu přerušení

Obvody pro obsluhu přerušení umožňují vyvolat přerušení systému jedním ze zdrojů, případně zvolenou kombinací zdrojů přerušení. Karta disponuje těmito zdroji přerušení:

Generátor časových značek

Umožňuje vyvolávat přerušení se zvolenou časovou periodou v rozsahu 1+255 ms.

Digitální vstupy - režim kompatibilní s DAQ PCI kartami

Umožňuje vyvolávat přerušení sestupnou hranou vybraných signálů DIO portů.

Digitální vstupy - obvody detekce hran DAQ PCI Express karet

Umožňuje vyvolávat přerušení libovolnou kombinací náběžných a sestupných hran na všech signálech DIO portů.

Pro správnou obsluhu je potřeba vzít v úvahu, že přerušení systému je vyvoláno první detekovanou událostí, tzn. přechodem obsahu IRQStatusReg registru z nulové hodnoty do nenulové. Pro další vyvolání přerušení je tedy nezbytné, aby programová obsluha přerušení zpracovala všechny požadavky detekované od vyvolání přerušení do vykonání této obsluhy a vynulovala všechny nastavené příznaky.

6.3 Registr INTEnReg (WR)

Tento registr slouží k propojení obvodů detekce přerušení (všechny registry popsané v této kapitole) s obvody karty generujícími přerušení systému (INTA nebo MSI).

D7	D6	D5	D4	D3	D2	D1	D0
INTEN	RSRV						

INTEN	aktivace obvodů pro řízení INTA/MSI
	0 záchytný registr generující řídicí signál INTA, popř. generující MSI je trvale nulován
	1 funkce záchytného registru je aktivována, tzn. karta může vyvolat přerušení systému
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

6.4 Registr IRQCfgReg (WR)

Tento registr slouží k povolení základních zdrojů přerušení.

D7	D6	D5	D4	D3	D2	D1	D0
FIFO	DIN-X	RSRV	TIM	EOS	IRQ2	IRQ1	IRQ0

IRQ0	povoluje vyvolání přerušení odvozené od sestupné hrany digitálního portu DIO00 0 záchytný registr navázaný na digitální vstup je blokován 1 funkce záchytného registru je aktivována
IRQ1	povoluje vyvolání přerušení odvozené od sestupné hrany digitálního portu DIO08 0 záchytný registr navázaný na digitální vstup je blokován 1 funkce záchytného registru je aktivována
IRQ2	povoluje vyvolání přerušení odvozené od sestupné hrany digitálního portu DIO16 0 záchytný registr navázaný na digitální vstup je blokován 1 funkce záchytného registru je aktivována
EOS	povoluje vyvolání přerušení odvozené od konce scanovací sekvence (má smysl zejména v režimech softwarového spouštění) 0 záchytný registr navázaný na signál ukončující scanovací sekvenci je blokován 1 funkce záchytného registru je aktivována
TIM	povoluje vyvolání přerušení odvozené od generátoru časových značek 0 záchytný registr navázaný na generátor časových značek je blokován 1 funkce záchytného registru je aktivována
DIN-X	povoluje vyvolání přerušení odvozené od obvodů detekce hran 0 záchytný registr navázaný na obvody detekce hran je blokován 1 funkce záchytného registru je aktivována
FIFO	povoluje vyvolání přerušení odvozené od dosažení prahu zaplnění FIFO daty 0 záchytný registr navázaný na detekci zaplnění FIFO je blokován 1 funkce záchytného registru je aktivována; přerušení je vyvoláno dosažením nastaveného zaplnění FIFO paměti (viz popis registru FIFOIRQReg), resp. nadlimitním zaplněním FIFO v okamžik pokusu o vynulování příznaku
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

6.5 Registr IRQStatusReg (RD)

Tento registr slouží k zjištění stavu záchytných registrů povolovaných registrem IRQCfgReg.

D7	D6	D5	D4	D3	D2	D1	D0
FIFO	DIN-X	RSRV	TIM	EOS	IRQ2	IRQ1	IRQ0

EOS	stav záchytného registru navázaného na signál ukončující scanovací sekvenci
0	registr není nastaven, tzn. od posledního nulování nedošlo k ukončení sekvence, resp. k dokončení přenos naměřených dat do SWFIFO
1	registr je nastaven, tzn. od posledního nulování došlo k ukončení sekvence, resp. přenosu dat
IRQ0	stav záchytného registru navázaného na digitální vstup DIO00
0	registr není nastaven, tzn. od posledního nulování nedošlo k detekci sestupné hrany
1	registr je nastaven, tzn. od posledního nulování došlo k detekci sestupné hrany
IRQ1	stav záchytného registru navázaného na digitální vstup DIO08
0	registr není nastaven, tzn. od posledního nulování nedošlo k detekci sestupné hrany
1	registr je nastaven, tzn. od posledního nulování došlo k detekci sestupné hrany
IRQ2	stav záchytného registru navázaného na digitální vstup DIO16
0	registr není nastaven, tzn. od posledního nulování nedošlo k detekci sestupné hrany
1	registr je nastaven, tzn. od posledního nulování došlo k detekci sestupné hrany
TIM	stav záchytného registru navázaného na generátor časových značek
0	registr není nastaven, tzn. od posledního nulování nedošlo k vygenerování časové značky
1	registr je nastaven, tzn. od posledního nulování došlo k vygenerování časové značky
DIN-X	stav záchytného registru navázaného na obvody detekce hran
0	registr není nastaven, tzn. od posledního nulování nedošlo k požadavku o přerušení
1	registr je nastaven, tzn. od posledního nulování došlo k požadavku o přerušení
FIFO	stav záchytného registru navázaného na obvody zaplnění FIFO paměti
0	registr není nastaven, tzn. od posledního nulování nedošlo k zaplnění FIFO paměti nad úroveň definovanou FIFOIRQReg
1	registr je nastaven, tzn. od posledního nulování došlo k zaplnění FIFO paměti
RSRV	rezerva (z důvodu dopředné kompatibility je doporučeno hodnoty ignorovat)

6.6 Registr IRQClrReg (WR)

Tento registr slouží k nulování záchytných registrů povolovaných registrem IRQCfgReg.

D7	D6	D5	D4	D3	D2	D1	D0
FIFO	DIN-X	RSRV	TIM	EOS	IRQ2	IRQ1	IRQ0

EOS	nuluje stejnojmenný záchytný registr v IRQStatusReg 0 bez významu, stav záchytného registru není modifikován 1 záchytný registr je vynulován (generuje krátký pulz, následný zápis 0 není vyžadován)
IRQ0	nuluje stejnojmenný záchytný registr v IRQStatusReg 0 bez významu, stav záchytného registru není modifikován 1 záchytný registr je vynulován (generuje krátký pulz, následný zápis 0 není vyžadován)
IRQ1	nuluje stejnojmenný záchytný registr v IRQStatusReg 0 bez významu, stav záchytného registru není modifikován 1 záchytný registr je vynulován (generuje krátký pulz, následný zápis 0 není vyžadován)
IRQ2	nuluje stejnojmenný záchytný registr v IRQStatusReg 0 bez významu, stav záchytného registru není modifikován 1 záchytný registr je vynulován (generuje krátký pulz, následný zápis 0 není vyžadován)
TIM	nuluje stejnojmenný záchytný registr v IRQStatusReg 0 bez významu, stav záchytného registru není modifikován 1 záchytný registr je vynulován (generuje krátký pulz, následný zápis 0 není vyžadován)
DIN-X	nuluje stejnojmenný záchytný registr v IRQStatusReg 0 bez významu, stav záchytného registru není modifikován 1 záchytný registr je vynulován (generuje krátký pulz, následný zápis 0 není vyžadován)
FIFO	nuluje stejnojmenný záchytný registr v IRQStatusReg 0 bez významu, stav záchytného registru není modifikován 1 záchytný registr je vynulován (generuje krátký pulz, následný zápis 0 není vyžadován)
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

6.7 Registr TimerReg (WR, RD)

Tento registr slouží k ovládání generátoru časových značek určeného pro periodické vyvolávání přerušení.

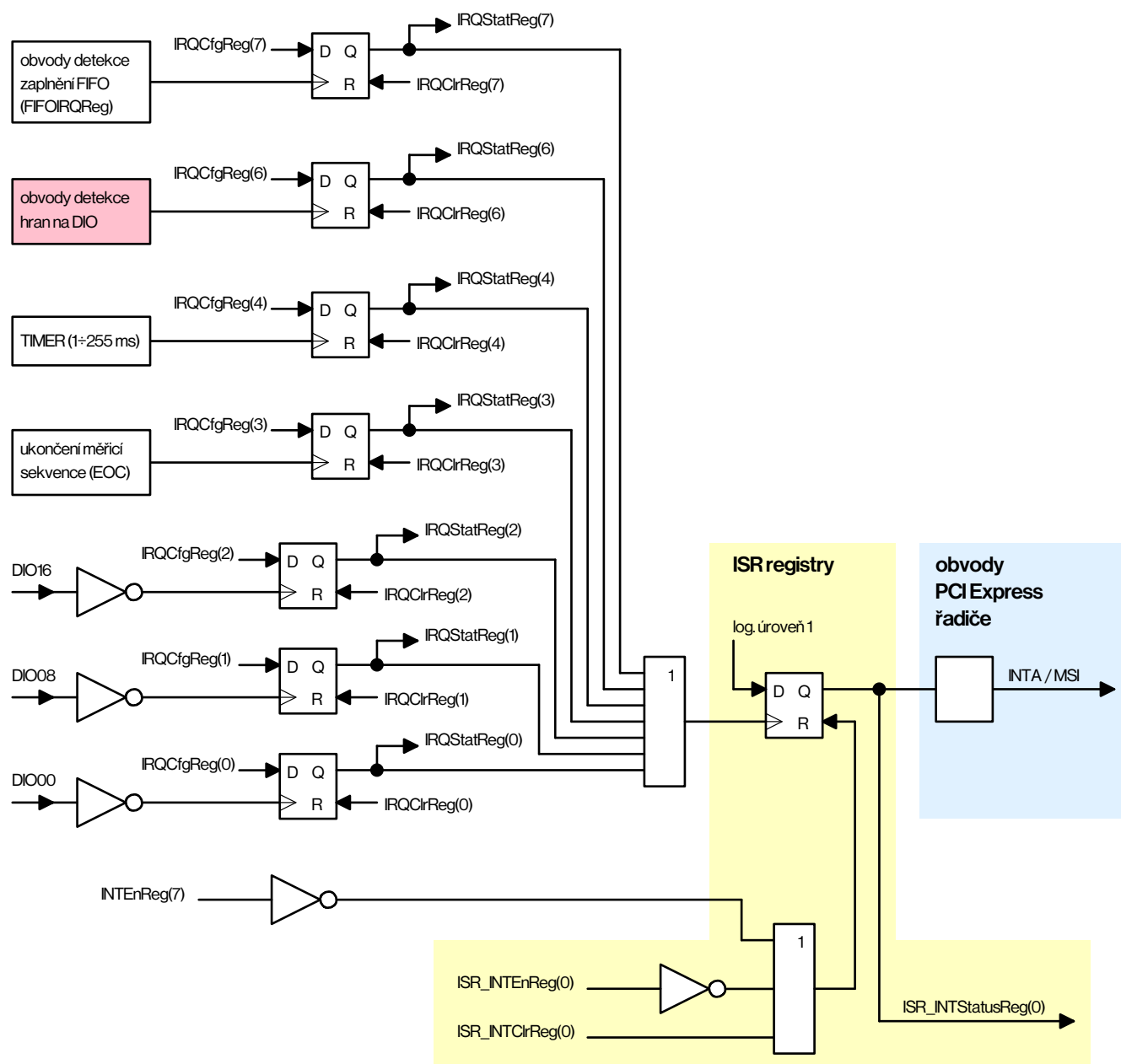
Počáteční hodnota registru je nulová a generátor časových značek je blokován. Zápisem nenulové hodnoty je generátor odstartován, perioda je definovaná zapsanou hodnotou v milisekundách. Zápisem nulové hodnoty je generátor zastaven.

Registr má význam i pro čtení (je čtena aktuální hodnota čítače inkrementovaného od nuly každou milisekundu až do zadané hodnoty zmenšené o jedna).

Pro příklad, zápisem hodnoty 100 bude první přerušení vyvoláno 100 ms po zápisu do registru a následně vždy po dalších 100 ms. Čtením budou získávány hodnoty 0, 1, ..., 98, 99, 0, 1, ..., přerušení je vyvoláno v okamžik přechodu z 99 na 0.

6.8 Schéma registrové struktury

Na níže uvedeném obrázku je pro lepší porozumění souvislostí zakresleno schéma základní části registrové struktury, podrobné řešení obvodů detekce hran (červeně vyznačená část) je zakresleno na samostatném obrázku v kapitole věnované této části karty.



Žlutě vyznačené obvody musejí být řízeny v rámci ISR, ostatní mohou být obsluhovány v rámci uživatelského programu, aplikačního ovladače (zpravidla DLL v případě Windows) nebo také v rámci ISR.

Signály **ISR_INTEnReg(0)** a **ISR_INTClrReg(0)** jsou implementovány identicky u všech DAQ PCIe karet TEDIA a umožňují unifikovat ISR obsluhu. Signál **ISR_INTEnReg(0)** je po startu karty v logické úrovni 1 a neblokuje tedy funkci signálu **INTEnReg(7)**, pro vytváření specifického systémového ovladače lze proto využít i řízení pomocí **INTEnReg(7)**.

Signály **ISR_INTEnReg(0)** a **ISR_INTClrReg(0)** využívá systémový ovladač **tedia_ep4gxa** pro Windows. V rámci aplikačního ovladače je potřeba při konfiguraci zdrojů přerušeni nastavit registr **INTEnReg(7)** do logické úrovně 1 a při ukončení požadavku o podporu přerušeni (zpravidla při ukončování programu) pak registr nastavit zpět do logické úrovně 0; vlastní deaktivaci INTA/MSI pomocí signálu **ISR_INTClrReg(0)** provádí ISR v kernel části ovladače automaticky.

Poznámka: Všechny registry **ISR_***** jsou mapovány v BAR2 a jejich popis přesahuje rámec této příručky.

7. Registry pro obsluhu IRC čítačů

7.1 Úvod

V následujících odstavcích budou popsány registry související s IRC čítači, viz přehled v 3. kapitole.

Registry lze rozdělit na skupinu společnou všem čítačům,

IRCCNTEnReg	registr vyhrazený pro povolení čítání, resp. nulování externími signály
IRCCNTCtrlReg	registr vyhrazený pro nastavení hodnoty čítačů, resp. zachycení aktuální hodnoty do registrů

skupinu registrů implementovaných pro každý čítač samostatně (registry mají názvy IRCCNT0..., IRCCNT1..., atd.)

IRCCNTxSetReg	registry vyhrazené pro data zapisovaná do "x-tého" čítače
IRCCNTxRngReg	registry vyhrazené pro definici rozsahu čítání "x-tého" čítače
IRCCNTxStrReg	registry vyhrazené pro zachycení dat z "x-tého" čítače
IRCCNTxCWReg	registry vyhrazené pro konfiguraci "x-tého" čítače
IRCCNTxStatReg	registry vyhrazené pro stavové informace "x-tého" čítače

a navíc registr implementovaný v bloku SSI řadičů karet řady PCT-83xx

SSICtrlReg (WR)

Poznámka: Obsah všech registrů uvedených výše s výjimkou IRCCNTxRngReg je po zapnutí karty nebo resetu (včetně resetu vyvolaného registrem CardResetReg) vynulován. Registry IRCCNTxRngReg jsou nastaveny na maximální hodnotu, tzn. FFFFFFFF₁₆.

7.2 Funkce IRC čítačů

V dále uvedených odstavcích budou popsány postupy typických programových obsluh čítačů.

Konfigurace čítačů (popsáno pro čítač IRCCNT0)

Ke konfiguraci jsou určeny registry IRCCNT0CWReg a IRCCNT0RngReg umožňující nastavit režim čítače a rozsah čítání. Následně je možné nastavit hodnotu čítače pomocí IRCCNT0SetReg (resp. také IRCCNTCtrlReg).

Vhodné je ověřit stav registru IRCCNT0StatReg (příznak chyby) a případně jej vynulovat pomocí registru IRCCNT0CWReg.

Spuštění čítačů (popsáno pro čítač IRCCNT0)

Ke spuštění a zastavení čítačů (tzn. reakce na vstupní signály) je určen registr IRCCNTEnReg.

Softwarové čtení čítačů (popsáno pro čítač IRCCNT0)

Čtení čítačů probíhá ve dvou fázích; v první je hodnota čítače (resp. vybraných čítačů) zachycena do vyrovnávacích registrů pomocí IRCCNTCtrlReg a v druhé fázi je zachycená hodnota čtena pomocí IRCCNT0StrReg.

Poznámka: Zachycení hodnoty čítačů externím signálem je připravováno do dalších verzí firmware FPGA.

7.3 Registry související s kartami řady PCT-83xx

Karty řady PCT-83xx nabízející primárně IRC čítače a SSI rozhraní v různé konfiguraci mají z důvodu společného řízení implementován registr umožňující synchronní zachycení hodnot ze všech zmíněných zdrojů hodnot. Tento registr označený SSICtrlReg je implementován v bloku SSI řadičů.

Ačkoliv karty řady PCA-84xx nenabízejí SSI řadiče, je z důvodu kompatibility softwarové obsluhy implementován zmíněný registr i u těchto karet.

7.4 Registr IRCCNTCtrlReg (WR)

Tento registr slouží k softwarovému zachycení aktuální hodnoty čítačů do záchytných registrů a rovněž nastavení hodnoty čítačů podle předvolených hodnot.

Všechny bity lze používat současně v libovolné kombinaci, čítače umožňují současné čtení i nastavení.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	STR_IRC1	STR_IRC0
D15	D14	D13	D12	D11	D10	D9	D8
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV
D23	D22	D21	D20	D19	D18	D17	D16
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	SET_IRC1	SET_IRC0
D31	D30	D29	D28	D27	D26	D25	D24
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV

STR_IRC0	přenesení aktuální hodnoty čítače IRCCNT0 do registru IRCCNT0StrReg 0 bez významu, stav IRCCNT0StrReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_IRC1	přenesení aktuální hodnoty čítače IRCCNT1 do registru IRCCNT1StrReg 0 bez významu, stav IRCCNT1StrReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
SET_IRC0	přenesení aktuální hodnoty registru IRCCNT0SetReg do čítače IRCCNT0 0 bez významu, stav čítače IRCCNT0 není modifikován 1 data přenesena do čítače (generuje krátký puls, následný zápis 0 není vyžadován)
SET_IRC1	přenesení aktuální hodnoty registru IRCCNT1SetReg do čítače IRCCNT1 0 bez významu, stav čítače IRCCNT1 není modifikován 1 data přenesena do čítače (generuje krátký puls, následný zápis 0 není vyžadován)
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

Poznámka: Funkce ovládané bity STR_IRCx lze alternativně ovládat pomocí registru SSICtrlReg popsaného na konci této kapitoly.

7.5 Registr IRCCNTEnReg (WR)

Tento registr slouží ke spuštění a zastavení čítačů, resp. k povolení nulování externím signálem.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	EN_AB1	EN_AB0
D15	D14	D13	D12	D11	D10	D9	D8
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV
D23	D22	D21	D20	D19	D18	D17	D16
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	EN_R1	EN_R0
D31	D30	D29	D28	D27	D26	D25	D24
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV

EN_AB0	povoluje čítání IRCCNT0 0 čítač je zastaven 1 čítač zpracovává signály IRCCNT0_A a IRCCNT0_B
EN_AB1	povoluje čítání IRCCNT1 0 čítač je zastaven 1 čítač zpracovává signály IRCCNT1_A a IRCCNT1_B
EN_R0	povoluje nulování IRCCNT0 0 čítač ignoruje signál IRCCNT0_R 1 čítač zpracovává signál IRCCNT0_R (aktivní úroveň je konfigurovatelná IRCCNT0CWReg)
EN_R1	povoluje nulování IRCCNT1 0 čítač ignoruje signál IRCCNT1_R 1 čítač zpracovává signál IRCCNT1_R (aktivní úroveň je konfigurovatelná IRCCNT1CWReg)
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

7.6 Registr IRCCNT0SetReg (WR)

Tento registr plní funkci 32bitového vyrovnávacího datového registru pro zápis dat do čítače IRCCNT0; data jsou do čítače IRCCNT0 přenesena pomocí registru IRCCNTCtrlReg.

Je-li do čítače IRCCNT0 zapsána hodnota mimo rozsah 0÷IRCCNT0RngReg, pracuje čítač v plném 32bitovém rozsahu až do okamžiku, kdy hodnota čítače vstoupí do zvoleného rozsahu 0÷IRCCNT0RngReg.

Poznámka: Pro čítač IRCCNT1 je implementován analogický registr.

7.7 Registr IRCCNT0RngReg (WR)

Tento 32bitový registr je určen pro nastavení rozsahu čítání čítače IRCCNT0, platné hodnoty jsou 1 až 4.294.967.295 (tzn. plný rozsah 32bitové hodnoty) a čítač IRCCNT0 pak pracuje v rozsahu 0÷IRCCNT0RngReg.

Je-li do IRCCNT0RngReg zapsána taková hodnota, že aktuální stav čítače IRCCNT0 je mimo rozsah 0÷IRCCNT0RngReg, pracuje čítač v plném 32bitovém rozsahu až do okamžiku, kdy hodnota čítače vstoupí do zvoleného rozsahu 0÷IRCCNT0RngReg (zpracováním vstupních signálů nebo naprogramováním hodnoty).

Poznámka: Pro čítač IRCCNT1 je implementován analogický registr.

7.8 Registr IRCCNT0StrReg (RD)

Tento registr plní funkci 32bitového vyrovnávacího datového registru pro softwarové čtení dat z čítače IRCCNT0, data jsou z čítače IRCCNT0 přenesena pomocí registru IRCCNTCtrlReg.

Poznámka: Pro čítač IRCCNT1 je implementován analogický registr.

7.9 Registr IRCCNT0CWReg (WR)

Tento registr slouží ke konfiguraci čítače IRCCNT0.

D31÷D8	D7	D6	D5	D4	D3	D2	D1	D0
RSRV-32	RSRV	MODE			ERR	RSRV	LPF	R_CFG

R_CFG	volba polarity nulovacího pulsu (signál IRCCNT0_R)
	0 čítač nulován úrovní L vstupního signálu
	1 čítač nulován úrovní H vstupního signálu
LPF	aktivace dolnoproputního filtru enkodéru vstupních signálů
	0 filtr vypnut
	1 filtr aktivován
ERR	nulování příznaku ERR v IRCCNT0StatReg
	0 bez významu, stav příznaku zachován
	1 příznak vynulován (generuje krátký puls, následný zápis 0 není vyžadován)
MODE	volba pracovního režimu čítače (podrobně popsány v uživatelské příručce)
	000 kvadrurní enkodér, režim X1
	001 kvadrurní enkodér, režim X2
	010 kvadrurní enkodér, režim X4
	011 rezerva
	100 režim "up/down"
	101 režim "count/dir"
	110 režim "count/gate"
	111 rezerva
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)
RSRV-32	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0) ačkoliv je významných jen osm bitů, je nutné do registru přistupovat 32bitovými daty

Poznámka: Pro čítač IRCCNT1 je implementován analogický registr.

7.10 Registr IRCCNT0StatReg (RD)

Tento registr slouží ke čtení stavových příznaků čítače IRCCNT0.

D31÷D8	D7	D6	D5	D4	D3	D2	D1	D0
RSRV-32	RSRV	RSRV	RSRV	RSRV	ERR	IRCCNT0_R	IRCCNT0_B	IRCCNT0_A

IRCCNT0_A	aktuální stav signálu IRCCNT0_A
IRCCNT0_B	aktuální stav signálu IRCCNT0_B
IRCCNT0_R	aktuální stav signálu IRCCNT0_R
ERR	chybový příznak signalizující "přeskočení" fáze kvadrurního signálu v režimech X1, X2 a X4 nebo detekovaný současný stav signálů IRCCNT0_A=L a IRCCNT0_B=L v režimu "up/down"
	0 od posledního nulování příznaku nebyla detekována chyba
	1 od posledního nulování příznaku byla detekována chyba
RSRV	rezerva (z důvodu dopředné kompatibility je doporučeno hodnoty ignorovat)
RSRV-32	rezerva (z důvodu dopředné kompatibility je doporučeno hodnoty ignorovat) ačkoliv je významných jen osm bitů, je nutné do registru přistupovat 32bitovými daty

Poznámka: Pro čítač IRCCNT1 je implementován analogický registr.

7.11 Registr SSICtrlReg (WR)

Tento registr slouží u karet řady PCT-83xx k softwarovému zachycení aktuální hodnoty interních datových registrů SSI rozhraní do záchytných registrů a rovněž zachycení aktuální hodnoty IRC čítačů do záchytných registrů. Ačkoliv nejsou karty řady PCA-84xx rozhraním SSI vybaveny, je z důvodu kompatibility ovládní tento registr implementován. Všechny bity lze používat současně v libovolné kombinaci.

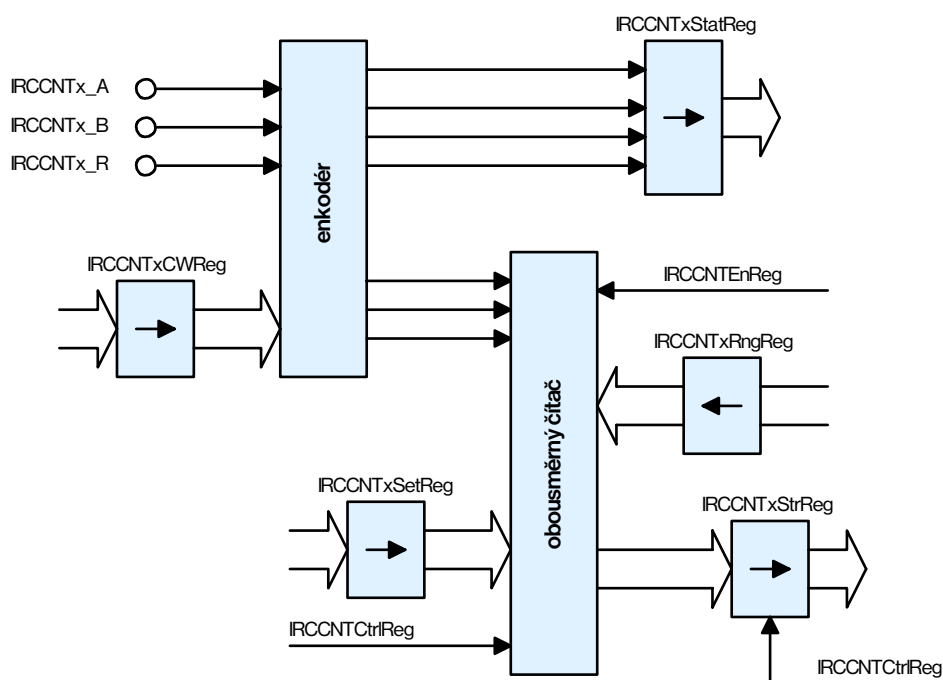
D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV
D15	D14	D13	D12	D11	D10	D9	D8
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV
D23	D22	D21	D20	D19	D18	D17	D16
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	STR_IRC1	STR_IRC0
D31	D30	D29	D28	D27	D26	D25	D24
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV

STR_IRC0	přeneše aktuální hodnotu čítače IRCCNT0 do registru IRCCNT0StrReg 0 bez významu, stav IRCCNT0StrReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_IRC1	přeneše aktuální hodnotu čítače IRCCNT1 do registru IRCCNT1StrReg 0 bez významu, stav IRCCNT1StrReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

Poznámka: Funkce ovládané bity STR_IRCx jsou určeny pro alternativní obsluhu IRC čítačů (pro základní obsluhu slouží registr IRCCNTCtrlReg popsany na předcházejících stranách).

7.12 Schéma registrové struktury

Na níže uvedeném obrázku jsou pro lepší porozumění zakresleny registry související s čítači (zobrazuje jeden čítač; registry IRCCNTx jsou implementovány pro každý čítač samostatně, registry IRCCNT jsou společné všem čítačům a umožňují jejich synchronní řízení).



8. Registry pro detekci minima/maxima hodnoty IRC čítačů

8.1 Úvod

V následujících odstavcích budou popsány registry související s obvodem pro detekci minima/maxima čítačů (dále také detektor minima/maxima), viz přehled v 3. kapitole.

Registry lze rozdělit na skupinu společnou všem detektorům

IRCCNTMinMaxEnReg	aktivuje/deaktivuje detektory minima/maxima
IRCCNTMinMaxCtrlReg	umožňuje zachytit aktuální hodnotu detektorů do registrů

a skupinu registrů implementovaných pro každý detektor samostatně (registry mají názvy IRCCNT0..., IRCCNT1..., atd.)

IRCCNTxMinReg	registry vyhrazené pro zachycení minima hodnoty "x-tého" čítače
IRCCNTxMaxReg	registry vyhrazené vyhrazených pro zachycení maxima hodnoty "x-tého" čítače

Poznámka: Obsah všech registrů uvedených výše je po zapnutí karty nebo resetu (včetně resetu vyvolaného registrem CardResetReg) vynulován.

8.2 Funkce detektorů minima/maxima

Každý čítač má k dispozici nezávisle pracující detektor minimální hodnoty a detektor maximální hodnoty.

Všechny čtyři detektory jsou ovládány dvojicí registrů IRCCNTMinMaxEnReg a IRCCNTMinMaxCtrlReg.

Registr IRCCNTMinMaxEnReg slouží k aktivaci, resp. k restartu detektorů. Po dobu, kdy je odpovídající bit tohoto registru nastaven na hodnotu 0, detektor kopíruje aktuální hodnotu čítače do interního pracovního registru detektoru. Po nastavení odpovídajícího bitu registru IRCCNTMinMaxEnReg na hodnotu 1 detektor začíná vyhodnocovat aktuální hodnotu čítače a průběžně aktualizuje hodnotu interního pracovního registru podle změn čítače (detektor maxima aktualizuje svůj vnitřní registr každou vyšší hodnotou čítače, detektor minima naopak aktualizuje svůj vnitřní registr každou nižší hodnotou čítače).

Pro čtení interních pracovních registrů detektorů je určeno šest nebo dvanáct záchytných registrů společně řízených registrem IRCCNTMinMaxCtrlReg.

8.3 Registr IRCCNTMinMaxEnReg (WR)

Tento registr slouží k aktivaci/deaktivaci funkce všech šesti detektorů minima/maxima.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	EN_MIN1	EN_MIN0
D15	D14	D13	D12	D11	D10	D9	D8
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV
D23	D22	D21	D20	D19	D18	D17	D16
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	EN_MAX1	EN_MAX0
D31	D30	D29	D28	D27	D26	D25	D24
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV

EN_MIN0	aktivuje/deaktivuje detektor minima čítače IRCCNT0 0 funkce detektoru je blokována 1 detektor je aktivován, přechodem 0=>1 je detektor restartován
EN_MIN1	aktivuje/deaktivuje detektor minima čítače IRCCNT1 0 funkce detektoru je blokována 1 detektor je aktivován, přechodem 0=>1 je detektor restartován
EN_MAX0	aktivuje/deaktivuje detektor maxima čítače IRCCNT0 0 funkce detektoru je blokována 1 detektor je aktivován, přechodem 0=>1 je detektor restartován
EN_MAX1	aktivuje/deaktivuje detektor maxima čítače IRCCNT1 0 funkce detektoru je blokována 1 detektor je aktivován, přechodem 0=>1 je detektor restartován
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

8.4 Registr IRCCNTMinMaxCtrlReg (WR)

Tento registr slouží k softwarovému zachycení aktuální hodnoty interních pracovních registrů detektorů minima nebo maxima do záchytných registrů. Všechny bity lze používat současně v libovolné kombinaci.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	STR_MIN1	STR_MIN0
D15	D14	D13	D12	D11	D10	D9	D8
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV
D23	D22	D21	D20	D19	D18	D17	D16
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	STR_MAX1	STR_MAX0
D31	D30	D29	D28	D27	D26	D25	D24
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV

STR_MIN0	přenos aktuální hodnoty interního registru detektoru minima IRCCNT0 do registru IRCCNT0MinReg 0 bez významu, stav IRCCNT0MinReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_MIN1	přenos aktuální hodnoty interního registru detektoru minima IRCCNT1 do registru IRCCNT1MinReg 0 bez významu, stav IRCCNT1MinReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_MAX0	přenos aktuální hodnoty interního registru detektoru maxima IRCCNT0 do registru IRCCNT0MaxReg 0 bez významu, stav IRCCNT0MaxReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_MAX1	přenos aktuální hodnoty interního registru detektoru maxima IRCCNT1 do registru IRCCNT1MaxReg 0 bez významu, stav IRCCNT1MaxReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

8.5 Registr IRCCNT0MinReg (RD)

Tento registr plní funkci 32bitového vyrovnávacího datového registru pro softwarové čtení dat detektoru minima čítače IRCCNT0, data jsou přenesena pomocí registru IRCCNTMinMaxCtrlReg.

Poznámka: Pro detektor minima čítače IRCCNT1 je implementován analogický registr.

8.6 Registr IRCCNT0MaxReg (RD)

Tento registr plní funkci 32bitového vyrovnávacího datového registru pro softwarové čtení dat detektoru maxima čítače IRCCNT0, data jsou přenesena pomocí registru IRCCNTMinMaxCtrlReg.

Poznámka: Pro detektor maxima čítače IRCCNT1 je implementován analogický registr.

9. Registry pro obsluhu scanovacích obvodů a FIFO paměti

9.1 Úvod

V následujících odstavcích budou popsány registry určené pro obsluhu scanovacích obvodů a FIFO paměti, viz přehled ve 3. kapitole.

Registry lze rozdělit na skupinu určenou pro základní řízení scanovacích obvodů,

ScanCWReg	základní řídicí registr scanovacích obvodů
ScanStatusReg	základní stavový registr scanovacích obvodů
ScanStartFreeRunCNTReg	registr zpřístupňuje hodnotu 32bitového čítače (viz popis FreeRunCNTReg v kapitole diagnostických registrů) zachycenou v okamžik startu měření

skupinu určenou pro softwarové spouštění scanovací sekvence a přenos dat,

SWTrigReg	registr pro softwarové spuštění scanovací sekvence
SWTrigStatusReg	stavový registr scanovacích obvodů
SWFIFODataRegX	zpřístupňuje data SWFIFO paměti (pro softwarově spouštěné scanovací sekvence)

skupinu související se čtením FIFO paměti určené výhradně pro data scanovací sekvence spouštěné časovačem nebo externím signálem EXT-IN

FIFONoSmpIStbReg	slouží k zachycení aktuálního zaplnění FIFO paměti (tzn. počtu vzorků ve FIFO)
FIFONoSmpIReg	zachycená hodnota zaplnění FIFO paměti (tzn. počet vzorků uložených ve FIFO)
FIFODataRegX	zpřístupňuje data FIFO paměti
FIFOIRQReg	registr umožňující nastavit práh zaplnění FIFO pro vyvolání přerušení

a skupinu určené pro definici scanovací sekvence

ScanParamRegX	registry pro uložení scanovacích parametrů
ScanParamRegNr	registr definující poslední aktivní scanovací parametr
ScanFreqReg	registr definující vzorkovací frekvenci

9.2 Funkce scanovacích obvodů

Scanovacími obvody jsou nazývány části karty určené pro

- definici scanovací sekvence (tedy sestavy vstupů, které je potřeba měřit, resp. zaznamenávat, ideálně v nekratším možném časovém rozestupu)
- řízení A/D převodníku, programovatelného zesilovače a multiplexeru
- obvody pro generování nebo zpracování startovací události (časovač pro periodické spouštění, zpracování signálů externího digitálního vstupu apod.)
- zápis dat do dvou FIFO paměti
- generování stavových a chybových příznaků

9.3 Princip a funkce FIFO paměti

FIFO má strukturu fronty dat "první dovnitř - první ven". Můžeme si ji tedy představit jako trubku, do které jsou shora vhazovány míčky (= zapisována naměřená data) a na dolním konci jsou ve vhodný čas odebírány (= data jsou čtena); trubku lze vyprázdnit buď odebráním všech míčků (= vyčtením celého obsahu) nebo zastavit vhazování a trubku vysypat (= reset obsahu při ukončení záznamu).

Na straně zápisu jsou FIFO paměti řízeny scanovacími obvody, na straně čtení pak registry zpřístupňujícími zapsaná data.

Funkce paměti označené FIFO s kapacitou 32 kB

FIFO je využito v režimech spouštění scanovací sekvence časovačem a spouštění scanovací sekvence externím digitálním signálem. Obsah je resetován výhradně při zastaveném měření (tzn. ScanCWReg=0), naměřená data se tedy doplňují nezávisle na průběh čtení a obslužný software musí vyhodnocovat stav zaplnění FIFO (softwarovým pollingem nebo s podporou přerušení) a data z FIFO paměti vyčítat. Nebudou-li data z FIFO čtena dostatečně rychle, dojde k chybovému zastavení měření při pokusu o zápis do FIFO obsahujícího 32768 B dat; data již uložená do FIFO však lze načíst.

Funkce paměti označené SWFIFO s kapacitou 512 B

SWFIFO je využito v režimu softwarového spouštění scanovací sekvence, resp. při softwarovém požadavku o přenos naměřených dat v ostatních režimech. Obsah je resetován při každém spuštění scanovací sekvence (resp. při požadavku

o přenos naměřených dat) ovládaném registrem SWTrigReg a rovněž při zastaveném měření (tzn. ScanCWReg=0); po ukončení zápisu dat obsahuje SWFIFO vždy data jediné sekvence a nemůže tak dojít k jeho přeplnění. Obslužný software musí vyhodnocovat obsah registru SWTrigStatusReg (softwarovým pollingem nebo s podporou přerušeni) a po dokončení měření (resp. přenosu dat do SWFIFO) načíst data jedné sekvence.

9.4 Registr ScanCWReg (WR)

Tento registr definuje režim scanovacích obvodů a slouží k zahájení scanování, nulování obsahu obou FIFO pamětí a nulování příznaků ve stavovém registru ScanStatusReg.

Při programování je potřeba vzít v úvahu, že nenulovou hodnotu registru lze nastavit výhradně z výchozího nulového stavu (tzn. nelze měnit různé metody scanování, aniž by bylo mezi nimi měření zastaveno).

D31 ... D8	D7	D6	D5	D4	D3	D2	D1	D0
RSRV-32	RSRV	RSRV	RSRV	RSRV	SCAN_MODE			

SCAN_MODE	definuje režim scanovacích obvodů (viz popis na konci této kapitoly kapitole)
0000	scanování zastaveno, příznaky ve StatusReg nulovány
0001	softwarové spouštění scanovací sekvence s přenosem do SWFIFO
0010	spouštění scanovací sekvence časovačem (+ možnost přenosu do SWFIFO)
0011	spouštění scanovací sekvence externím digitálním signálem (+ možnost přenosu do SWFIFO)
0101	kontinuální spouštění scanovací sekvence se softwarovým přenosem do SWFIFO
...	rezerva
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)
RSRV-32	rezerva (z důvodu dopředné kompatibility je doporučeno hodnoty ignorovat) ačkoliv je definováno jen osm bitů, je nutné do registru přistupovat 32bitovými daty

9.5 Registr ScanStatusReg (RD)

Tento registr poskytuje informaci o stavu scanovacích obvodů a FIFO paměti, resp. probíhající záznamu do FIFO.

K nulování příznaků dojde nastavením režimu "scanování zastaveno" registrem ScanCWReg.

D31 ... D8	D7	D6	D5	D4	D3	D2	D1	D0
RSRV-32	RSRV	RSRV	RSRV	RSRV	ERROR	RSRV	FAULT	RSRV

FAULT	signalizuje detekovaný startovací puls po dobu probíhající sekvence (např. při spouštění externím signálem); při nastavení tohoto příznaku měření pokračuje, příznak má jen informativní význam
0	od startu scanování nebyl detekován startovací puls po dobu probíhající sekvence
1	od startu scanování detekován minimálně jeden startovací puls po dobu probíhající sekvence
ERROR	úroveň 1 signalizuje, že měření bylo ukončeno z důvodu fatální chyby (např. došlo k přetečení FIFO určeného pro spouštění scanovací sekvence časovačem nebo externím signálem); v takovém případě dojde k ukončení zápisů dat do FIFO (již zapsaný obsah je však dostupný) a program musí nastavit ScanCWReg do režimu "scanování zastaveno"
RSRV	rezerva (z důvodu dopředné kompatibility je doporučeno hodnoty ignorovat)
RSRV-32	rezerva (z důvodu dopředné kompatibility je doporučeno hodnoty ignorovat) ačkoliv je definováno jen osm bitů, je nutné do registru přistupovat 32bitovými daty

9.6 Registr SWTrigReg (WR)

Tento registr slouží ke spuštění scanovací sekvence v režimu softwarového spouštění (viz ScanCWReg).

D31 ... D8	D7	D6	D5	D4	D3	D2	D1	D0
RSRV-32	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	SW_ST

SW_ST	slouží ke spuštění scanovací sekvence
0	zápis do registru ignorován
1	inicializuje probíhající scanovací sekvenci, resp. probíhající přenos do SWFIFO
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)
RSRV-32	rezerva (z důvodu dopředné kompatibility je doporučeno hodnoty ignorovat) ačkoliv je definováno jen osm bitů, je nutné do registru přistupovat 32bitovými daty

9.7 Registr SWTrigStatusReg (RD)

Tento registr poskytuje informaci o průběhu scanovací sekvence v režimu softwarového spouštění.

D31 ... D8	D7	D6	D5	D4	D3	D2	D1	D0
RSRV-32	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	SW_RUN

SW_RUN	úroveň 1 signalizuje probíhající scanovací sekvenci v režimu softwarového spouštění, resp. probíhající přenos do SWFIFO
RSRV	rezerva (z důvodu dopředné kompatibility je doporučeno hodnoty ignorovat)
RSRV-32	rezerva (z důvodu dopředné kompatibility je doporučeno hodnoty ignorovat) ačkoliv je definováno jen osm bitů, je nutné do registru přistupovat 32bitovými daty

9.8 Registry SWFIFODataReg32, SWFIFODataReg16 a SWFIFODataReg8 (RD)

Tyto registry slouží pro přístup k datům uložených ve SWFIFO paměti určené pro režim softwarové spouštění.

Jsou definovány tři 32bitové registry, které ze SWFIFO vyčtou...

- 32bitovou hodnotu (obsah SWFIFO se sníží o 4 byte; data jsou přenášena v rozsahu bitů D31÷D0),
- 16bitovou hodnotu (obsah SWFIFO se sníží o 2 byte; data jsou přenášena v rozsahu bitů D15÷D0, bity D31÷D16 jsou nulové), nebo
- 8bitovou hodnotu (obsah SWFIFO se sníží o 1 byte; data jsou přenášena v rozsahu bitů D7÷D0, bity D31÷8 jsou nulové).

Při čtení obsahu SWFIFO lze uvedené tři registry libovolně kombinovat až do úplného vyprázdnění obsahu SWFIFO.

Pro dokončení sekvence (viz SWTrigStatusReg) SWFIFO obsahuje data právě jedné sekvence.

Poznámka: Doba přístupu je shodná pro všechny tři registry, proto je vhodné v maximální možné míře využívat přístup s 32bitovými daty, tzn. SWFIFODataReg32.

9.9 Registr FIFONoSmplStrbReg (WR)

Tento registr slouží k zachycení aktuálního stavu zaplnění FIFO paměti do registru FIFONoSmplReg, obsah zapisovaných dat je nevýznamný.

9.10 Registr FIFONoSmplReg (RD)

Tento registr poskytuje informaci o stavu zaplnění FIFO paměti v rozsahu 0 až 32768; obsah tohoto registru je aktualizován zápisem do registru FIFONoSmplStrbReg.

9.11 Registry FIFODataReg32, FIFODataReg16 a FIFODataReg8 (RD)

Tyto registry slouží pro přístup k datům uložených ve FIFO paměti určené pro režimy spouštění časovačem nebo externím signálem.

Jsou definovány tři 32bitové registry, které ze SWFIFO vyčtou...

- 32bitovou hodnotu (obsah FIFO se sníží o 4 byte; data jsou přenášena v rozsahu bitů D31÷D0),
- 16bitovou hodnotu (obsah FIFO se sníží o 2 byte; data jsou přenášena v rozsahu bitů D15÷D0, bity D31÷D16 jsou nulové), nebo
- 8bitovou hodnotu (obsah FIFO se sníží o 1 byte; data jsou přenášena v rozsahu bitů D7÷D0, bity D31÷8 jsou nulové).

Při čtení obsahu FIFO lze uvedené tři registry libovolně kombinovat až do úplného vyprázdnění obsahu SWFIFO.

Pro zjištění stavu zaplnění FIFO paměti je určen registr FIFONoSmplReg.

Poznámka: Doba přístupu je shodná pro všechny tři registry, proto je vhodné v maximální možné míře využívat přístup s 32bitovými daty, tzn. FIFODataReg32.

9.12 Registr FIFOIRQReg (WR)

Registr FIFOIRQReg umožňuje nastavit práh zaplnění FIFO pro vyvolání přerušení. Je-li aktuální zaplnění FIFO rovno nebo větší než nastavený práh, je výstupní signál tohoto komparátoru směřovaný do obvodů přerušení nastaven na hodnotu 1; je-li zaplnění menší, je signál nastaven na hodnotu 0. Možnost vyvolání přerušení je popsáno v samostatné kapitole.

Registr umožňuje zápis hodnoty v rozsahu 0÷32767 a tato hodnota představuje práh zaplnění.

9.13 Blok registrů ScanParamReg0 ... ScanParamReg63 (WR/RD)

Tyto registry slouží pro uložení scanovacích parametrů, tzn. k definici vlastností měřeného kanálu (význam viz samostatná tabulka), resp. zpětného čtení zapsaného obsahu za předpokladu režimu "scanování zastaveno" registrem ScanCWReg. Podrobně viz popis scanovacích parametrů dále.

Upozornění: Scanovací parametry musejí být konfigurovány jako kontinuální pole ScanParamReg0 počínaje.

9.14 Registr ScanParamRegNr (WR/RD)

Tento registr definuje poslední aktivní scanovací parametr v rozsahu 0÷63 (tzn. ScanParamReg0 až ScanParamReg63). Zpětné čtení zapsaného obsahu je možné za předpokladu režimu "scanování zastaveno" registrem ScanCWReg.

9.15 Registr ScanFreqReg (WR/RD)

Tento registr definuje hodnotou v rozsahu 250÷16.777.215 vzorkovací frekvenci vytvořenou děličkou z oscilátoru s frekvencí 25 MHz, tzn. v rozsahu frekvencí 100 kHz až cca 1,5 Hz.

Zpětné čtení zapsaného obsahu je možné za předpokladu režimu "scanování zastaveno" registrem ScanCWReg.

9.16 Registr ScanStartFreeRunCNTReg (RD)

Tento registr zpřístupňuje hodnotu 32bitového čítače (viz popis FreeRunCNTReg v kapitole diagnostických registrů) zachycenou v okamžik startu měření.

9.17 Popis scanovacích parametrů zapisovaných do registrů ScanParamReg

Obsah dat zapisovaných do registrů ScanParamReg definuje časování scanovací sekvence a zdroj dat, které budou zapsány do FIFO paměti (platí pro SWFIFO i pro FIFO).

D31 ... D24	D23 ... D16	D15 ... D8	D7 ... D0	délka dat
10÷255 (definuje dobu měření kanálu v rozsahu 10÷255 μs)	00 _H zesílení 1x 01 _H zesílení 2x 02 _H zesílení 4x 03 _H zesílení 8x 04 _H zesílení 16x 05 _H zesílení 32x 8x _H zesílení 1x÷32x s průměrováním osmi A/D měření	00 _H AIN	00 _H AIN0 01 _H AIN1 ... 0E _H AIN14 0F _H AIN15	2B 2B ... 2B 2B
0	0 (rezerva)	01 _H CNT	00 _H CNT0 01 _H CNT1	4B 4B
0	0 (rezerva)	02 _H DIN	00 _H DINReg0 (viz poznámka níže) 01 _H DINReg1 (viz poznámka níže) 02 _H DINReg2 (viz poznámka níže)	1B 1B 1B
0	0 (rezerva)	03 _H ostatní vstupy	00 _H časová značka sekvence 01 _H globální časová značka karty	4B 4B
0	0 (rezerva)	10 _H zpětné čtení	80 _H DAC0Reg 81 _H DAC1Reg	2B 2B

Poznámka: Registry DINRegx přenášejí stav vstupních nebo výstupních signálů v závislosti na režimu DIO portů.

Upozornění: Veškeré hodnoty neuvedené v tabulce jsou rezervovány a jejich zápisem může dojít k nedefinovanému chování scanovacích obvodů karty.

Obsah registru ScanParamReg na úrovni bitů D15...D8 definují typ zdroje dat; volit lze nejen z analogových vstupů, stavu čítačů a digitálních vstupů, ale také pomocných hodnot (časová značka sekvence nebo globální časová značka karty, popř. aktuální obsah registrů analogových výstupů zapsaných programem). Pro každý typ zdroje dat mohou zbývající bity definovat další parametry upřesňující zdroj dat nebo způsob získání dat.

Jak je patrné z tabulky, scanovací parametr v rozsahu bitů D15...D8 slouží pro rozlišení typu kanálu, zatímco bity D7...D0 definují číslo vstupu/čítače apod. Z jiného pohledu (budeme-li uvažovat oba byte společně) lze říci, že kanály 0÷255 jsou vyhrazeny pro analogové vstupy, kanály 256÷511 pro čítače, atd.

Scanovací parametr v rozsahu bitů D31...D16 slouží pro předávání specifických informací souvisejících s typem kanálu; pro analogové vstupy jde o zesílení a dobu měření, pro ostatní typy je tato část scanovacího parametru rezervována.

Data jsou do FIFO zapisována...

- v pořadí definovaném scanovacími parametry
- nejnižším bytem počínaje
- číselné hodnoty analogových vstupů v přímém kódu
- zpětně čtené hodnoty ve formátu zapsaných dat

Délka dat zapisovaných do obou FIFO pamětí závisí na typu kanálu a je definována posledním sloupcem tabulky.

Analogové vstupy

Analogové vstupy pracují s volitelnými rozsahy od ± 10 V (zesílení 1x) až do $\pm 0,3125$ V (zesílení 32x), data jsou přenášena v 16bitovém přímém kódu, tzn.

- hodnota 8000_H (tzn. 32768_D) představuje vstupní napětí 0 V
- hodnota $FFFF_H$ (tzn. 65535_D) představuje maximální kladné vstupní napětí (např. +10 V pro rozsah ± 10 V)
- hodnota 0000_H (tzn. 0_D) představuje maximální záporné vstupní napětí (např. -10 V pro rozsah ± 10 V)

Scanovací parametr analogových vstupů má nejvíce možností nastavení; kromě multiplexeru (tzn. volby vstupu) a zesílení (tzn. vstupního rozsahu) umožňuje ještě nastavit dobu měření.

Pro běžné aplikace (tzn. zdroj signálu s impedancí nižší než 1 kOhm) vyhovují následující minimální doby měření:

10 μ s	pro základní rozsahy se zesílením 1x, 2x, 4x a 8x
13 μ s	pro základní rozsah se zesílením zesílení 16x
18 μ s	pro základní rozsah se zesílením zesílení 32x
+ 20 μ s navíc	pro kanál s nastaveným rozsahem "8x _H ", tzn. s průměrováním osmi výsledků A/D převodníku

Pokud je vstupní signál buzen ze zdroje s vyšší impedancí, je vhodné dobu měření prodloužit; nedostatečná doba pro ustálení se projevuje výrazně vyšším šumem a přeslechem mezi kanály.

Čítače a digitální vstupy

Scanovací parametr těchto kanálů nenabízí žádná specifická nastavení.

Doba pořízení a zápisu dat kanálu do FIFO pamětí je kratší než 1 μ s.

Ostatní vstupy

Karta umožňuje ukládat časovou značku sekvence vytvářenou 32bitovou děličkou pracující se vstupní frekvencí 1 MHz spuštěnou od nuly v okamžik startu měření. Scanovací parametr nenabízí žádná specifická nastavení.

Alternativně lze ukládat stav globální časové značky karty (viz popis v kapitole diagnostických registrů); význam má analogický časové značce sekvence popsané v předešlém odstavci, hodnota však není vynulována v okamžik startu měření. S výhodou lze využít registr ScanStartFreeRunCNTReg udávající hodnotu globální časové značky v okamžik startu měření.

Doba pořízení a zápisu dat kanálu do FIFO pamětí je kratší než 1 μ s.

Poznámka: Časová značka sekvence má význam především v případě spouštění externím digitálním signálem.

Zpětné čtení

Tato skupina kanálů umožňuje zpětné čtení hodnot výstupních kanálů ovládaných programem. Scanovací parametr nenabízí žádná specifická nastavení.

Doba pořízení a zápisu dat kanálu do FIFO pamětí je kratší než 1 μ s.

Poznámka: Zpětné čtení má význam v aplikacích, kdy program generuje řídicí signály do testovaného systému a současně měří odezvy; synchronní záznam eliminuje zpoždění vzniklé přenosem dat FIFO pamětí.

9.18 Programová obsluha scanovacích obvodů

Výchozím stavem pro popis obsluhy scanovacích obvodů je režim "scanování zastaveno", tzn. nulová hodnota ScanCWReg. Všechny příznaky související se scanovacími obvody jsou vynulovány, obsah obou FIFO pamětí vyprázdněn. Prvním krokem obsluhy je konfigurace scanovacích parametrů, tzn. nastavení obsahu souvislého bloku scanovacích registrů od nultého kanálu (tzn. ScanParamReg0) výše. Následně je nutné do registru ScanParamRegNr zapsat číslo posledního využitého scanovacího registru ScanParamReg.

V případě spouštění sekvence časovačem je potřeba nastavit vzorkovací frekvenci, resp. periodu vzorkování pomocí registru ScanFreqReg. Minimální povolenou hodnotu limituje současně několik pravidel:

- musí být větší nebo rovna 250 (odpovídá periodě vzorkování $250 \cdot 0,04 = 10 \mu\text{s}$)
- musí být větší nebo rovna době sekvence (tzn. součet doby měření analogových vstupů a $1 \mu\text{s}$ pro každý další kanál)
- datový tok nesmí překračovat 200 kB/s (např. pro záznam jediného kanálu CNT0 s délkou dat 4 B by perioda vzorkování neměla být nižší $20 \mu\text{s}$); toto omezení však není zcela striktní jako dvě předešlá

Po dokončení konfigurace lze zahájit měření (tzn. scanování) nastavením registru ScanCWReg do požadovaného režimu (viz popis v samostatné kapitole).

Od okamžiku zahájení měření scanovací obvody čekají na spouštěcí událost (tzn. softwarový pokyn generovaný zápisem do registru SWTrigReg v režimu 0001, puls generovaný časovačem v režimu 0010 nebo puls na digitálním vstupu v režimu 0011), nebo sekvence probíhají zcela kontinuálně (režim 0101).

Po detekování události scanovací obvody nastaví multiplexer a vstupní zesilovač podle parametrů scanovacího registru nultého kanálu (tzn. ScanParamReg0), vyčkají na ustálení, provedou měření, v případě analogového vstupu přepočtou data A/D převodníku kalibračními konstantami a zapíší výsledek do jedné z FIFO pamětí v závislosti na typu spouštění.

Je-li kanál konfigurovaný pro jiný typ než analogový vstup, zůstanou multiplexer a zesilovač nastaveny na předcházející kanál a namísto měření A/D převodníkem jsou do jedné z FIFO pamětí zapsána data zvoleného kanálu.

Popsaným mechanismem jsou postupně interpretovány všechny nastavené scanovací parametry (tzn. od nultého po číslo nastavené registrem ScanParamRegNr) a poté je sekvence ukončena; ve FIFO paměti jsou zapsána data všech kanálů sekvence.

Spouštěcí událost detekovaná v průběhu probíhající sekvence (např. příliš nízká hodnota periody časovače nebo externí puls v průběhu sekvence) je ignorována a tento stav lze vyhodnotit pomocí registru ScanStatusReg.

V případě softwarového spouštění (resp. požadavku o přenos naměřených dat) iniciovaném zápisem do registru SWTrigReg je je nejprve vymazán obsah SWFIFO a následně jsou zapsána data jedné sekvence. Probíhající sekvence (resp. probíhající přenos dat do SWFIFO) je signalizována v registru SWTrigStatusReg (lze jej využít pro polling), data lze načíst po jejím dokončení.

V případě spouštění časovačem nebo externím signálem je potřeba vyhodnocovat zaplnění FIFO paměti daty buď pollingem nebo pomocí přerušení systému. Program musí průběžně vyčítat data z FIFO paměti; v případě přetečení (tzn. pokus o zápis při úplném zaplnění daty) dojde k ukončení scanování (je signalizováno pomocí registru StatusReg), data doposud zapsaná do FIFO paměti zůstávají k dispozici. Nezávisle na záznamu do FIFO paměti lze pomocí registru SWTrigReg iniciovat přenos aktuálně naměřených dat (tzn. poslední dokončené sekvence) do SWFIFO.

Pro vyčítání dat lze kromě pollingu využít obvody přerušení (jsou popsány v samostatné kapitole); přerušení může být vyvoláno dokončením sekvence (resp. přenosu dat do SWFIFO) nebo definovaným zaplněním FIFO paměti.

K ukončení měření (tzn. scanování) postačuje nastavit CWReg=0. Po ukončení měření je vymazán obsah FIFO pamětí, obsah všech scanovacích registrů však zůstává zachován (tzn. měření lze znovu spustit).

9.19 Porovnání pracovních režimů

Karty umožňují využívat scanovací obvody v několika režimech, viz popis registru ScanCWReg.

V režimu **0001** start scanovací sekvence čeká softwarový pokyn; zápisem do registru SWTrigReg dojde ke startu jedné sekvence a data jsou zapisována do SWFIFO. Po dokončení sekvence (její průběh je signalizován příznakem v registru SWTrigStatusReg) SWFIFO obsahuje data všech naměřených kanálů a scanovací obvody čekají na další pokyn.

Režim **0101** je alternativou k předešlému režimu; scanovací sekvence jsou spouštěny automaticky nejvyšší možnou frekvencí (tzn. měření probíhá prakticky kontinuálně) a naměřená data jsou ukládána ve zvláštní vyrovnávací paměti. Při požadavku o "softwarový start sekvence" zápisem do SWTrigReg dojde k rychlému přenosu dat poslední naměřené sekvence z vyrovnávací paměti do SWFIFO. Výhodou režimu je absence čekání na provedení sekvence, drobnou nevýhodou (spíše však teoretickou) pak vyšší jitter prováděného měření.

Přenos dat do SWFIFO je velmi rychlý, data lze číst prakticky ihned po zápisu do SWTrigReg (příznak probíhajícího přenosu dat v registru SWTrigStatusReg "problikne" jen na velmi krátkou dobu a program jej zpravidla ani nestihne zaregistrovat); výjimkou je však případ, kdy k zápisu do SWTrigReg dojde bezprostředně po nastavení režimu 0101

registrem CWReg, v takovém případě je potřeba počkat na provedení první sekvence a příznak v registru SWTrigStatusReg je nastaven po celou dobu provádění sekvence. Z uvedeného důvodu je tedy vhodné zachovat stejný algoritmus jako u režimu 0001, tedy start měření pomocí SWTrigReg, vyčkání na dokončení sekvence (resp. přenosu dat do SWFIFO) a vyčtení dat ze SWFIFO.

Režim **0010** umožňuje spouštění scanovací sekvence zvolenou frekvencí v rozsahu od 1,5 Hz do 100 kHz generovanou časovačem. Každým přetečením tohoto časovače (tzn. poprvé po uplynutí doby odpovídající periodě vzorkování určené jako převrácená hodnota vzorkovací frekvence) dojde ke startu sekvence a naměřená data jsou zapisována do paměti FIFO, aniž by byl modifikován obsah zapsaný předešlými sekvencemi. Čtení FIFO probíhá nezávisle na zapisování, obslužný software musí vyhodnocovat stav zaplnění FIFO (softwarovým pollingem nebo s podporou přerušování) a data z FIFO paměti vyčítat.

Souběžně s probíhajícím měřením spouštěným časovačem lze vyžádat přenos aktuálně naměřených dat do SWFIFO; funkce je zcela analogická režimu 0101 s tím, že do zvláštní vyrovnávací paměti jsou ukládána data měřená nikoliv kontinuálně, nýbrž spouštěná časovačem. Z uvedeného plyne, že první pokyn pro přenos dat do SWFIFO bude vykonán až po naměření první sekvence časovačem, tzn. za dobu odpovídající periodě měření. Právě tak platí, že při nízké vzorkovací frekvenci nastavené časovačem v kombinaci s vysokou frekvencí požadavků o přenos dat do SWFIFO budou opakovaně přenášena tatáž data.

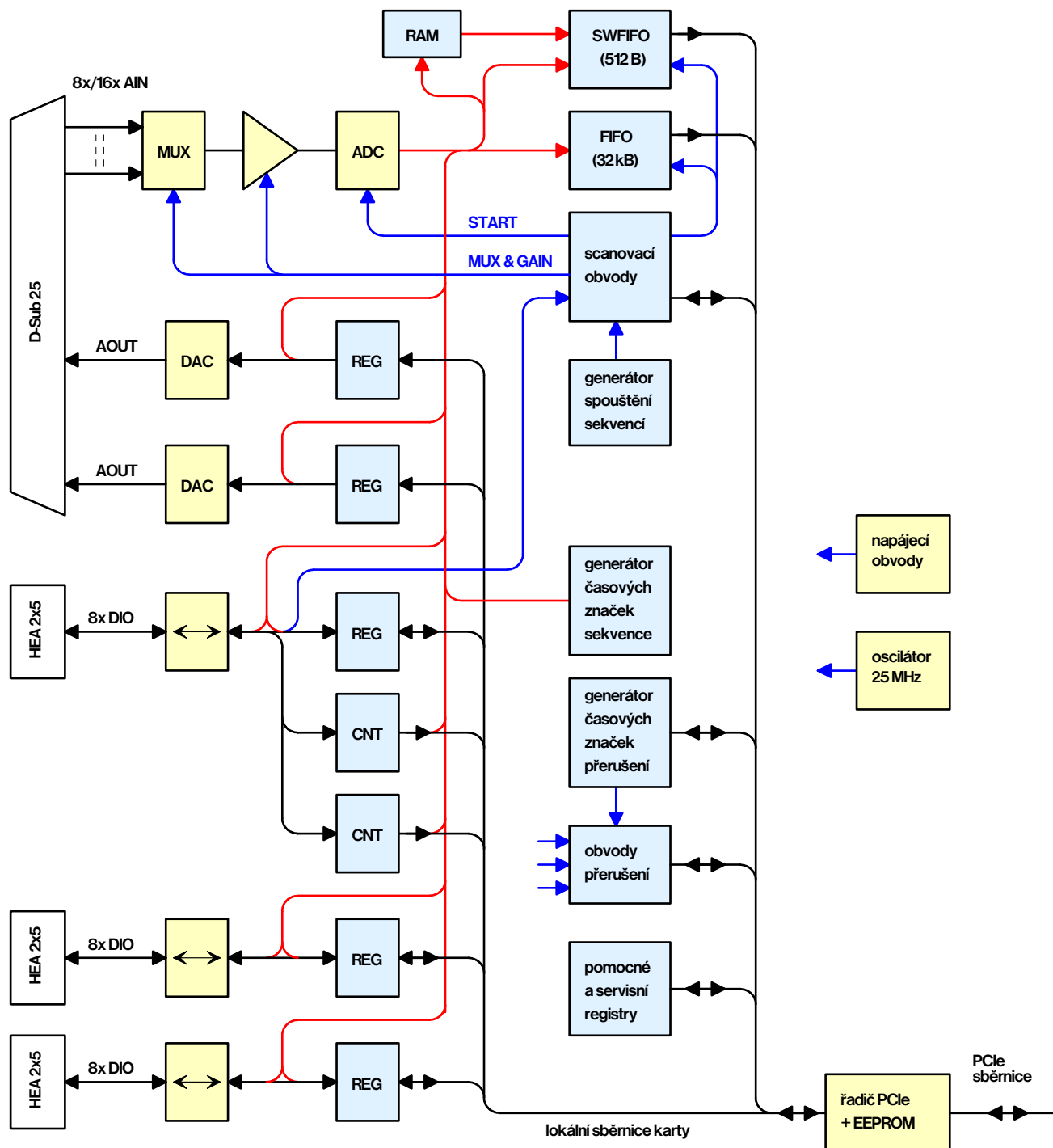
Funkce softwarového požadavku o přenos dat do SWFIFO je vhodná pro aplikace, kdy je prováděno měření s vyšší vzorkovací frekvencí (např. jeden proces načítá data z FIFO a ukládá je na disk) a souběžně je potřeba řešit orientační náhled naměřených dat (např. druhý proces tedy občasné načte aktuální data a zobrazí je obsluze).

Režim **0011** umožňuje spouštění scanovací sekvence externím digitálním signálem a platí pro něj vše popsáno v souvislosti s režimem 0010 s jedinou výjimkou - ke spouštění nedochází s pevnou periodou, nýbrž s časovým rozestupem definovaným externím signálem. Signál tedy může generovat puls i v době, kdy probíhá sekvence (puls je ignorován; viz popis StatusReg), nebo naopak nemusí dojít ke spuštění sekvence po dlouhou dobu, případně vůbec.

I v tomto režimu je zpracováván pokyn pro přenos dat do SWFIFO, využitelnost této funkce je však omezena na aplikace, u nichž se lze spolehnout na přítomnost spouštěcích pulsů.

9.20 Schéma registrové struktury scanovacích obvodů

Další podrobnosti jsou patrné z obrázku níže (zakreslen jeden osmibitový port, část se žlutým podkladem je v kartě obsažena třikrát).



10. Registry pro obsluhu analogových výstupů

10.1 Úvod

V následujících odstavcích budou popsány registry související s analogovými výstupy, viz přehled v 3. kapitole.

Přehled registrů:

DACxReg	osm registrů definujících hodnotu "x-tého" analogového výstupu (defaultně 8000 _H)
DACxRegLo	osm registrů definujících nejnižší platnou hodnotu zapisovanou do DACxReg (defaultně 0)
DACxRegHi	osm registrů definujících nejvyšší platnou hodnotu zapisovanou do DACxReg (defaultně FFFF _H)
DACxPHYReg	osm pomocných registrů poskytuje hodnotu reálně zapisovanou do D/A převodníků (tzn. po provedení kalibračního přepočtu)

Poznámka: Obsah registrů analogových výstupů včetně registrů minimální/maximální povolené hodnoty je po zapnutí karty nebo resetu (včetně resetu vyvolaného registrem CardResetReg) nastaven na hodnoty uložené konfiguračním programem v EEPROM karty. Uživatel tedy může definovat chování portů ještě před okamžikem spuštění programu. Jak je patrné z popisu výše defaultní hodnoty registrů z výroby umožňují nastavovat signál analogových výstupů v plném rozsahu ± 10 V a počáteční hodnota signálu je 0 V.

10.2 Funkce analogových výstupů

Karty PCA-8428 a PCA-8438 obsahují osm 12bitových D/A převodníků (PCA-8288) nebo osm 16bitových D/A převodníků (PCA-8688), funkčnost a mapování registrů je však shodné pro obě karty.

D/A převodníky pracují s jediným rozsahem cca $\pm 10,2$ V kalibrovaným lineárním přepočtem $ax+b$ z dat registrů na reálný rozsah ± 10 V analogových výstupů. Kalibrační konstanty jsou uloženy v EEPROM karty z výroby.

Analogové výstupy tedy umožňují generovat signál v rozsahu ± 10 V zápisem do odpovídajícího registru. Pro aplikace vyžadující odlišný rozsah je karta navíc vybavena registry umožňujícími omezit výstupní signál na menší rozsah; data zapisovaná do registru jsou porovnána s minimální/maximální povolenou hodnotou a pokud jsou mimo povolený rozsah, je zapisovaná hodnota nahrazena odpovídající limitní hodnotou).

10.3 Registry DACxReg (WR)

Obsah těchto osmi registrů definuje hodnotu osmi analogových výstupů.

Zapisovaná data mají význam v rozsahu $0 \div 65535$ (tzn. 16bitová data), kde hodnoty...

0 (tzn. 0 _H)	reprezentuje výstupní napětí -10 V
32768 (tzn. 8000 _H)	reprezentuje výstupní napětí 0 V
65535 (tzn. FFFF _H)	reprezentuje výstupní napětí +10 V (resp. $32767/32768 * 10$ V)

Rozsah platných dat lze omezit pomocí registrů DACxRegLo a DACxRegHi.

10.4 Registry DACxRegLo a DACxRegHi (WR)

Obsah těchto registrů definuje minimální a maximální povolenou hodnotu zapisovanou do DACxReg registrů.

Při pokusu zapsat do registru DACxReg hodnotu menší než DACxRegLo je do registru zapsána hodnota DACxRegLo, při pokusu zapsat hodnotu větší než DACxRegHi je zapsána hodnota DACxRegHi.

10.5 Registry DACxPHYReg (RD)

Obsah těchto pomocných registrů poskytuje hodnotu reálně zapisovanou do D/A převodníků, tzn. hodnotu DACxReg po konverzi kalibračním přepočtem, a má význam výhradně pro ověření funkce kalibračních přepočtů.

11. Pomocné diagnostické registry (společné všem typům karet)

11.1 Úvod

V následujících odstavcích budou popsány pomocné diagnostické registry, viz přehled v 3. kapitole.

Přehled registrů:

FreeRunCNTReg	registr zpřístupňující globální časovou značku karty
CardResetReg	registr sloužící k nastavení všech registrů karty do definovaného stavu
CardResetStatusReg	registr informující o probíhajícím nastavování všech registrů karty do definovaného stavu
CardSerNrReg	konstanta definující unikátní výrobní číslo karty
CardIDReg	registr pro čtení stavu DIP spínače (umožňuje identifikovat až 4 karty stejného typu)
FPGATypeReg	konstanta označující typ firmware hradlového pole FPGA (standardní, zakázkový apod.)
FPGAVerReg	konstanta označující verzi firmware hradlového pole FPGA

11.2 Registr FreeRunCNTReg (RD)

Tento registr zpřístupňuje hodnotu 32bitového čítače inkrementovaného frekvencí 1 MHz (k přetečení tedy dochází vždy po více než 1 hodině) z nulového stavu od okamžiku konfigurace FPGA provedené po zapnutí počítače nebo po softwarovém spuštění konfigurace. Čítač nelze zastavit ani jeho hodnotu přepsat, lze jej výhradně číst.

Čítač má význam přesné globální časové značky karty pro obecné užití.

11.3 Registr CardResetReg (WR)

Zápisem hodnoty 5043384B_H do tohoto registru dojde k okamžitému resetu (tzn. vynulování, není-li v popisu registru výslovně uvedeno jinak) všech registrů s výjimkou všech DOUTReg registrů a DIOCfgReg registru.

Bezprostředně po resetu registrů dochází k načtení obsahu EEPROM a uložení načtených hodnot do vybraných registrů (v případě PCA-84xx jde o všechny datové registry digitálních výstupůregistr DIOCfgReg pro konfiguraci portů, registry analogových výstupů a registry kalibračních konstant analogových vstupů a výstupů); operace trvá typicky 1 ms a její průběh je signalizován stavovým registrem CardResetStatusReg.

11.4 Registr CardResetStatusReg (RD)

Tento registr zpřístupňuje příznak signalizující probíhající nastavování všech registrů karty do definovaného stavu vyvolaného registrem CardResetReg.

Registr má významný pouze nejnižší bit (všechny ostatní jsou trvale nulové); stavový bit hodnotou 1 signalizuje probíhající nastavování registrů karty (tzn. reset většiny registrů a následné načítání obsahu EEPROM a ukládání načtených hodnot do vybraných registrů), hodnota 0 pak odpovídá klidovému stavu.

11.5 Registr CardSerNrReg (RD)

Tento registr zpřístupňuje unikátní výrobní číslo karty formátu 32bitového celého čísla.

11.6 Registr CardIDReg (RD)

Tento registr zpřístupňuje stav dvousegmentového DIP spínače a umožňuje tak vzájemně odlišit až 4 karty stejného typu instalované v systému.

Registr je mapován duplicitně na dvou adresách, data jsou přenášena na nejnižších dvou bitech, horních šest bitů (resp. 30 bitů) je trvale nulových.

11.7 Registr FPGATypeReg (RD)

Tento registr zpřístupňuje konstantu označující typ firmware FPGA v rozsahu 0 až 255.

Registr je mapován duplicitně na dvou adresách, data jsou přenášena osmi bity, v případě 32bitového registru je horních 24 bitů trvale nulových.

Poznámka: Hodnota typu standardního firmware karty je uvedena v 1. kapitole.

11.8 Registr FPGAVerReg (RD)

Tento registr zpřístupňuje konstantu označující verzi firmware FPGA v rozsahu 0 až 255.

Registr je mapován duplicitně na dvou adresách, data jsou přenášena osmi bity, v případě 32bitového registru je horních 24 bitů trvale nulových.

Poznámka: *Hodnota aktuální verze standardního firmware karty je uvedena v 1. kapitole.*

12. Registry v adresových prostorech BAR1 a BAR2

12.1 Úvod

Zatímco předešlé kapitoly popisovaly až na označené výjimky funkční registry v adresovém prostoru BAR0, následující odstavce budou věnovány registrům v adresových prostorech BAR1 a BAR2.

BAR1 obsahuje především servisní registry (rozhraní pro update firmware FPGA, kalibrační konstanty, hodnoty definující obsah např. registrů DOUT po resetu, ...)

BAR2 obsahuje především registry obsluhované ovladačem z jádra operačního systému

Upozornění: *Registry mapované v adresových prostorech BAR1 a BAR2 podléhají změnám v závislosti na verzi firmware a na rozdíl od funkčních registrů v BAR0 není garantována zpětná ani dopředná kompatibilita. Software, který tyto registry využívá, proto musí vyhodnocovat a své funkce přizpůsobovat nejen typu karty, ale i obsahu registrů FPGATypeReg a FPGAVerReg.*

12.2 Adresový prostor BAR1

Adresový prostor BAR1 obsahuje především servisní registry (rozhraní pro update firmware FPGA, kalibrační konstanty, hodnoty definující obsah např. registrů DOUT po resetu, ...) a jejich popis přesahuje rámec této příručky.

V odůvodněném případě se lze obrátit na technickou podporu se žádostí a poskytnutí specifikace registrů.

12.3 Adresový prostor BAR2

Adresový prostor BAR2 obsahuje především registry související s obsluhou přerušení, popř. určené pro řízení DMA přenosů, obsluhované ovladačem z jádra operačního systému.

V odůvodněném případě se lze obrátit na technickou podporu se žádostí a poskytnutí specifikace registrů.

Prázdná Strana

Několik slov o TEDIA® spol. s r. o.

TEDIA® spol. s r. o. je ryze českým výrobcem měřicí a průmyslové elektroniky s vlastním vývojovým, výrobním a servisním zázemím s tradicí od roku 1994.

Společnost je od roku 2002 **řádným členem PCI Special Interest Group**, organizace odpovědné za standardizaci a vývoj sběrnic PCI a PCI Express.

Aktuální nabídka výrobků a služeb

Komponenty pro PC systémy

- multifunkční karty pro laboratorní a průmyslové aplikace (A/D převodníky, D/A převodníky, digitální porty, IRC a registrační čítače, ...)
- dceřiné desky pro úpravu signálů (izolační zesilovače, multiplexery, výkonové výstupy, ...)
- podpora sběrnic ISA, PC/104, PCI a PCI Express

Komponenty pro distribuované systémy - stavebnice modulů MicroUnit serie

- kompletní sortiment inteligentních I/O modulů (analogové vstupy a výstupy, digitální porty, čítače, ...)
- komunikace s nadřazeným systémem rozhraním RS-485, RS-422, RS-232 nebo LAN
- protokoly AlBus-2 (firemní komunikační protokol) a standardní Modbus RTU
- průmyslové provedení v pouzdru pro montáž na lištu DIN 35 mm
- speciální typy v zakázkovém provedení nebo LCD moduly pro montáž na čelní panel rozváděče

Komponenty pro komunikaci v průmyslovém prostředí

- komunikační karty pro sběrnic ISA, PC/104, PCI a PCI Express
- jedno, dvou a čtyřportové karty s řadiči UART s podporou rozhraní RS-232, RS-422 a RS-485
- konvertory a repeatery komunikačních rozhraní RS-232, RS-422 a RS-485 v pouzdru pro montáž na lištu DIN 35 mm
- miniaturní izolované USB konvertory pro rozhraní RS-232 a RS-485

Komponenty pro mobilní měřicí systémy

- multifunkční moduly pro nasazení v laboratořích a zkušebnách
- USB nebo LAN konektivita

Software

- vývoj univerzálních Windows ovladačů a ovladačů pro Control Web ovladačů pro naše výrobky
- jako oem partner dodáváme všechny komponenty systém Control Web
- dodáváme systém ScopeWin pro laboratorní nebo průmyslová měření a analýzu dat

Zakázkový vývoj a výroba elektroniky

- zkušenosti s vývojem více než stovky typů zásuvných PC karet a téměř 400 typů mikropočítačových desek
- speciální elektronika vybavená rozhraním a technologiemi, se kterými již máme zkušenosti
 - počítačové sběrnic PCI, PCI Express, ISA, USB, ethernet, ...
 - rutinní vyžívání hradlových polí FPGA a CPLD Altera
 - mikropočítače Cortex M3/M4, výkonné mikropočítače řady ˆ51
 - zpracování analogových signálů z technologických čidel (termočlánky, odporová čidla, tenzometry, inkrementální snímač, LVDT, ...)
 - aplikace A/D převodníků s vysokým rozlišením nad 20 bitů nebo vzorkovací frekvencí desítek MHz
 - zpracování a analýza signálů v reálném čase pomocí FPGA (FIR, DFT, ...)
- výroba zajištěna vlastním osazovacím automatem a pájecí pecí pracující na principu nasycených par
- zkušební laboratoř vybavená mj. klimatizační komorou pro zkoušky chladem, suchým teplem a vlhkým teplem podle norem ČSN EN 60068
- další informace viz <http://www.tedia.cz/vyvoj>



Member of PCI Special Interest Group

Vývoj, výroba, obchod, servis, technická podpora:

adresa: TEDIA[®] spol. s r. o.
Zábělská 12
31211 Plzeň
Česká republika

internet: <http://www.tedia.cz>
<http://www.pci.cz>

telefon: +420 373730421 (základní číslo)
+420 373730426 (technická podpora)

fax: +420 373730420

e-mail: aktuální informace najdete na adresách
<http://www.tedia.cz/kontakty>
<http://www.tedia.cz/podpora>