

PCD-4848A

48+48 DIO

OPTO-22, IRQ

Důležité upozornění !

Při zacházení s kartou dbejte zásad maní pulace s obvody citlivými na poškození elektrostatickým nábojem.

Instalaci provádějte zásadně při vypnutém počítači a vždy odpojte síťový kabel a přívodní vodiče karty !

Při nedodržení uvedených pravi del může dojít k trvalému poškození citlivých obvodů PC karty nebo celého počítače.

Uži vatelská příručka a její součásti jsou autorským dílem chráněným ustanovením zákona č. 35/1965 Sb. o dílech li terárních, vědeckých a uměleckých (Autorský zákon) ve znění zákona č. 89/1990 Sb., zákona č. 468/1991 Sb., zákona č. 318/1993 Sb., zákona č. 237/1995 Sb. a zákona č. 86/1996 Sb.

Všechna jména a názvy použi té v textu mohou být chráněnými známkami nebo obchodními názvy výrobků příslušných firem.

© 1994÷2000 TEDIA spol. s r. o.

Záruční a pozáruční servis:

TEDIA spol. s r. o., Zábělská 12, 312 11 Plzeň 12

telefon: 019 7478168
fax: 019 7478169
e-mail: tedia@tedia.cz
internet: <http://www.tedia.cz>

Obsah

1.	Úvodní popis	
1.1.	Charakteristika	I - 1
2.	Technické parametry	
2.1.	Digitální vstupy	I - 2
2.2.	Digitální výstupy	I - 2
2.3.	Čítač/časovač	I - 2
2.4.	Obvody přerušení	I - 2
2.5.	Ostatní údaje	I - 2
3.	Instalace karty	
3.1.	Úvod	I - 3
3.2.	Nastavení báze adresy	I - 3
3.3.	Vlastní instalace	I - 3
3.4.	Zapojení konektorů	I - 3
3.5.	Rozmístění přepínačů a konektorů	I - 3
4.	Struktura adresového prostoru karty	
4.1.	Popis adresového dekodéru	I - 4
4.2.	DigOutReg0	I - 4
4.3.	DigOutReg1 ~ DigOutReg5	I - 4
4.4.	DigInReg0	I - 4
4.5.	DigInReg1 ~ DigInReg5	I - 4
4.6.	IRQReg	I - 5
4.7.	CWReg	I - 5
4.8.	StatusReg	I - 6
5.	Popis digitálních vstupů a výstupů	
5.1.	Úvod	I - 7
5.2.	Zapojení vstupů	I - 7
5.3.	Zapojení výstupů	I - 7
6.	Popis řadiče přerušení	
6.1.	Úvod	I - 8
6.2.	Zdroje přerušení DIO	I - 8
6.3.	Zdroje přerušení časovačů	I - 8
7.	Popis časovačů	
7.1.	Úvod	I - 9
7.2.	Zapojení časovačů T0 a T1	I - 9
7.3.	Zapojení časovače T2	I - 9

8.	Popis obvodu Intel 82C53/54	
8.1.	Úvod	I - 10
8.2.	Vnitřní struktura obvodu	I - 10
8.3.	Struktura CW čítače	I - 10
8.4.	Módy činnosti	I - 11
8.5.	Inicializace obvodu	I - 12
8.6.	Operace čtení - pomocný registr	I - 12
8.7.	Obvod Intel 82C54	I - 13
8.8.	Povel zpětného čtení	I - 13

Přílohy:

Příloha II - tabulky

Příloha III - obrázky

1. Úvodní popis

1.1. Charakteristika

PC karty řady PCD-4848A jsou výrobky moderní koncepce ze stavebnice karet CHALLENGE SERIE určené zejména pro systémy laboratorní a průmyslové automatizace a jako doplněk multifunkčních PC karet.

K přednostem patří jednoduchá programová konfigurovatelnost parametrů. Při vlastní instalaci karty do počítače je nutné hardwarově nastavit pouze básovou adresu, všechny ostatní funkce karty jsou ovládány plně softwarově.

Celkový pohled na desku PCD-4848A a její vnitřní obvodová struktura jsou zakresleny na obrázcích Obr.1. a Obr.2.

Karty PCD-4848A jsou dodávány ve dvou variantách (v základní verzi PCD-4848A a v rozšířené verzi PCD-4848AT) a vyznačuje se zejména těmito vlastnostmi:

- 48+48 digitálních kanálů (4x OPTO-22)
- časovač 82C54 s oscilátorem 8MHz (pouze verze PCD-4848AT)
- programovatelnou logiku přerušení (2x digitální vstup a výstup časovače T2)
- 8/16-bitový ISA interface

2. Technické parametry


2.1. Digitální vstupy

počet vstupů:	48	(TTL komp.)
typ rozhraní:	2x OPTO-22	
odolnost proti přepětí:	±24 V	

 *Vstupní obvody umožňují rovněž připojení signálů typu "bezpotenciálový kontakt".*


2.2. Digitální výstupy

počet výstupů:	48	(TTL komp.)
typ rozhraní:	2x OPTO-22	
zatěžovací impedance výstupů:	500Ω min.	(viz pozn.)

 *Výstupní digitální porty jsou odolné proti trvalému zkratu proti GND.
Přivedením vnějšího napětí mimo rozsah 0÷5V dojde k nevratnému poškození obvodů.*

2.3. Čítač/časovač

počet kanálů:	3	(Intel 82C54)
referenční oscilátor:	8MHz	


 *Přivedením vnějšího napětí mimo rozsah 0÷5V dojde k nevratnému poškození obvodu.*

2.4. Obvody přerušení

zdroje přerušení:	DIN00 DIN24 OUT T2	
IRQ kanál:	IRQ2 ÷ IRQ11	(volen programově)

2.5. Ostatní údaje

I/O adresa:	200 _H ÷ 3F8 _H	(64 intervalů)
napájecí napětí:	+5V	(200mA max.)
rozměry:	cca 105 x 185 mm	
EMC:	ČSN EN 55022 ČSN EN 50081-1 ČSN EN 50082-1	

 *Uvedený proudový odběr je uvažován se všemi výstupy v nezátžbeném stavu.*

3. Instalace karty

3.1. Úvod

Při výrobě bylo dbáno na dosažení vysoké kvality a spolehlivosti, rovněž byla věnována pozornost důkladné kontrole před expedicí. Aby nedošlo ke snížení jakosti či poškození při instalaci, doporučujeme Vám pečlivě prostudovat tuto příručku a postupovat podle uvedeného návodu.

3.2. Nastavení báze adresy

Bázovou adresu PC karty lze nastavit v rozsahu 200_{H} až 3F8_{H} . Volba se provádí prostřednictvím šestinásobného DIL přepínače DIL SW1; význam jednotlivých segmentů je vyznačen v tabulce Tab.1. Při volbě je třeba dbát, aby nedošlo ke kolizi s ostatními instalovanými I/O zařízeními. Seznam standardních zařízení umístěných v tomto intervalu adres je uveden v tabulce Tab.2.

3.3. Vlastní instalace

Instalaci karty provádějte zásadně při vypnutém počítači s odpojenými přívodními vodiči (sít, monitor apod.) a dodržujte zásady pro manipulaci s obvody citlivými na poškození elektrostatickým nábojem. S kartou manipulujte za okraje a nedotýkejte se prsty součástek. Nakonfigurovanou kartu zasuňte po předchozím vyjmutí krycího štítku do volné pozice pro rozšiřující desky počítače a zajistěte šroubem.

3.4. Zapojení konektorů

Zapojení vývodů konektorů je zakresleno na obrázcích Obr.3. a Obr.4.; popis signálů je uveden v tabulkách Tab.3. a Tab.4. V případě využití propojovacích kabelů DIG-22/DIG-15 pro zpřístupnění digitálních portů nebo časovačů na zadním PC štítku je zapojení konektorů popsáno v tabulkách Tab.5. a Tab.6., resp. zakresleno obrázcích Obr.5. a Obr.6.

Připojení desky k měřenému objektu je naznačeno na obrázcích Obr.7. a Obr.8.

3.5. Rozmístění přepínačů a konektorů

Rozmístění přepínačů a konektorů na kartě PCD-4848A je zakresleno na obrázku Obr.2.; význam jednotlivých prvků je zřejmý z předešlých odstavců.

4. Struktura adresového prostoru

4.1. Popis adresového dekodéru

Adresový dekodér umožňuje relokaci bázové adresy karty v rozsahu 200_{H} až 3F8_{H} . Protože karta zabírá celkem 8 I/O adres, lze volit jeden z 64 intervalů.

Karta obsahuje několik typů registrů:

- DIO:
 - slouží k přímému řízení digitálních portů (vstupní i výstupní) (DigInReg, DigOutReg)
- časovač:
 - registry řadiče 82C54 (sdílí společné adresy s DIO porty)
- řídící:
 - jsou určeny pro řízení režimu desky (IRQReg, CWReg, StatusReg)

Struktura registrů v adresovém prostoru je uvedena v tabulkách Tab.7. a Tab.8..

4.2. DigOutReg0 (WR, Base+0)

Tento registr plní funkci výstupního digitálního portu; význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru portu.

Registr je po resetu, resp. zapnutí počítače vynulován.

<i>D7</i>	<i>D6</i>	<i>D5</i>	<i>D4</i>	<i>D3</i>	<i>D2</i>	<i>D1</i>	<i>D0</i>
<i>DOUT7</i>	<i>DOUT6</i>	<i>DOUT5</i>	<i>DOUT4</i>	<i>DOUT3</i>	<i>DOUT2</i>	<i>DOUT1</i>	<i>DOUT0</i>

4.3. DigOutReg1 ~ DigOutReg5 (WR, Base+1/2/4/5/6)

Tyto registry plní funkci výstupního digitálního portu; význam jednotlivých bitů je analogický popsanému registru DigOutReg0.

4.4. DigInReg0 (RD, Base+0)

Tento registr plní funkci vstupního digitálního portu; význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru portu.

<i>D7</i>	<i>D6</i>	<i>D5</i>	<i>D4</i>	<i>D3</i>	<i>D2</i>	<i>D1</i>	<i>D0</i>
<i>DIN7</i>	<i>DIN6</i>	<i>DIN5</i>	<i>DIN4</i>	<i>DIN3</i>	<i>DIN2</i>	<i>DIN1</i>	<i>DIN0</i>

4.5. DigInReg1 ~ DigInReg5 (RD, Base+1/2/4/5/6)

Tyto registry plní funkci vstupního digitálního portu; význam jednotlivých bitů je analogický popsanému registru DigInReg0.

4.6. IRQReg (WR, Base+3)

Tento registr slouží k povolení funkce přerušení a volbě kanálu IRQ. Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV				IRQ3	IRQ2	IRQ1	IRQ0

IRQ	• definují IRQ kanál ISA sběrnice
0000	není přiřazen žádný kanál IRQ
0010	přiřazen kanál IRQ2/IRQ9
0011	přiřazen kanál IRQ3
.....
0111	přiřazen kanál IRQ7
1010	přiřazen kanál IRQ10
1011	přiřazen kanál IRQ11

RSRV • rezerva



Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena logická úroveň L. Neuvedené kombinace D3÷D0 jsou rezervovány.

4.7. CWReg (WR, Base+7)

Registr CWReg slouží k volbě zdrojů přerušení a současně nulování nastavených příznaků přerušení. Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV			CNTEN	RSRV	INT_T2	INT_24	INT_00

INT_00	• volba zdroje přerušení odvozeného od sestupné hrany DIN00
INT_24	• volba zdroje přerušení odvozeného od sestupné hrany DIN24
INT_T2	• volba zdroje přerušení odvozeného od přetečení časovače T2 (není implementován u verze PCD-4848A)
CNTEN	• režim adresového prostoru Base+0~3 (viz Tab.7. a Tab.8.) L = registry DIO portů + IRQReg H = registry časovače 82C54 (viz 8. kapitola)
RSRV	• rezerva



Všechny konfigurační bity jsou aktivní v logické úrovni H. Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena logická úroveň L.

4.8. StatusReg (RD, Base+7)

Registr StatusReg slouží k identifikaci zdroje přerušení v případě současného využití více zdrojů. Struktura registru je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV					IRQ_T2	IRQ_24	IRQ_00

- IRQ_00 • příznak přerušení od DIN00
- IRQ_24 • příznak přerušení od DIN24
- IRQ_T2 • příznak přerušení od časovače T2
(u verze PCD-4848A je příznak trvale v úrovni L)
- RSRV • rezerva (příznak je trvale nulován)



Všechny příznakové bity jsou aktivní v logické úrovni H.

K individuálnímu nulování příznaků je určen registr CWReg (zakázání a opětovné povolení příslušného zdroje).

5. Popis digitálních vstupů a výstupů

5.1. Úvod

Karta obsahuje 48 vstupních kanálů a 48 kanálů výstupních; všechny signály portů jsou umístěny na čtyřech konektorech DIL50 se zapojením signálů podle standardu OPTO-22.

V případě zvláštních požadavků lze použít redukční kabel s PC štítkem s označením DIG-22, který převede signály z konektorů DIL50 na Cannon25.

5.2. Zapojení vstupů

Pro realizaci vstupů bylo využito obvodů technologie HCTMOS. Jejich výhodné vlastnosti (vysoká vstupní impedance a zanedbatelný vstupní proud, ochranné diody) byly využity pro přepětovou ochranu do 24V.

Protože klidový stav vstupů odpovídá logické úrovni H (ošetřeno rezistory 10k Ω proti napětí +5V), lze je použít i pro připojení signálů typu "otevřený kolektor".

5.3. Zapojení výstupů

Pro realizaci výstupů bylo využito obvodů technologie HCMOS. Pro jejich výhodné vlastnosti (vysoký výstupní proud a zanedbatelný napěťový úbytek) je lze využít pro přímé buzení LED, optronů, popř. i miniaturních relé 5V/500 Ω .

6. Popis řadiče přerušení

6.1. Úvod

Karta PCD-4848A je vybavena programovatelnou logikou přerušení s více současně pracujícími zdroji a osmi IRQ kanály sběrnice ISA. Protože volba IRQ je omezena pouze na výběr volného kanálu přerušení, následující odstavce budou věnovány pouze volbě zdroje přerušení s ohledem na praktické využití.

6.2. Zdroje přerušení DIO

Obvody digitálních portů umožňují vyvolat přerušení signály dvou vstupů - DIN00 a DIN24; oba kanály reagují na sestupnou hranu signálu.

6.3. Zdroje přerušení časovačů

Obvody časovačů umožňují vyvolávat periodická přerušení přetečením časovače T2; jako vstupní signál je zpravidla využito referenční generátor 8MHz. Alternativně je uvažováno kaskádní zapojení časovačů T1/T2 (viz obrázek Obr.2.) nebo použití externího signálu.

Konfiguraci lze obvykle realizovat na konektoru časovačů zapojením propojek; v případě zvláštních požadavků pak s využitím propojovacího kabelu DIG-15.



Řadič 82C54 a oscilátor 8MHz je osazen pouze u verze PCD-4848AT.


7. Popis časovačů

7.1. Úvod

Karta PCD-4848AT je osazena jedním obvodem Intel 82C54.

První dva čítače (tzn. T0 a T1) jsou plně k dispozici uživatele, třetí čítač (tzn. T2) je předurčen jako časová základna pro generování přerušení.

Při zapojování je nutné respektovat, že vstupy zpracovávají signály napěťových úrovních TTL a překročením jejich mezí dojde k trvalému poškození obvodu.

 Čítače Intel 82C53/54 jsou citlivé na kvalitu přiváděného signálu CLK; při nedostatečné strmosti hran dochází k načítání falešných pulsů, v případě velmi krátkých rušivých pulsů může dojít k zablokování činnosti čítače (nutné znovu naprogramovat). Signály je proto nutné přivést vodiči minimální délky, případně předřadit tvarovací obvody.

7.2. Zapojení časovačů T0 a T1

První dva čítače (tzn. T0 a T1) jsou volné a všechny jejich signály jsou vyvedeny na konektor DIL10. Na konektor je rovněž vyveden signál interního taktovacího generátoru 8MHz umožňující časovače využít i ve funkci generování signálů apod.

Pro zpřístupnění signálů časovačů na zadním panelu počítače je určen redukční kabel s PC štítkem s označením DIG-15.

7.3. Zapojení časovače T2

Třetí čítač (tzn. T2) je předurčen jako časová základna (ve spojení s taktovacím generátorem 8MHz) pro generování přerušení a na konektor DIL10 je vyveden pouze vstupní signál CLK.

V typické konfiguraci je na vstup čítače T2 přiveden signál z generátoru 8MHz (např. pomocí propojky přímo na konektor DIL10) a výstup čítačů umožňuje generovat přerušení s nejnižší frekvencí 122Hz. Pokud požadavkům aplikace nevyhoví, lze časovači T2 předřadit "sousední" čítač T1. Kaskádní zapojení obou čítačů lze opět realizovat nasunutím propojek na konektor DIL10 (viz Obr.2.).

8. Popis obvodu Intel 82C53/54

8.1. Úvod

Karta PCD-4848AT obsahuje jeden obvod Intel 82C53, popř. 82C54. Jeden z čítačů je vyhrazen pro generování periodických přerušení, zbývající dva jsou k dispozici pro externí aplikace. Pro detailní pochopení problematiky je vhodné prostudovat příslušnou kapitolu v katalogu výrobce.

Obvod je umístěn na adresách Base+0 až Base+3. V dalších odstavcích této kapitoly budou adresy popsány jako ofset od adresy Base+0, tzn. např. popis registru řídicího slova s adresou +3 bude reprezentovat fyzickou adresu Base+3.

Celý popis obvodu Intel 82C53 lze aplikovat i na obvod 82C54; popisu rozšířených funkcí tohoto čítače je věnován závěr kapitoly.

8.2. Vnitřní struktura obvodu

Vnitřní registry obvodu jsou umístěny na adresách podle tabulky:

<i>adresa</i>	<i>operace</i>	<i>funkce</i>
+ 0	R / W	čítač/časovač 0
+ 1	R / W	čítač/časovač 1
+ 2	R / W	čítač/časovač 2
+ 3	W	registr řídicího slova (CW)

8.3. Struktura CW čítače

Registr řídicího slova uchovává informace pro činnost všech tří čítačů. Jeho struktura je následující:

<i>D7</i>	<i>D6</i>	<i>D5</i>	<i>D4</i>	<i>D3</i>	<i>D2</i>	<i>D1</i>	<i>D0</i>
SC1	SC0	RL1	RL0	M2	M1	M0	BCD

SC1, SC0 definují číslo čítače (0, 1, 2)
 RL1, RL0 definují typ operace s čítačem
 M2, M1, M0 definují pracovní mód čítače (0 - 5)
 BCD volba kódu čítání (binární nebo BCD)

SC1	SC0	význam
L	L	CW pro čítač 0
L	H	CW pro čítač 1
H	L	CW pro čítač 2
H	H	bez významu

RL1	RL0	význam
L	L	operace s pomocným registrem
L	H	čtení/zápis jen vyššího byte
H	L	čtení/zápis jen nižšího byte
H	H	čtení/zápis nižšího byte a následně vyššího byte

M2	M1	M0	význam
L	L	L	pracovní mód 0
L	L	H	pracovní mód 1
L	H	L	pracovní mód 2
L	H	H	pracovní mód 3
H	L	L	pracovní mód 4
H	L	H	pracovní mód 5

BCD	význam
L	čítání v binárním kódu (0 - 65535)
H	čítání v dekadickém kódu (0 - 9999)

8.4. Módy činnosti

Mód 0 - Přerušení na konci čítání

Výstup čítače je při inicializaci uveden do logické úrovně L a po zapsání předvolby je zahájeno čítání. Po dočítání přejde výstup OUT do úrovně H a zůstane v ní, dokud není registr čítače znovu předvolen.

Mód 1 - Programovatelný monostabilní multivibrátor

Výstup čítače je při inicializaci uveden do logické úrovně H. Do úrovně L je uveden náběžnou hranou vstupu GATE a po dočítání předvoleného počtu pulsů přechází zpět do úrovně H. Impuls je možné spouštět i v době jeho trvání ("retriggerable" MKO). Vložení nové předvolby v průběhu čítání ani čtení průběžného stavu čítače neovlivní délku právě generovaného pulsu.

Mód 2 - Dělení kmitočtu, generování pulsů

Na výstupu OUT budou generovány pulsy o šířce jedné periody signálu na vstupu CLK a periodě rovné jejímu N-násobku, kde konstanta N je předvolba čítače. Bude-li obsah čítače změněn mezi dvěma výstupními pulsy, probíhající výstupní perioda se nezmění.

Je-li na vstup GATE přivedena úroveň L, nastaví se výstup čítače OUT na úroveň H. Po přechodu signálu GATE na H zahájí čítač čítání z počáteční hodnoty. Tak lze GATE využít pro synchronizaci.

Mód 3 - Generátor pulsů

Činnost v módu 3 je v podstatě shodná s činností v módu 2 s tím rozdílem, že generovaný signál má střídu 1:1. Výstup OUT zůstává v logické úrovni L po dobu první poloviny čítání a pak přechází do úrovně H na dobu dočítání celkového počtu. V případě, že N (předvolba čítače) je číslo liché, bude výstup v úrovni L po dobu $(N-1)/2$ čítání a v úrovni H po dobu $(N+1)/2$.

Konstanta N musí být volena v rozsahu 2, 4-65535, resp. i 0 (dělička 65536).



Jak vyplývá z uvedeného popisu, pracovní mód 3 nepracuje jako dělička třemi.

Mód 4 - Softwarově ovládané strobování

Po nastavení módu je výstup OUT v logické úrovni H a po zapsání předvolby začne pracovat. Po dočítání přejde výstup na dobu jedné periody signálu CLK do úrovně L a pak zpět do H. Čítání se zastaví, je-li vstup GATE v úrovni L. Po přechodu do úrovně H je opět zahájeno čítání.

Mód 5 - Hardwarově ovládané strobování

Čítač zahájí čítání po vzestupné hraně signálu na vstupu GATE a po dočítání přejde výstup OUT do úrovně L na dobu 1 periody signálu na vstupu CLK. Čítač je "retriggerable", tzn., že výstup OUT nepřejde do úrovně L, dokud po poslední vzestupné hraně GATE neodpočítá celé číslo N (předvolba čítače).

8.5. Inicializace obvodu

Před použitím čítače je nutné provést jeho inicializaci zápisem odpovídajícího řídicího slova. Teprve potom lze přistoupit k zápisu předvolby příslušného čítače, popř. využít funkci operace s pomocným registrem. Při programování obvodu je však třeba přesně dodržet zvolený způsob definovaný v CW.

Všechny čítače čítají směrem dolů (jejich obsah se snižuje) a čítání končí dosažením nuly. Zavedením nuly do čítače jako předvolby vede k maximálnímu počtu čítání (65536 nebo 10000).


8.6. Operace čtení - pomocný registr

Čtení čítače (není totožný s registrem čítače) lze provádět dvěma způsoby:

- 1) Prosté čtení pomocí I/O operace - je možné jen tehdy, můžeme-li zajistit ustálenou hodnotu čítače po dobu čtení obou byte, např. pomocí vstupu GATE. Čtení obou byte je třeba provést dříve než bude do čítače znovu zapisováno.
- 2) Čtení prostřednictvím pomocného registru - je možné bez zásahu do činnosti příslušného čítače. Zápisem CW formátu

<i>D7</i>	<i>D6</i>	<i>D5</i>	<i>D4</i>	<i>D3</i>	<i>D2</i>	<i>D1</i>	<i>D0</i>
SC1	SC0	L	L	(L)	(L)	(L)	(L)

do registru řídicího slova se okamžitý stav čítače přeneso do pomocného registru a poté shodně jako u předešlého postupu provede úplná operace čtení.

 (L) - je nevýznamný bit, kvůli dopředné kompatibilitě je doporučena úroveň L

8.7. Obvod Intel 82C54

Obvod Intel 82C54 je modernější verze původního typu časovače rozšířená o některé nové funkce. Je plnohodnotnou náhradou obvodu Intel 82C53 s výjimkou činnosti v módu 4.

Pokud je v tomto módu zapsána do registru čítače nová předvolba, pak se tato hodnota přepíše do čítače bezprostředně s prvním impulsem CLK a čítání pokračuje od nové předvolby (u obvodu 82C53 se uplatnila nová předvolba teprve po dočítání do nuly).

Na rozdíl od Intel 82C53 je možno obsah čítače 82C54 číst třemi způsoby. První dva jsou identické jako u původního obvodu, třetí režimem je povel zpětného čtení, který je u tohoto čítače nový.

Veškerý software pro Intel 82C53, není-li rozdílná funkce v módu 4 na závadu, lze aplikovat i na čítač 82C54 s výhodou vyšší frekvence čítání (podle typu až 10 MHz).

8.8. Povel zpětného čtení

Tento povel umožňuje nejen číst obsah čítače bez narušení jeho činnosti, ale také naprogramovaný mód, aktuální stav vývodu OUT a indikátor nulového stavu.

Povel se zapisuje do CW běžným způsobem a má následující formát:

<i>D7</i>	<i>D6</i>	<i>D5</i>	<i>D4</i>	<i>D3</i>	<i>D2</i>	<i>D1</i>	<i>D0</i>
H	H	COUNT	STATUS	CNT2	CNT1	CNT0	L

COUNT zachycení aktuálního obsahu čítače (akt. v L)

STATUS zachycení stavového slova (akt. v L)

CNTx výběr čítače (akt. v H)

Při čtení obsahu čítače se postupuje shodně jako při operaci čtení prostřednictvím pomocného registru. Při čtení stavového slova je prováděna jedna operace čtení byte následujícího formátu:

<i>D7</i>	<i>D6</i>	<i>D5</i>	<i>D4</i>	<i>D3</i>	<i>D2</i>	<i>D1</i>	<i>D0</i>
<i>OUT</i>	<i>Null Count</i>	<i>RW1</i>	<i>RW0</i>	<i>M2</i>	<i>M1</i>	<i>M0</i>	<i>L</i>

- OUT* aktuální logická úroveň na výstupu *OUT*
- Null Count* signalizuje, že poslední předvolba zapsaná do registru čítače byla přepsána do čítače
- RW_x, M_x* význam shodný s registrem řídicího slova

SW1						I/O adresa (Base)
SW - 1	SW - 2	SW - 3	SW - 4	SW - 5	SW - 6	
ON	ON	ON	ON	ON	ON	200 _H
ON	ON	ON	ON	ON	OFF	208 _H
---	---	---	---	---	---	
OFF	ON	ON	ON	ON	ON	300 _H
OFF	ON	ON	ON	ON	OFF	308 _H
---	---	---	---	---	---	
OFF	OFF	OFF	OFF	OFF	ON	3F0 _H
OFF	OFF	OFF	OFF	OFF	OFF	3F8 _H

Tab.1. SW1 - volba bázové adresy karty.



Adresa 300_H vyznačená v tabulce je nastavena od výrobce.

Počáteční adresa	Koncová adresa	I/O zařízení
200 _H	207 _H	adapter pro hry
278 _H	27F _H	2. tiskárna
2F8 _H	2FF _H	2. adapter asynchronní komunikace
300 _H	31F _H	prototypová deska
360 _H	36F _H	rezerva
378 _H	37F _H	1. tiskárna
380 _H	38F _H	synchronní komunikace SDLC
3A0 _H	3AF _H	synchronní komunikace BSC
3B0 _H	3BF _H	monochromatický display + tiskárna
3C0 _H	3CF _H	rezerva
3D0 _H	3DF _H	barevný display
3F0 _H	3F7 _H	řadič disket
3F8 _H	3FF _H	1. adapter asynchronní komunikace

Tab.2. Seznam standardních adres I/O zařízení.

<i>funkce</i>	<i>PIN</i>	<i>PIN</i>	<i>funkce</i>
<i>DIN / DOUT 23/47</i>	<i>D1</i>	<i>D2</i>	<i>GND</i>
<i>DIN / DOUT 22/46</i>	<i>D3</i>	<i>D4</i>	<i>GND</i>
<i>DIN / DOUT 21/45</i>	<i>D5</i>	<i>D6</i>	<i>GND</i>
<i>DIN / DOUT 20/44</i>	<i>D7</i>	<i>D8</i>	<i>GND</i>
<i>DIN / DOUT 19/43</i>	<i>D9</i>	<i>D10</i>	<i>GND</i>
<i>DIN / DOUT 18/42</i>	<i>D11</i>	<i>D12</i>	<i>GND</i>
<i>DIN / DOUT 17/41</i>	<i>D13</i>	<i>D14</i>	<i>GND</i>
<i>DIN / DOUT 16/40</i>	<i>D15</i>	<i>D16</i>	<i>GND</i>
<i>DIN / DOUT 15/39</i>	<i>D17</i>	<i>D18</i>	<i>GND</i>
<i>DIN / DOUT 14/38</i>	<i>D19</i>	<i>D20</i>	<i>GND</i>
<i>DIN / DOUT 13/37</i>	<i>D21</i>	<i>D22</i>	<i>GND</i>
<i>DIN / DOUT 12/36</i>	<i>D23</i>	<i>D24</i>	<i>GND</i>
<i>DIN / DOUT 11/35</i>	<i>D25</i>	<i>D26</i>	<i>GND</i>
<i>DIN / DOUT 10/34</i>	<i>D27</i>	<i>D28</i>	<i>GND</i>
<i>DIN / DOUT 09/33</i>	<i>D29</i>	<i>D30</i>	<i>GND</i>
<i>DIN / DOUT 08/32</i>	<i>D31</i>	<i>D32</i>	<i>GND</i>
<i>DIN / DOUT 07/31</i>	<i>D33</i>	<i>D34</i>	<i>GND</i>
<i>DIN / DOUT 06/30</i>	<i>D35</i>	<i>D36</i>	<i>GND</i>
<i>DIN / DOUT 05/29</i>	<i>D37</i>	<i>D38</i>	<i>GND</i>
<i>DIN / DOUT 04/28</i>	<i>D39</i>	<i>D40</i>	<i>GND</i>
<i>DIN / DOUT 03/27</i>	<i>D41</i>	<i>D42</i>	<i>GND</i>
<i>DIN / DOUT 02/26</i>	<i>D43</i>	<i>D44</i>	<i>GND</i>
<i>DIN / DOUT 01/25</i>	<i>D45</i>	<i>D46</i>	<i>GND</i>
<i>DIN / DOUT 00/24</i>	<i>D47</i>	<i>D48</i>	<i>GND</i>
<i>+5V (500mA max.)</i>	<i>D49</i>	<i>D50</i>	<i>GND</i>

Tab.3. Zapojení vývodů konektoru DIL 50.

<i>funkce</i>	<i>PIN</i>	<i>PIN</i>	<i>funkce</i>
<i>OUT0</i>	<i>D1</i>	<i>D2</i>	<i>GATE0</i>
<i>GATE1</i>	<i>D3</i>	<i>D4</i>	<i>CLK0</i>
<i>CLK1</i>	<i>D5</i>	<i>D6</i>	<i>8MHz</i>
<i>OUT1</i>	<i>D7</i>	<i>D8</i>	<i>CLK2</i>
<i>GND</i>	<i>D9</i>	<i>D10</i>	<i>+5V</i>

Tab.4. Zapojení vývodů konektoru DIL 10.

<i>funkce</i>	<i>PIN</i>	<i>PIN</i>	<i>funkce</i>
GND	C13		
DIN / DOUT 22/46	C12	C25	DIN / DOUT 23/47
DIN / DOUT 20/44	C11	C24	DIN / DOUT 21/45
DIN / DOUT 18/42	C10	C23	DIN / DOUT 19/43
DIN / DOUT 16/40	C9	C22	DIN / DOUT 17/41
DIN / DOUT 14/38	C8	C21	DIN / DOUT 15/39
DIN / DOUT 12/36	C7	C20	DIN / DOUT 13/37
DIN / DOUT 10/34	C6	C19	DIN / DOUT 11/35
DIN / DOUT 08/32	C5	C18	DIN / DOUT 09/33
DIN / DOUT 06/30	C4	C17	DIN / DOUT 07/31
DIN / DOUT 04/28	C3	C16	DIN / DOUT 05/29
DIN / DOUT 02/26	C2	C15	DIN / DOUT 03/27
DIN / DOUT 00/24	C1	C14	DIN / DOUT 01/25

Tab.5. Zapojení vývodů konektoru Cannon 25 (kabel DIG-22).

<i>funkce</i>	<i>PIN</i>	<i>PIN</i>	<i>funkce</i>
GND	C5		
OUT1	C4	C9	CLK2
CLK1	C3	C8	8MHz
GATE1	C2	C7	CLK0
OUT0	C1	C6	GATE0

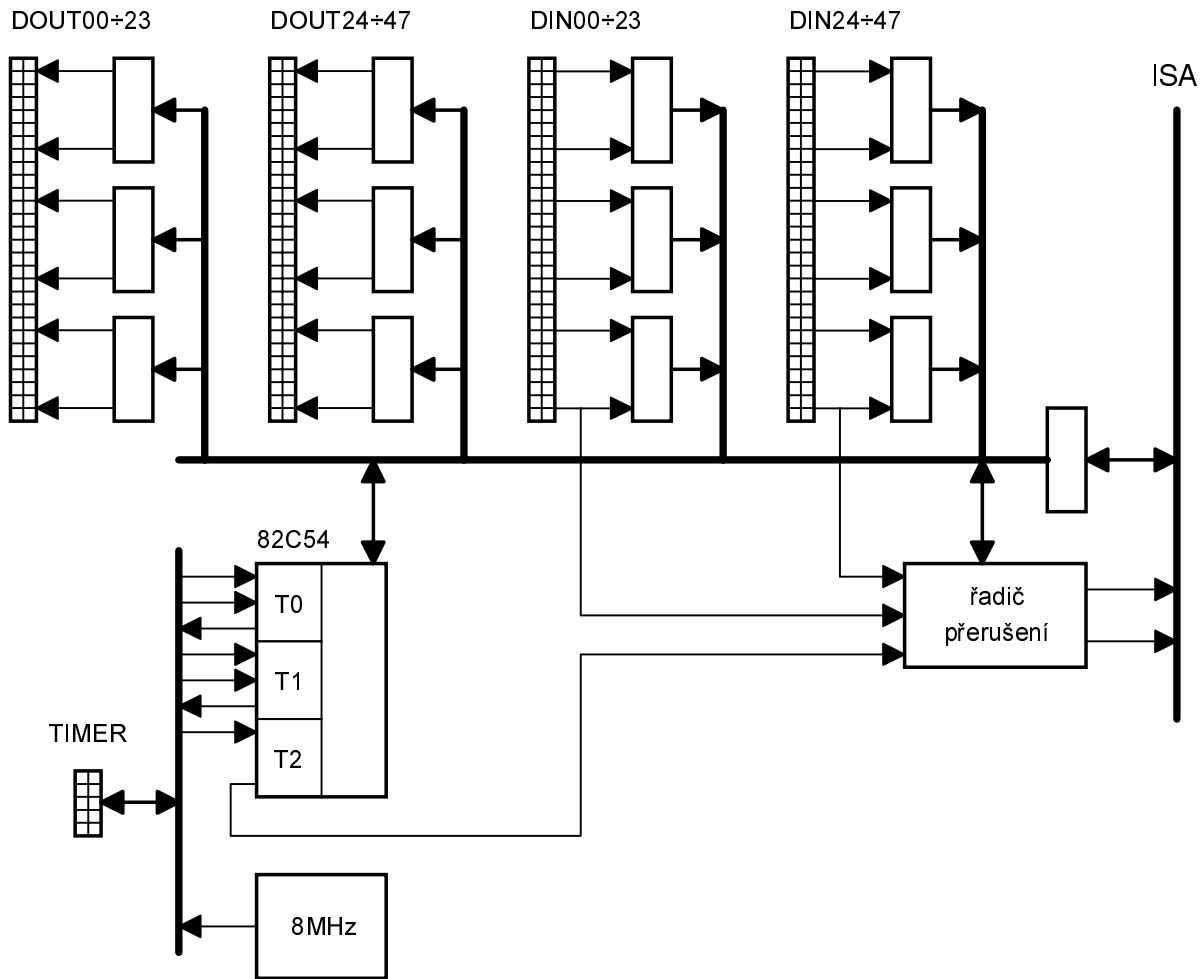
Tab.6. Zapojení vývodů konektoru Cannon 9 (kabel DIG-15).

ADRESA CNTEN = L	zápis (WR)	čtení (RD)
Base + 0	DigOutReg0 (DOUT 00÷07)	DigInReg0 (DIN 00÷07)
Base + 1	DigOutReg1 (DOUT 08÷15)	DigInReg1 (DIN 08÷15)
Base + 2	DigOutReg2 (DOUT 16÷23)	DigInReg2 (DIN 16÷23)
Base + 3	IRQReg	- - -
Base + 4	DigOutReg3 (DOUT 24÷31)	DigInReg3 (DIN 24÷31)
Base + 5	DigOutReg4 (DOUT 32÷39)	DigInReg4 (DIN 32÷39)
Base + 6	DigOutReg5 (DOUT 40÷47)	DigInReg5 (DIN 40÷47)
Base + 7	CWReg	StatusReg

Tab.7. Vnitřní struktura adresového prostoru karty ve standardním režimu.

ADRESA CNTEN = H	zápis (WR)	čtení (RD)
Base + 0	řadič 82C54	
Base + 1		
Base + 2		
Base + 3		
Base + 4	DigOutReg3 (DOUT 24÷31)	DigInReg3 (DIN 24÷31)
Base + 5	DigOutReg4 (DOUT 32÷39)	DigInReg4 (DIN 32÷39)
Base + 6	DigOutReg5 (DOUT 40÷47)	DigInReg5 (DIN 40÷47)
Base + 7	CWReg	StatusReg

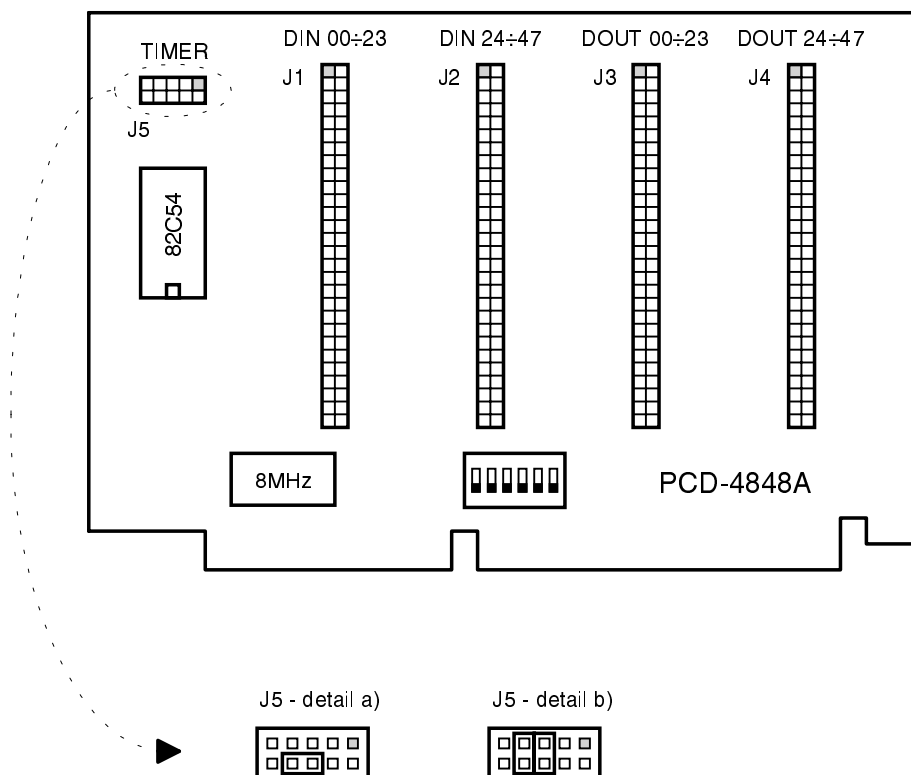
Tab.8. Vnitřní struktura adresového prostoru karty v režimu programování časovačů.



Obr.1. Vnitřní struktura karty PCD-4848A.



Řadič 82C54 a oscilátor 8MHz je osazen pouze u verze PCD-4848AT.

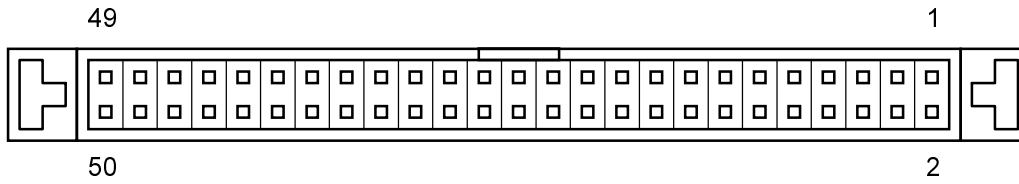


Obr.2. Rozmístění důležitých prvků na kartě PCD-4848A.

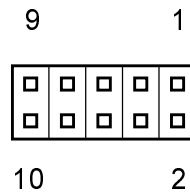
- SW1 volba báze adresy karty
- J1 konektor OPTO-22, digitální vstupy DIN00÷DIN23
- J2 konektor OPTO-22, digitální vstupy DIN24÷DIN47
- J3 konektor OPTO-22, digitální výstupy DIN00÷DIN23
- J4 konektor OPTO-22, digitální výstupy DIN24÷DIN47
- J5 konektor DIP10, časovače, referenční oscilátor 8MHz (pouze u verze PCD-4848AT)

Polohy konfiguračních propojek:

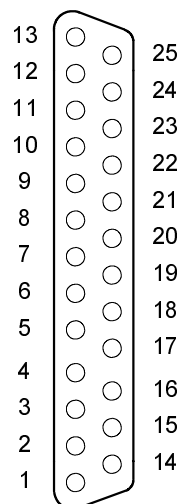
- J5 - a) přerušení vyvoláváno časovače T2, tzn.:
- $$f_{\text{IRQ}} = 8.000.000 / T2 \text{ [Hz]}$$
- J5 - b) přerušení vyvoláváno kaskadním zapojením časovačů T1 a T2, tzn.:
- $$f_{\text{IRQ}} = 8.000.000 / (T1 * T2) \text{ [Hz]}$$



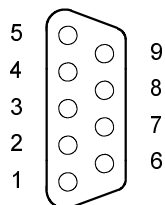
Obr.3. Rozmístění vývodů na konektoru DIL 50.



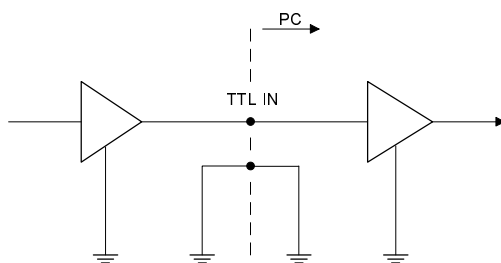
Obr.4. Rozmístění vývodů na konektoru DIL 10.



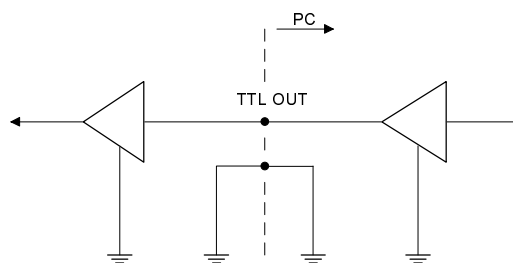
Obr.5. Rozmístění vývodů na konektoru Cannon 25 (kabel DIG-22).



Obr.6. Rozmístění vývodů na konektoru Cannon 9 (kabel DIG-15).



Obr.7. Připojení digitálních vstupů karty.



Obr.8. Připojení digitálních výstupů karty.

