

PCD-7104

**16/32 DIO, IRQ,
PCI BUS**

Záruční a pozáruční servis, technická podpora:

adresa: TEDIA® spol. s r. o., Zábělská 12, 31211 Plzeň
telefon: +420 377 478 168
fax: +420 377 478 169
e-mail: podpora_daq@tedia.cz
internet: <http://www.tedia.cz>, <http://www.pci.cz>

Uživatelská příručka a její součásti jsou autorským dílem chráněným ustanovením zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů ("Autorský zákon").

Všechna jména a názvy použité v textu mohou být chráněnými známkami nebo obchodními názvy výrobků příslušných firem.

ES prohlášení o shodě

Prohlašujeme na svoji výlučnou odpovědnost, že multifunkční karty

řady PCD-7000 (tzn. PCD-7004)

a

řady PCD-7100 (tzn. PCD-7104, PCD-7104E)

jsou ve shodě s normami

ČSN EN 55022:99 včetně změn

ČSN EN 61000-3-2:97 včetně změn

ČSN EN 61000-3-3:97 včetně změn

ČSN EN 55024:99 včetně změn

a nařízeními vlády

NV 168/1997 Sb.

NV 169/1997 Sb.

ve znění pozdějších předpisů

a nesou proto označení "CE".

Zkušební protokol:

203681-01 vydaný EZÚ Praha



Datum vydání ES prohlášení:

23.9.2002

Výrobce:

TEDIA® spol. s r. o., Zábělská 12, 31211 Plzeň

Odpovědný zástupce:

Ing. Martin Linda, jednatel společnosti

Podpis odpovědného zástupce:

A handwritten signature in black ink, appearing to read 'Martin Linda', written in a cursive style.

Obsah

1.	Úvodní popis	
1.1.	Charakteristika	I - 1
1.2.	Podmínky použití	I - 1
2.	Technické parametry	
2.1.	Digitální vstupy	I - 2
2.2.	Digitální výstupy	I - 2
2.3.	Obvody přerušení	I - 2
2.4.	Ostatní údaje	I - 2
3.	Instalace karty	
3.1.	Úvod	I - 3
3.2.	Nastavení konfiguračních prvků	I - 3
3.3.	Vlastní instalace	I - 3
3.4.	Zapojení konektorů	I - 3
3.5.	Rozmístění významných prvků	I - 3
4.	PCI sběrnice, základní informace	
4.1.	Základní pojmy	I - 4
4.2.	Řadič OX9162	I - 4
4.3.	Implementace PCI BUS u PCD-7104	I - 5
4.4.	Porovnání MEM a I/O přístupu	I - 5
5.	Struktura adresového prostoru	
5.1.	Úvod	I - 6
5.2.	DIOReg0	I - 6
5.3.	DIOReg1	I - 6
5.4.	DIOReg2	I - 6
5.5.	DIOReg3	I - 7
5.6.	DIOCfgReg	I - 7
5.7.	IRQStatusReg	I - 7
5.8.	IRQClrReg	I - 7
5.9.	TimerReg	I - 8
5.10.	INTEnReg	I - 8
6.	Popis digitálních vstupů a výstupů	
6.1.	Úvod	I - 9
6.2.	Zapojení vstupů	I - 9
6.3.	Zapojení výstupů	I - 9
7.	Popis řadiče přerušení	
7.1.	Úvod	I - 10
7.2.	Zdroje přerušení	I - 10
7.3.	Programová obsluha přerušení	I - 10

Přílohy:

Příloha II - tabulky

Příloha III - obrázky

Příloha IV - OX9162

Prázdná Strana

1. Úvodní popis

1.1. Charakteristika

PC karta PCD-7104 je výrobek moderní koncepce určený zejména pro systémy laboratorní a průmyslové automatizace a jako doplněk multifunkčních PC karet.

K přednostem patří jednoduchá programová konfigurovatelnost parametrů. Při instalaci karty do počítače není nutné hardwarově nastavovat žádné parametry, všechny funkce karty jsou ovládány plně softwarově.

Karta PCD-7104 je určena pro počítače PC kompatibilní a musí být instalována do PCI slotu s podporou 5 V a 33 MHz.

Celkový pohled na desku PCD-7104 je zakreslen na obrázku Obr.1.

Karta PCD-7104 se vyznačuje zejména těmito vlastnostmi:

- 8 izolovaných digitálních vstupů umožňujících zpracovat signály obou polarit
- 8 reléových výstupů
- programovatelná logika přerušení (4x digitální vstup, časovač)
- PCI target interface kompatibilní s PCI rev. 2.2 (verze 32 bitů, 5V, 33 MHz)

1.2. Podmínky použití

Karty vyhovují instalaci do počítačů se sběrnici PCI v kancelářském nebo průmyslovém provedení a jsou určeny zpracování signálů.


Signály mohou být připojeny vhodným, nejlépe stíněným vodičem o délce maximálně 2 m.

Karty řady PCD-7104 mohou být použity výhradně v souladu s doporučeními výrobce uvedenými v této příručce, obecně platnými normami či standardy a pouze takovým způsobem, aby jejich selháním zaviněným jakýmkoliv způsobem se nemohly stát nebezpečnými osobám nebo majetku.

2. Technické parametry

2.1. Digitální vstupy

počet vstupů:	8
typ vstupů:	izolovaný s jedním společným pólem
pracovní úroveň L:	<5 V (viz. poznámka)
pracovní úroveň H:	>15 V (viz. poznámka)
vstupní impedance:	cca 10 kOhm
odolnost proti přepětí:	±32 V trvale (±50 V max. 10 ms)
izolační napětí (proti PC a relé):	500 V
typ rozhraní:	TEDIA® - Cannon 9

 *Vstupní obvody jsou schopny zpracovat napětí obou polarit i střídavé napětí s frekvencí 50Hz; podrobně viz obrázek Obr.3.*

2.2. Digitální výstupy

počet výstupů:	8
typ výstupů:	přepínací relé
pracovní napětí:	30 V ss. max 100 V st. max.
pracovní proud	0,5 A max.
izolační napětí:	100 V
typ rozhraní:	TEDIA® - Cannon 25

 *Porty neobsahují žádné ochranné prvky proti přetížení kontaktů.*

2.3. Obvody přerušení

zdroje přerušení:	DIN00, DIN01, DIN08, DIN09 interní časovač (1 ms ~ 255 ms)
aktivní úroveň:	sestupná hrana signálu (DIN00, DIN08) náběžná hrana signálu (DIN01, DIN09) přetečení čítače

2.4. Ostatní údaje

I/O a MEM adresa:	přiřazena PCI PnP BIOSem
IRQ kanál:	přiřazen PCI PnP BIOSem
napájecí napětí:	+5 V (650 mA max.)
rozměry desky:	cca 90 x 125 mm
použité konektory:	Cannon 9 - vidlice Cannon 25 - vidlice DIL26 (header 2x13 pinů, rastr 2.54mm)
pracovní teplota:	0° ~ 65° C
skladovací teplota:	-20° ~ 80° C
relativní vlhkost:	10% ~ 90%, bez kondenzace
doporučená délka vodičů:	2 m max.

3. Instalace karty

3.1. Úvod

Při výrobě bylo dbáno na dosažení vysoké kvality a spolehlivosti, rovněž byla věnována pozornost důkladné kontrole před expedicí. Aby nedošlo ke snížení jakosti či poškození při instalaci, doporučujeme Vám pečlivě prostudovat tuto příručku a postupovat podle uvedeného návodu.

Nebudete-li si jisti některým z kroků instalace, obraťte se na technickou podporu výrobce (informaci o aktuálním spojení naleznete na <http://www.tedia.cz>).

3.2. Nastavení konfiguračních prvků

Karta PCD-7104 neobsahuje žádné konfigurační prvky.

3.3. Vlastní instalace



Důležité upozornění:

Při instalaci karty dbejte zásad pro manipulaci s obvody citlivými na poškození elektrostatickým nábojem, s kartou manipulujte pouze za okraje a nedotýkejte se prsty součástek.

Instalaci provádějte zásadně při vypnutém počítači a vždy odpojte síťový kabel i ostatní přírodní vodiče !

Mimo počítač mohou být karty skladovány výhradně v antistatickém obalu.

Při nedodržení uvedených pravidel může dojít k poškození citlivých obvodů PC karty nebo celého počítače. V případě nejasností kontaktujte technickou podporu výrobce.

Nakonfigurovanou kartu zasuňte po předchozím vyjmutí krycího štítku do volné pozice pro rozšiřující desky počítače a zajistěte šroubem.

Budou-li využity i digitální porty DIO3 nebo DIO4, upevněte desku PCD-7104E do sousední pozice a zapojte kabel; orientace konektorů je vyznačena na obrázku Obr.1., první vodič plochého kabelu je zvýrazněn červenou barvou.



PCD-7104E není standardní součástí dodávky karty a lze ji objednat samostatně.

3.4. Zapojení konektorů

Zapojení vývodů konektorů je zakresleno na obrázku Obr.2.; popis signálů je uveden v tabulkách Tab.1. a Tab.2.

V případě využití redukčního kabelu PCD-7104E pro rozšíření počtu digitálních portů je zapojení konektorů Cannon 9 a Cannon 25 zcela analogické zapojení konektorů umístěných na PCD-7104.

3.5. Rozmístění významných prvků

Rozmístění konektorů na kartě PCD-7104 je zakresleno na obrázku Obr.1.

4. PCI sběrnice, základní informace

4.1. Základní pojmy

PCI-SIG	PCI Special Interest Group, organizace zajišťující standardizaci PCI sběrnice. PCI-SIG sídlí v Portlandu/USA, má přibližně 800 řádných členů a TEDIA® je jedním z nich.
PCI konfigurační registry	slouží pro PnP identifikaci karty, zjištění jejích vlastností (zejména z pohledu PCI sběrnice), požadavků na systémové prostředky a jejich přidělení. PCI konfigurační registry obsahují řadu informací významných pro ovladače a aplikační software, zejména VID/DID, BAR registry, ... PCI registry nejsou určeny pro vlastní funkční přístupy (tzn. datové přenosy) a jsou zpřístupněny speciálními sběrnicovými cykly výhradně rozhraním PCI BIOSu; podrobnosti lze čerpat ze specifikace PCI BIOS v aktuálním znění.
VID	Vendor ID, unikátní číslo výrobce adaptéru přidělené organizací PCI-SIG jejím členům.
DID	Device ID, unikátní číslo typu PCI karty přidělené výrobcem - držitelem příslušného VID.
Subsystem VID/ID	čísla umožňující identifikovat výrobce karty při zachování VID/DID výrobce chipsetu. Je využíváno zejména u implementací standardních řadičů (grafických akceleratorů, ethernet řadičů, ...) a umožňuje využití společných driverů.
Class Code	umožňuje zařadit PC kartu do některé předdefinované třídy adaptérů a v specifických případech využít společné softwarové podpory.
BAR0 až BAR4	Base Address Register, tzn. bázeový registr paměťového nebo I/O prostoru. Jednofunkční PCI karta může alokovat až 5 prostorů.

4.2. Řadič OX9162

Použitý řadič se vyznačuje následujícími vlastnostmi:

- 32bit./5V/33MHz target interface kompatibilní s PCI rev. 2.2 (tzn. není podporován busmastering)
- implementace celé sady PCI konfiguračních registrů
- implementace všech pěti BAR registrů
- 8-bitová pass-through lokální sběrnice s podporou přerušení
- konfigurace chipsetu prostřednictvím EEPROM

4.3. Implementace PCI BUS u PCD-7104

Funkci řadiče PCI sběrnice plní obvod OX9162 s I/O a MEM prostory konfigurovanými v maximálním možném rozsahu.

Karta využívá následujících PCI ID:

VID	1760 _H	tzn. VID přidělené TEDIA®
DID	0102 _H	tzn. DID přidělené kartě PCD-7104
Sub VID	1760 _H	totéž jako VID
Sub ID	0003 _H	verze karty (aktuální při vydání manuálu)
Class Code	118000 _H	třída "other data acquisition adapter"

Využití BAR prostorů:

BAR0	mapován jako I/O, slouží pro přístup první polovině registrů; u PCD-7104 je konfigurován na velikost 256B s datovou strukturou byte
BAR1	mapován jako I/O, slouží pro přístup k první polovině registrů; u PCD-7104 je konfigurován na velikost 256B s datovou strukturou byte
BAR2	mapován jako I/O, slouží pro přístupu k konfiguračním registrům chipsetu OX9162; je konfigurován na velikost 32B s datovou strukturou byte/word/double word
BAR3	mapován jako MEM, slouží pro přístup ke konfiguračním registrům chipsetu OX9162 (má totožný význam jako BAR2); je konfigurován na velikost 4kB s datovou strukturou byte/word/double word
BAR4	mapován jako MEM, slouží pro přístupu ke všem funkčním registrům; je konfigurován na velikost 4kB s datovou strukturou double word (avšak významných 8 nejnižších bitů)

Podrobnější informace k mapování registrů v jednotlivých prostorech jsou uvedeny v příloze tohoto manuálu.

4.4. Porovnání MEM a I/O přístupu

PCI specifikace definuje dva typy registrových prostorů - I/O a paměťový (MEM). Řada adaptérů umožňuje alternativní užití obou typů a periferní obvody mapuje současně do obou prostorů (prostřednictvím dvou BAR).

MEM	prostor existuje na všech hardwarových platformách (tzn. nejen na systémech s procesory Intel x86) a je mj. i proto preferován; jelikož 32-bitové adresování umožňuje mapovat až 4GB paměti, není velikost alokovaného prostoru z praktického hlediska nijak významně omezoována; přístup k perifériím mapovaných přes paměťový prostor je oproti I/O přístupu rychlejší, nebo alespoň není pomalejší; MEM přístup však vyžaduje 32bitové adresování
I/O	prostor je s ohledem na zpětnou kompatibilitu s 10bitově adresovanými systémy omezen na 63 intervalů o velikosti 256B; žádný adaptér tedy nemůže alokovat kontinuální prostor o velikosti větší než 256B; výhodou však je jednoduchá podpora v reálném módu procesorů Intel x86 (tzn. například v systému MS-DOS)

5. Struktura adresového prostoru

5.1. Úvod

Následující popis bude uvažovat přístup prostřednictvím prostoru BAR4; v případě využití I/O přístupů (tzn. BAR0/1) jsou adresy registrů modifikovány podle přiřazení uvedeného v příloze tohoto manuálu.

Všechny adresy (např. BAR4+80h) v dalším textu jsou uvedeny v hex formátu.

Čtení a zápis do nedokumentovaných registrů není z důvodu dopředné kompatibility přípustný.

5.2. DIOReg0 (RD, BAR4+0h)

Tento registr plní funkci datového registru vstupního digitálního portu.

Význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru.

<i>D7</i>	<i>D6</i>	<i>D5</i>	<i>D4</i>	<i>D3</i>	<i>D2</i>	<i>D1</i>	<i>D0</i>
<i>DIN07</i>	<i>DIN06</i>	<i>DIN05</i>	<i>DIN04</i>	<i>DIN03</i>	<i>DIN02</i>	<i>DIN01</i>	<i>DIN00</i>

5.3. DIOReg1 (WR, BAR4+4h)

Tento registr plní funkci datového registru výstupního digitálního portu.

Význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru.

Registr nemá po resetu definován stav; obsah dat lze však modifikovat přeprogramováním obsahu EEPROM.

<i>D7</i>	<i>D6</i>	<i>D5</i>	<i>D4</i>	<i>D3</i>	<i>D2</i>	<i>D1</i>	<i>D0</i>
<i>DOU07</i>	<i>DOU06</i>	<i>DOU05</i>	<i>DOU04</i>	<i>DOU03</i>	<i>DOU02</i>	<i>DOU01</i>	<i>DOU00</i>

5.4. DIOReg2 (RD, BAR4+8h)

Tento registr plní funkci datového registru druhého vstupního digitálního portu a jeho význam je analogický registru DIOReg0 (DIO kanály DIN15 ~ DIN08).

Vstupy jsou dostupné po instalaci PCD-7104E.

5.5. DIOReg3 (WR, BAR4+Ch)

Tento registr plní funkci datového registru druhého výstupního digitálního portu a jeho význam je analogický registru DIOReg1 (DIO kanály DOU15 ~ DOU08).

Výstupy jsou dostupné po instalaci PCD-7104E.

5.6. IRQCfgReg (WR, BAR4+200h)

Tento registr slouží k povolení detekce požadavku o přerušení (tzn. umožní nastavení příznaků v IRQStatusReg), ne však pro povolení vyvolání přerušení; viz popis registru INTEnReg a obrázek Obr.5.

Registr je po resetu přednastaven na nulovou hodnotu; modifikací obsahu EEPROM paměti lze však data změnit.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV			TIM	IRQ3	IRQ2	IRQ1	IRQ0

- IRQ0 • konfigurace zdroje přerušení odvozeného od vstupu DIN00 (0 = přerušení zakázáno, 1 = přerušení povoleno)
- IRQ1 • konfigurace zdroje přerušení DIN01 (význam jako IRQ0)
- IRQ2 • konfigurace zdroje přerušení DIN08 (význam jako IRQ0)
- IRQ3 • konfigurace zdroje přerušení DIN09 (význam jako IRQ0)
- TIM • konfigurace zdroje přerušení časovače (význam jako IRQ0)

☒ *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena logická úroveň L.*

5.7. IRQStatusReg (RD, BAR4+200h)

Tento registr slouží k identifikaci zdroje přerušení.

Struktura registru je totožná s IRQCfgReg a význam jednotlivých bitů je následující:

- IRQ0 • 0 = přerušení odvozené od DIN00 nebylo vyvoláno
1 = přerušení vyvoláno DIN00
(tzn. na vstupu byla od posledního nulování detekována hrana)
- IRQ1 • příznak přerušení od DIN01 (význam analogický IRQ0)
- IRQ2 • příznak přerušení od DIN08 (význam analogický IRQ0)
- IRQ3 • příznak přerušení od DIN09 (význam analogický IRQ0)
- TIM • příznak přerušení od časovače (význam analogický IRQ0)

☒ *Rezervní bity nemají pro funkci desky žádný význam (nastavena hodnota 0). Příznaky jsou funkční nezávisle na aktivaci logiky přerušení registrem INTEnReg.*


5.8. IRQClrReg (WR, BAR4+204h)

Tento registr slouží k nulování příznaků nastavených přerušení ve StatusReg.

Registr má implementovanou funkci automatického nulování a zápis logické úrovně 1 proto nevyžaduje následný zápis úrovně 0 (registr je v úrovni 1 po dobu 60ns a po tuto dobu není zpracováván příslušný kanál přerušení).

Struktura registru je totožná s IRQCfgReg a význam jednotlivých bitů je následující:

- IRQ0 • zápisem 0 nedojde k ovlivnění obsahu příznaku ve StatusReg
zápisem 1 dojde k vynulování příznaku ve StatusReg
- IRQ1 • nulování příznaku přerušení od DIN01 (význam jako IRQ0)
- IRQ2 • nulování příznaku přerušení od DIN08 (význam jako IRQ0)
- IRQ3 • nulování příznaku přerušení od DIN09 (význam jako IRQ0)
- TIM • nulování příznaku přerušení od časovače (význam jako IRQ0)

 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena logická úroveň L.*

5.9. TimerReg (WR/RD, BAR4+208h)

Tento registr slouží k nastavení frekvence (resp. periody) interního generátoru časových značek.

Zapsaná osmibitová data umožňují konfigurovat periodu časových značek v rozsahu 1~255 ms; zápisem čísla 0 dojde k zastavení generátoru.

Registr je po resetu, resp. zapnutí počítače vynulován.

Ve funkci čtení poskytuje registr aktuální hodnotu časovače; data v rozsahu 0~(TimerReg-1) jsou inkrementována frekvencí 1kHz.

5.10. INTENReg (WR, BAR4+20Ch)


Tento registr slouží k povolení požadavku o přerušení, tzn. aktivace interruptové logiky PCI sběrnice a současně nulování požadavku (je provedeno zakázáním a opětovným povolením přerušení); podrobně viz obrázek Obr.5.

Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
INTEN	RSRV						

- INTEN
- 0 = interruptová logika sběrnice neaktivní
 - 1 = interruptová logika sběrnice aktivována

 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena logická úroveň L.*

6. Popis digitálních vstupů a výstupů

6.1. Úvod

Karta PCD-7104 obsahuje 8+8 digitálních portů rozšiřitelných na 16+16.

Signály prvních dvou portů jsou přístupné prostřednictvím konektorů Cannon 9 a Cannon 25 umístěných na zadním štítku PC, signály druhých dvou portů pak mohou být realizovány redukční deskou PCD-7104E.

6.2. Zapojení vstupů

Pro realizaci vstupů bylo využito optronů s dvojitým optovysílačem schopným zpracovat napětí obou polarit; v praxi lze tedy využít jak pro systémy se společným +24V pólem, tak i společným GND pólem. Navazující dolnoproustní filtr pak zajišťuje korektní funkci i v případě střídavého signálu s frekvencí 50~1000 Hz.

Protože klidový stav vstupů odpovídá logické úrovni L, přítomnost externího signálu je signalizováno úrovní H. Podrobně viz obrázek Obr.3.

6.3. Zapojení výstupů

Pro realizaci výstupů bylo využito miniaturních prepínacích relé.

Všechna relé jsou po resetu v neaktivním stavu, zápisem úrovně H do registru dojde k jejich aktivaci. Podrobně viz obrázek Obr.4.

7. Popis řadiče přerušení

7.1. Úvod

Karta PCD-7104 je vybavena programovatelnou logikou přerušení s pěti zdroji přerušení. Vnitřní struktura je zakreslena na schematu Obr.5.

Jelikož volba IRQ kanálu je dána PnP mechanismy PCI BIOSu, následující odstavce budou věnovány pouze volbě zdroje přerušení s ohledem na praktické využití.

7.2. Zdroje přerušení

Digitální vstupy DIN00 a DIN08 umožňují vyvolat přerušení sestupnou hranou signálu, tzn. přechodem z úrovně ">15V" do úrovně "<5V". Digitální vstupy DIN01 a DIN09 umožňují vyvolat přerušení náběžnou hranou signálu.

Interní časovač umožňuje vyvolat periodické přerušení přetečením.

Každý ze zdrojů přerušení lze individuálně povolit i nulovat prostřednictvím registru IRQCfgReg.

7.3. Programová obsluha přerušení

Zjednodušený algoritmus programové obsluhy je popsán v následujícím postupu:

-> inicializace

1. program nainstaluje přerušovací rutinu na IRQ kanál přidělený BIOSem (viz popis PCI konfiguračních registrů v příloze manuálu)
2. program vynuluje případné nezpracované příznaky pomocí IRQClrReg (IRQClrReg=FFh) a povolí obvody přerušovací linky (INTEnReg=80h)
3. program povolí požadované zdroje přerušení na kartě (např. IRQCfgReg=00010001 povolí přerušení od DIN00 a časovače)
4. je-li vyžadován, program spustí časovač (např. TimerReg=25 nastaví periodické přerušení od časovače na hodnotu 25 ms)

-> po příchodu události je vyvoláno přerušení

- obsluha přerušení** (tzv. ISR) uvolní INTA sběrnice pomocí INTEnReg (zápisem INTEnReg=0h a následně INTEnReg=80h), ukončí rutinu v řadiči přerušení (resp. přenechá řízení další ISR) a předá zprávu aplikačnímu programu
5. program přečte IRQStatusReg a identifikuje přerušení (např. IRQStatusReg=00000001 znamená, že přerušení bylo vyvoláno DIN00)
 6. program vynuluje IRQStatusReg pomocí IRQClrReg (pro daný případ IRQClrReg=00010000)
 7. program znovu přečte IRQStatusReg a je-li nenulový, identifikuje přerušení a smaže jeho příznak podle bodu 6.

-> ukončení programu

8. program vynuluje registry INTEnReg a IRQCfgReg, zastaví časovač vynulováním TimerReg, eventuálně vynuluje nezpracované příznaky pomocí IRQClrReg, a odinstaluje přerušovací rutinu


funkce	PIN	PIN	funkce
DIN00/08	C1		
DIN02/10	C2	C6	DIN01/09
DIN04/12	C3	C7	DIN03/11
DIN06/14	C4	C8	DIN05/13
ISOGND	C5	C9	DIN07/15

Tab.1. Zapojení vývodů konektorů Cannon 9.
(DIN00~07 platí pro PCD-7104, DIN08~15 pro PCD-7104E).

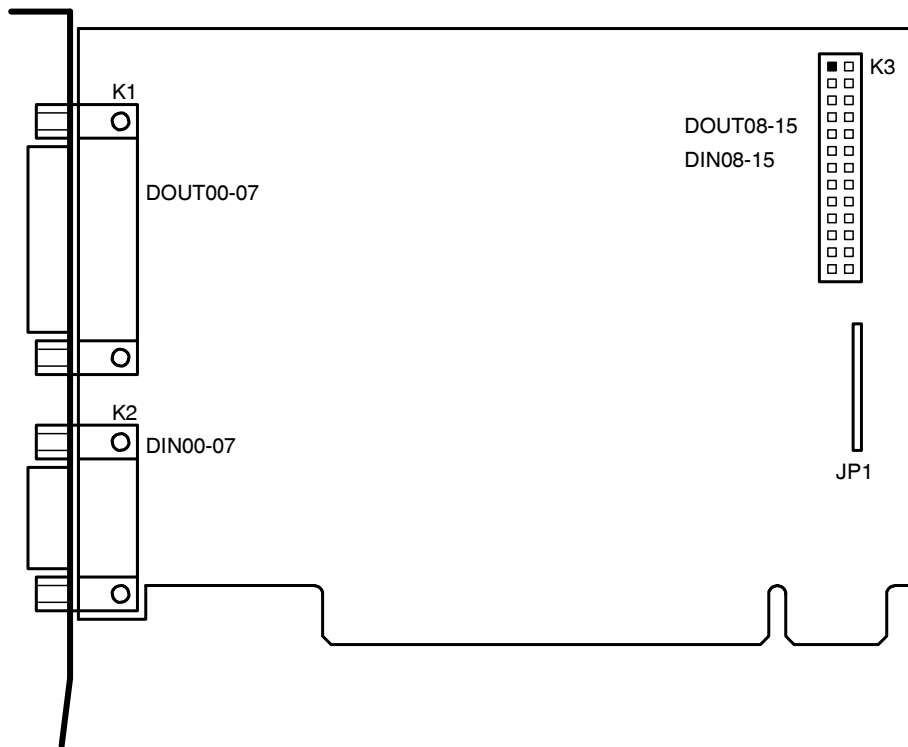
 Zapojení vstupů je zakresleno na obrázku Obr.3.

funkce	PIN	PIN	funkce
DOUT00/08_NO	C1		
DOUT00/08_NC	C2	C14	DOUT00/08_CM
DOUT01/09_CM	C3	C15	DOUT01/09_NO
DOUT02/10_NO	C4	C16	DOUT01/09_NC
DOUT02/10_NC	C5	C17	DOUT02/10_CM
DOUT03/11_CM	C6	C18	DOUT03/11_NO
DOUT04/12_NO	C7	C19	DOUT03/11_NC
DOUT04/12_NC	C8	C20	DOUT04/12_CM
DOUT05/13_CM	C9	C21	DOUT05/13_NO
DOUT06/14_NO	C10	C22	DOUT05/13_NC
DOUT06/14_NC	C11	C23	DOUT06/14_CM
DOUT07/15_CM	C12	C24	DOUT07/15_NO
---	C13	C25	DOUT07/15_NC

Tab.2. Zapojení vývodů konektorů Cannon 25.
(DOUT00~07 platí pro PCD-7104, DOUT08~15 pro PCD-7104E).

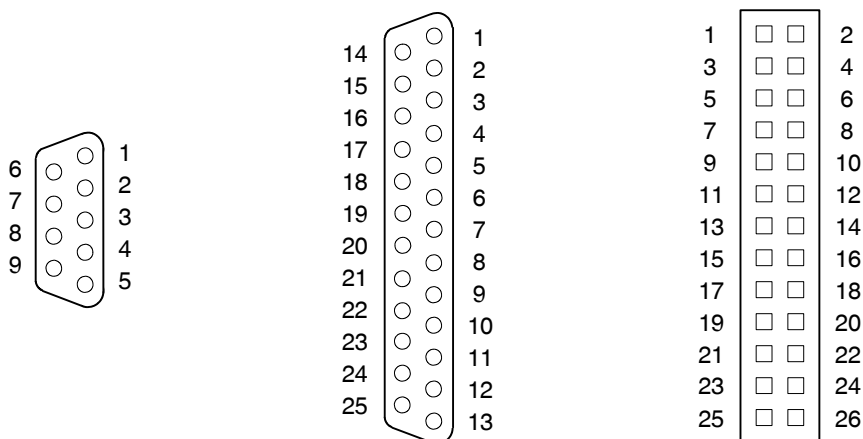
 Zapojení výstupů a označení vývodů je zakresleno na obrázku Obr.4.

Prázdná Strana

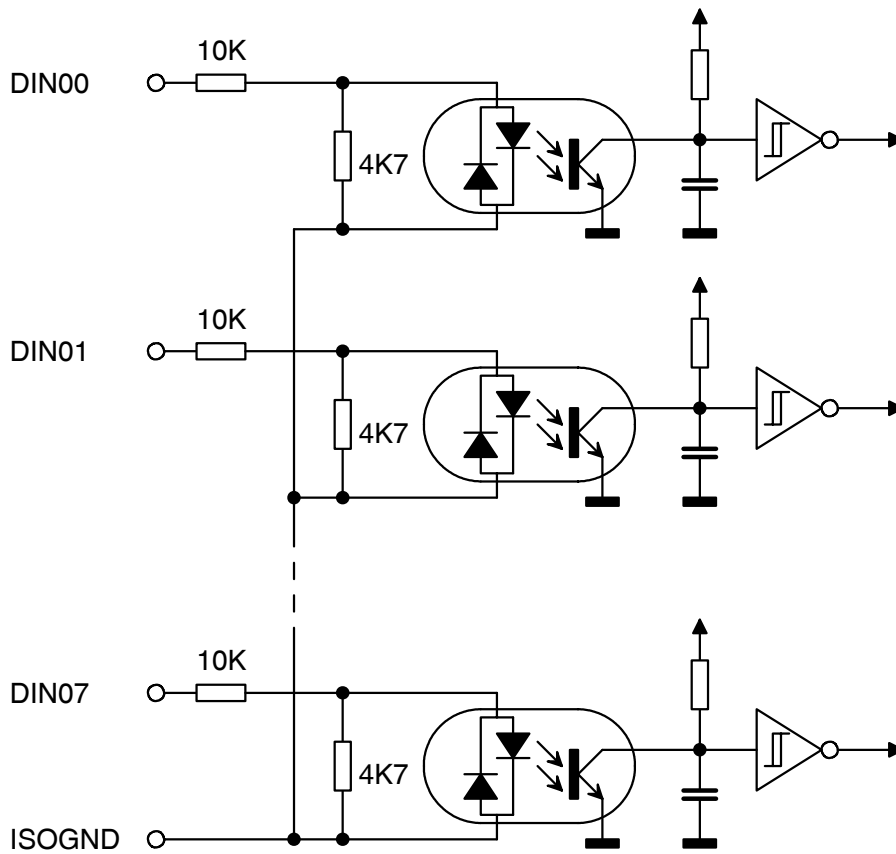


Obr.1. Rozmístění důležitých prvků na kartě PCD-7104.

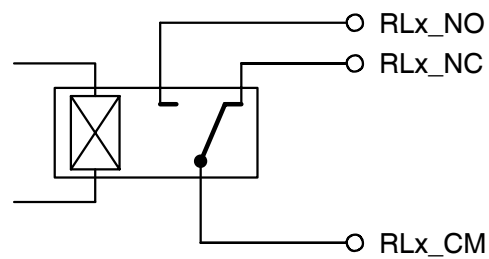
- K1 konektory portu DOUT00-07
- K2 konektory portu DIN00-07
- K3 konektory portů DOUT08-15 a DIN08-15
(pin 1 je zvýrazněný výplní)
- JP1 konektor určený pouze pro servisní účely



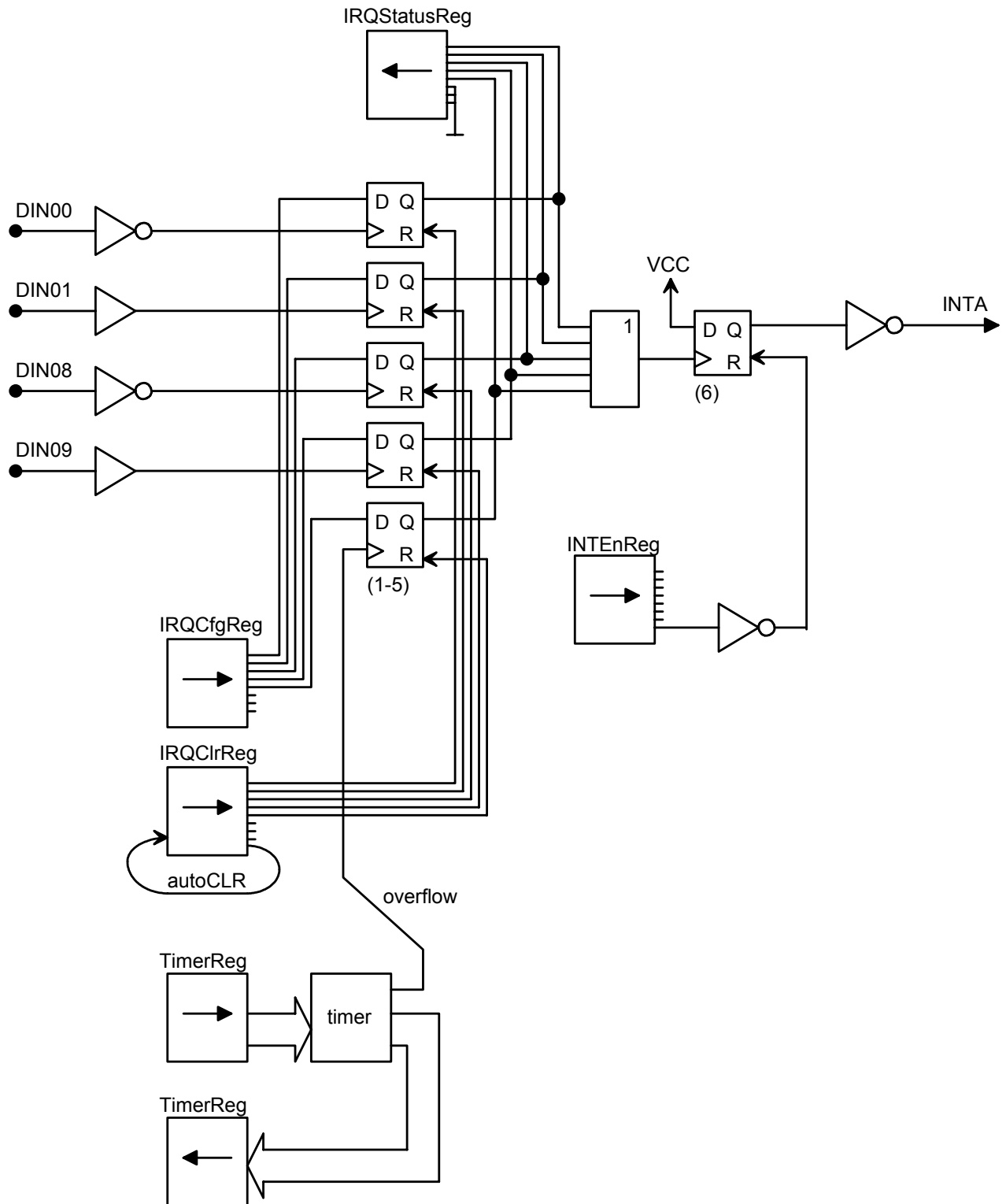
Obr.2. Rozmístění vývodů na konektoru Cannon 9, Cannon 25 a DIL 26.



Obr.3. Zapojení vstupních obvodů.



Obr.4. Zapojení a označení vývodů relé.



Obr.5. Vnitřní blokové schéma obvodů přerušení.

Prázdná Strana

1. PCI bridge OX9162


1.1. PCI konfigurační registry

Popis vychází z "PCI local bus specification revision 2.2" vydané 18. prosince 1998. Softwarový interface pro přístup do PCI konfiguračních registrů je popsán ve specifikaci PCI BIOS (aktuálně rev. 2.1 z 26.8.1994).

Offset	Data			
	31 24	23 16	15 08	07 00
+00 _H	Device ID (= DID)		Vendor ID (= VID)	
+04 _H	Status		Command	
+08 _H	Class Code			Revision ID
+0C _H	BIST	Header Type	Reserved	Reserved
+10 _H	Base Address Register 0 (BAR0)			
+14 _H	Base Address Register 1 (BAR1)			
+18 _H	Base Address Register 2 (BAR2)			
+1C _H	Base Address Register 3 (BAR3)			
+20 _H	Base Address Register 4 (BAR4)			
+24 _H	Reserved			
+28 _H	Reserved			
+2C _H	Subsystem ID (= Sub ID)		Subsystem VID (= Sub VID)	
+30 _H	Reserved			
+34 _H	Reserved			Cap_Ptr
+38 _H	Reserved			
+3C _H	Reserved	Reserved	Interrupt Pin	Interrupt Line
+40 _H	nepovinná část			
...				
+FF _H				

Obsah důležitých registrů:

VID	1760 _H	TEDIA
DID	definuje typ karty TEDIA	
Class Code	118000 _H	"other data acquisition adapter"
BAR0-BAR4	PnP	bázové adresy prostorů přiřazené PCI BIOSem
Sub VID	1760 _H	TEDIA
Sub ID	podle registrové verze karty	
Interrupt Pin	číslo IRQ kanálu (0 = žádný, 2 = IRQ2, 3 = IRQ3, ... , 15 = IRQ15)	

 Popis ostatních registrů lze nalézt v PCI BUS specifikaci.


1.2. Struktura Base Address Register

Obsah bázových registrů (Base Address Register) je definován PCI BIOSem a aplikace jej nesmí modifikovat; smí jej pouze číst.

Registr má strukturu odlišnou pro MEM a I/O mapování, viz dále:


D31 ... D4	D3	D2	D1	D0
BASE (31-4)	PREF	Type		0

0	určuje MEM prostor
Type	0 0 umístěno v 32-bitovém adresovém prostoru
	0 1 rezerva
	1 0 umístěno v 64-bitovém adresovém prostoru
	1 1 rezerva
PREF	0 funkce "prefetch" není povolena (viz. poznámka)
	1 funkce "prefetch" je povolena (viz. poznámka)
BASE (31-4)	bázová adresa v MEM prostoru (registr obsahuje vyšších 28 bitů; skutečná adresa vznikne operací ADR = BAR and FFFFFFFF0); v případě BASE(31-4)=0 nebyl MEM prostor BIOSem přidělen

 *Funkce "prefetch" není řadičem OX9162 podporována.*

D31 ... D1	D0
BASE (31-1)	1

1	určuje I/O prostor
BASE (31-1)	bázová adresa v I/O prostoru (registr obsahuje vyšších 31 bitů; skutečná adresa vznikne operací ADR = BAR4 and FFFFFFFFE); v případě BASE(31-1)=0 nebyl I/O prostor BIOSem přidělen

 *Přestože Intel x86 architektura pracuje s 16-bitovým I/O adresováním, je podle PCI specifikace nezbytné plné 32-bitové dekódování adresy. Nicméně v počítačích třídy PC obsahuje BIOSem nastavená adresa nulové bity D31-D16 a proto lze I/O přístupy s výhodou využít i v reálném módu Intel x86 procesoru.*

Struktura registru BAR uvedená výše je popsána z pohledu aplikačního software (resp. aplikačního ovladače), kdy BAR poskytuje přiřazenou bázovou adresu, avšak nikoliv velikost prostoru. Tento údaj musí aplikace převzít ze znalosti PCI chipsetu.

Registr má odlišný význam pro detekční procedury PCI BIOSu a metodou "pevně nulovaných" bitů umožní předat i informaci o požadavku na velikost prostoru.

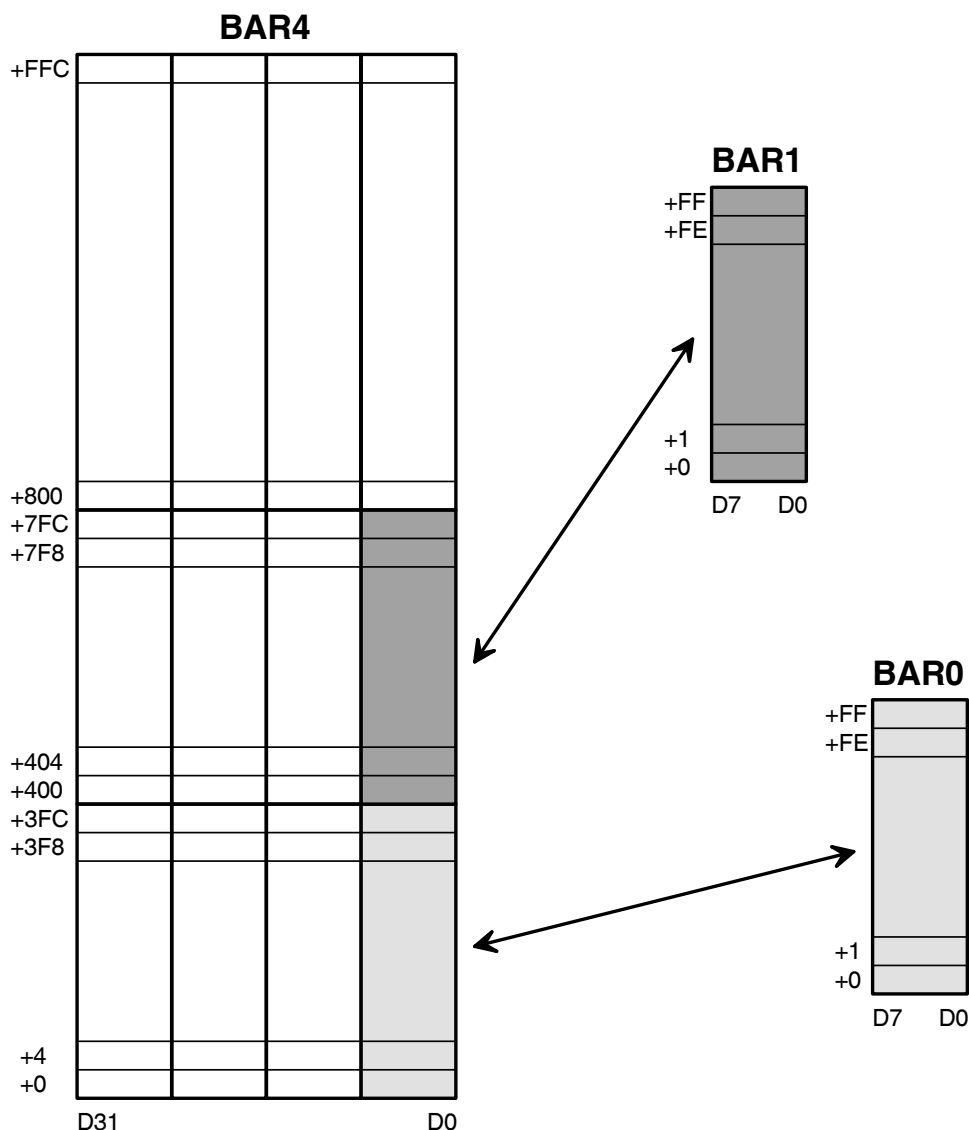
Všechny karty TEDIA s chipsetem OX9162 mají konfigurovány prostory:

BAR0	256B I/O, určen pro přístup do funkčních registrů
BAR1	256B I/O, určen pro přístup do funkčních registrů
BAR2	32B I/O, určen pro přístup dokonfiguračních registrů OX9162
BAR3	4kB MEM, určen pro přístup dokonfiguračních registrů OX9162
BAR4	4kB MEM, určen pro přístup do funkčních registrů

1.3. Mapování registrů v BAR0, BAR1 a BAR4

Lokální "pass-through" sběrnice disponuje rozsahem až 512 registrů (tuto konfiguraci využívají všechny karty TEDIA[®] osazené chipsetem OX9162) a umožňuje tyto registry mapovat současně v MEM i I/O PCI prostoru. Oba alternativní přístupy jsou z pohledu registrů zcela záměnné.

Na níže uvedeném obrázku je zakresleno mapování funkčního registrového bloku o efektivní velikosti 512B do celkových 4kB (~1k x 32) prostoru BAR4 (využitá část prostoru je vyznačena šedou výplní; zbývající registry MEM prostoru jsou rezervovány) a znázorněn alternativní přístup prostřednictvím dvou I/O prostorů BAR0/BAR1 s kapacitou 2x 256B.



Příklad:

$RD[BAR0+01_H] \sim RD[BAR4+04_H]$

$WR[BAR1+FF_H] \sim WR[BAR4+7FC_H]$

Prázdná Strana

