

PCD-8104/05/06

programátorská příručka

historie dokumentu:		
datum	verze	změny
21.10.2015	10.2015	výchozí verze vzniklá oddělením z manuálu PCD-8006/8104/8105/8106, změna DIOCfgReg, oprava popisu registrů DOUReg
17.12.2015	12.2015	změna řazení kapitol

Výhrada odpovědnosti, autorských práv, ochranných známek a názvů:

Ačkoliv byla tato programátorská příručka vytvořena s maximální pečlivostí, nelze vyloučit, že obsahuje chyby. Domníváte-li se, že jsou některé údaje uvedeny nesprávně, neúplně nebo nepřesně, prosíme, informujte technickou podporu.

Pro případ typografických nebo obsahových chyb si TEDIA® vyhrazuje právo kdykoliv provést opravy nebo zpřesnění publikovaných informací. Právě tak produkty popsané v programátorské příručce mohou být kdykoliv revidovány se záměrem zlepšení technických parametrů nebo dosažení lepších užitných vlastností. Doporučujeme proto před každým užitím této příručky ověřit, zda není k dispozici vydání nové.

TEDIA® nezodpovídá za žádné škody vzniklé užitím této programátorské příručky nebo informací v příručce obsažených.

Programátorská příručka a její součásti jsou autorským dílem chráněným ustanovením zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon) v platném znění.

Všechna jména a názvy použité v textu mohou být chráněnými známkami nebo obchodními názvy výrobků příslušných vlastníků.

OBSAH

1. Základní informace

- 1.1 Úvod
- 1.2 Standardní a low-profile provedení
- 1.3 Verze firmware
- 1.4 Technická podpora

2. PCI Express řadič

- 2.1 Úvod
- 2.2 Prostor PCI konfiguračních registrů
- 2.3 Mapování funkčních registrů

3. Funkční registry

- 3.1 Přehled registrů
- 3.2 Dělení adresového prostoru do bloků
- 3.3 Blok registrů s osmibitovými daty (+0000 ÷ 03FC)
- 3.4 Blok registrů DIO portů a obvodů pro detekci hran (+0400 ÷ 07FC)
- 3.5 Blok diagnostických registrů (+3F00 ÷ 3FFC)
- 3.6 Porovnání registrů karet PCD-8104/8105/8106 a PCD-8006
- 3.7 Porovnání registrů karet PCD-8104/8105/8106 a PCT-8424/8425/8426

4. Registry pro obsluhu digitálních vstupů/výstupů

- 4.1 Úvod
- 4.2 Funkce digitálních portů
- 4.3 Registry DINReg0, ... , DINReg5 (RD)
- 4.4 Registry DINReg(2-0) a DINReg(5-3) (RD)
- 4.5 Registry DOUTReg0, ... , DOUTReg5 (WR)
- 4.6 Registry DOUTReg(2-0) a DOUTReg(5-3) (WR)
- 4.7 Registr DIOCfgReg (WR/RD)

5. Registry pro obsluhu obvodů detekce hran

- 5.1 Úvod
- 5.2 Registry DINREReg a DINFEReg (WR)
- 5.3 Registry DINREStatusReg a DINFEStatusReg (RD)
- 5.4 Registry DINREClrReg a DINFEClrReg (WR)
- 5.5 Registry DINREIRQReg a DINREIRQReg (WR)
- 5.6 Schéma registrové struktury obvodů detekce hran

6. Registry pro obsluhu přerušení

- 6.1 Úvod
- 6.2 Funkce obvodů pro obsluhu přerušení
- 6.3 Registr INTEnReg (WR)
- 6.4 Registr IRQCfgReg (WR)
- 6.5 Registr IRQStatusReg (RD)
- 6.6 Registr IRQClrReg (WR)
- 6.7 Registr TimerReg (WR, RD)
- 6.8 Schéma registrové struktury

7. Pomocné diagnostické registry (společné všem typům karet)

- 7.1 Úvod
- 7.2 Registr CardResetReg (WR)
- 7.3 Registr CardResetStatusReg (RD)
- 7.4 Registr CardSerNrReg (RD)
- 7.5 Registr CardIDReg (RD)
- 7.6 Registr FPGATypeReg (RD)
- 7.7 Registr FPGAVerReg (RD)

8. Registry v adresových prostorech BAR1 a BAR2

- 8.1 Úvod
- 8.2 Adresový prostor BAR1
- 8.3 Adresový prostor BAR2

Prázdná strana

1. Základní informace

1.1 Úvod

Tato programátorská příručka navazuje na uživatelskou příručku karet PCD-8104/05/06 (dále společně označené PCD-810x) obsahující ...

- základní technické údaje,
- popis instalace
- a popis zapojení konektorů.

Uživatelská příručka tedy obsahuje informace postačující běžnému uživateli k nasazení karty ve spolupráci s hotovými aplikačními programy, případně k vytváření vlastních programů nad ovladači s abstraktním API (v případě Windows se jedná například o ovladač TEDIA_DAQ01).

Oproti tomu programátorská příručka obsahuje...

- popis použitého PCI Express řadiče,
- popis všech funkčních registrů karty
- a popis programování na úrovni registrů.

Programátorská příručka tedy umožňuje programování nad systémovým ovladačem s API nabízejícím přímý přístup k registrům (v případě Windows se jedná o ovladač tedia_ep4gxa), tzn. vytváření speciálních programů nebo vlastních ovladačů (například pro různé SCADA systémy nebo pro operační systém Linux).

1.2 Standardní a low-profile provedení

DAQ PCI Express karty TEDIA jsou dostupné v provedení se standardní výškou (označení PCD-810x) a v tzv. low-profile provedení (označení PCD-810x/LP). S výjimkou odlišného umístění konektorů a použitelného příslušenství jsou obě varianty karet shodné a informace obsažené v této příručce proto bez výjimky platné pro obě varianty.

1.3 Verze firmware

Aktuální verze firmware v době vydání příručky:

FPGA - typ firmware:	26	(reprezentováno hodnotou 26 _H)
FPGA - verze firmware:	0.A	(reprezentováno hodnotou 0A _H)

Typ FPGA je kontrolní číslo přidělené standardnímu firmware PCD-810x. Odlišné číslo představuje buď konfiguraci nesprávným firmware (například určeným pro jinou kartu) nebo zakázkovým firmware.

Verze firmware FPGA je doplňkovým údajem pro definici vlastností karty.

Poznámka: Funkce popsané v této příručce vycházejí z uvedených verzí firmware.

1.4 Technická podpora

V případě nejasností se lze obrátit na technickou podporu výrobce:

adresa:	TEDIA spol. s r. o., Zábělská 12, 31211 Plzeň, Česká republika
URL:	http://www.tedia.cz/podpora
e-mail:	aktuální informace najdete na adresách http://www.tedia.cz/kontakty http://www.tedia.cz/podpora
telefon:	+420 373730421 (základní číslo) +420 373730426 (technická podpora)

Doporučujeme seznámit se s užitečnými pravidly pro kontaktování technické podpory (viz výše uvedená URL).

Poznámka: Ačkoliv byla tato programátorská příručka vytvořena s maximální pečlivostí, nelze vyloučit, že obsahuje chyby. Domníváte-li se, že jsou některé údaje uvedeny nesprávně, neúplně nebo nepřesně, prosíme, informujte technickou podporu.

2. PCI Express řadič

2.1 Úvod

Karty PCD-810x jsou osazeny řadičem sběrnice PCI Express implementovaným v hradlovém poli FPGA (karty nevyužívají žádný speciální řadič z PCI Express na lokální sběrnici).

Realizovaná implementace je jednofunkční (karta se tedy chová jako jedno zařízení) se třemi adresovými prostory (BAR) mapovanými v MEM prostoru s 32bitovým adresováním.

Poznámka: Ačkoliv jsou registry karty mapovány do MEM prostoru s 32bitovým adresováním, DMA řadič karty podporuje 32bitové i 64bitové adresování.

2.2 Prostor PCI konfiguračních registrů

V následující tabulce jsou vybrané registry z prostoru PCI konfiguračních registrů.

adresa	jméno registru	PCD-8104 PCD-8104/LP	PCD-8105 PCD-8105/LP	PCD-8106 PCD-8106/LP
01 _H ÷ 00 _H	Vendor ID	1760 _H (tzn. VID TEDIA)		
03 _H ÷ 02 _H	Device ID	0804 _H	0805 _H	0806 _H
08 _H	Revision ID	01 _H		
0B _H ÷ 09 _H	Class Code	118000 _H (tzn. PCI třída "other data acquisition controller")		
13 _H ÷ 10 _H	BAR0	funkční registry karty (MEM, 16kB, adresu přidělí BIOS)		
17 _H ÷ 14 _H	BAR1	servisní registry karty (update firmware, kalibrační konstanty, ...) (MEM, 16kB, adresu přidělí BIOS)		
1B _H ÷ 18 _H	BAR2	registry obsluhované z jádra operačního systému (přerušeni, DMA, ...) (MEM, 4kB, adresu přidělí BIOS)		
1F _H ÷ 1C _H	BAR3	nevyužito		
23 _H ÷ 20 _H	BAR4	nevyužito		
27 _H ÷ 24 _H	BAR5	nevyužito		
2D _H ÷ 2C _H	Subsystem Vendor ID	1760 _H (tzn. VID TEDIA)		
2F _H ÷ 2E _H	Subsystem ID	0001 _H		
3C _H	Interrupt Line	číslo IRQ kanálu (přidělí BIOS)		
3D _H	Interrupt Pin	01 _H (INTA)		

K čemu jsou určeny výše popsané PCI konfigurační registry ...

- Vendor ID a Device ID jsou určeny pro 100% identifikaci karty v systému (v případě nejednoznačnosti mohou být navíc použity Subsystem Vendor ID a Subsystem ID, popř. Class Code)
- BARx jsou určeny pro zjištění přidělených prostředků, tzn. počáteční adresu bloků funkčních registrů karty
- Interrupt Line je určen pro zjištění aktuálního propojení INT signálu karty s logickým IRQ kanálem přerušeni (není-li použit MSI režim přerušeni)

2.3 Mapování funkčních registrů

V následujících odstavcích je řešena problematika mapování funkčních registrů.

Proč jsou registry mapovány pouze v MEM prostoru a ne duplicitně v I/O prostoru jako u DAQ PCI karet TEDIA ...

Mapování v I/O prostoru je zastaralé a velmi omezující (umožňuje přidělit v součtu všem zařízením v počítači maximálně 255 bloků velikosti 256B) a nachází smysluplné využití jen v operačních systémech, resp. vývojových prostředcích, které neumožňují jednoduché 32bitové adresování MEM prostoru (např. MS-DOS).

K čemu jsou určeny registry v BAR0 ...

V tomto prostoru jsou mapovány všechny uživatelské registry karty (tedy registry obsluhující I/O funkce karty).

Následující kapitoly se budou až na několik výjimek věnovat výhradně popisu těchto registrů.

K čemu jsou určeny registry v BAR1 a BAR2 ...

V těchto prostorech jsou mapovány servisní registry a registry obsluhované ovladačem z jádra operačního systému.

3. Funkční registry

3.1 Přehled registrů

Tabulky uvedené v následujících kapitolách obsahují přehled funkčních registrů implementovaných v aktuální verzi firmware (viz 1. kapitola). Všechny funkční registry popsané v této kapitole jsou mapovány v BAR0.

Upozornění: Všechny registry, není-li výslovně uvedeno jinak (např. registry, jejichž počáteční obsah lze definovat pomocí EEPROM paměti), jsou po startu nebo resetu vynulovány. Při spuštění programu však nelze na tento stav spoléhat, jelikož registry mohou být nastaveny na odlišné hodnoty předešlým programem; do definovaného stavu je lze uvést buď programováním hodnot nebo pomocí registru CardResetReg.

3.2 Dělení adresového prostoru do bloků

Následující tabulka zobrazuje přehled dělení adresového prostoru do bloků společně všem DAQ PCI Express kartám TEDIA, současně jsou uvedeny i identifikační registry mapované identicky všem kartám.

ofset BAR0	význam registrů
+0000 ÷ 03FC	registry s osmibitovými daty (z důvodu jednodušší migrace z DAQ PCI karet)
+0400 ÷ 07FC	registry s 32bitovými daty (blok DIO portů)
+0800 ÷ 3EFC	registry s 32bitovými daty (PCD-810X tento blok nevyužívají)
+3F00 ÷ 3FFC	diagnostické registry (společně všem typům karet)

3.3 Blok registrů s osmibitovými daty (+0000 ÷ 03FC)

Následující tabulka zobrazuje registry s osmibitovými daty.

K registrům lze přistupovat operandem typu byte na adresu uvedenou v tabulce, případně operandem dword s tím, že platná data jsou přenášena na nejnižších osmi bitech (vyšší bity jsou při zápisu ignorovány a při čtení nulovány).

Program může přistupovat výhradně na adresy zarovnané na dword (tzn. v celistvém násobku 4) a nedoporučuje se přistupovat na jiné adresy než jsou uvedeny v tabulce.

ofset BAR0	význam pro operaci zápis	význam pro operaci čtení
+0000	DOUReg0	DINReg0
+0004	DOUReg1	DINReg1
+0008	DOUReg2	DINReg2
+000C	(rezerva pro DOUReg3)	DINReg3
+0010	(rezerva pro DOUReg4)	DINReg4
+0014	(rezerva pro DOUReg5)	DINReg5
+0080	DIOCfgReg	(zpětné čtení)
+0200	IRQCfgReg	IRQStatusReg
+0204	IRQClrReg	---
+0208	TimerReg	TimerReg
+020C	INTEnReg	(zpětné čtení)
+03F4	---	CardIDReg
+03F8	---	FPGATypeReg
+03FC	---	FPGAVerReg

Poznámka: Mapování registrů DIO portů je identické s DAQ PCIe kartami PCT-8424/25/26. Mapování registrů prvních tří DIO portů je identické u všech DAQ PCIe karet.

3.4 Blok registrů DIO portů a obvodů pro detekci hran (+0400 ÷ 07FC)

Následující tabulka zobrazuje 32bitové registry DIO portů a souvisejících obvodů pro detekci hran s možností vyvolání přerušení.

K registrům lze přistupovat výhradně operandem typu dword na adresy zarovnané na dword (tzn. v celistvém násobku 4) a nedoporučuje se přistupovat na jiné adresy než jsou uvedeny v tabulce.

ofset BAR0	význam pro operaci zápis	význam pro operaci čtení
+0400	DOUReg(2-0)	DINReg(2-0)
+0404	---	DINReg(5-3)
+0410	DINREReg(2-0)	DINREStatusReg(2-0)
+0414	DINREClrReg(2-0)	---
+0418	DINFEReg(2-0)	DINFERegStatusReg(2-0)
+041C	DINFEClearReg(2-0)	---
+0420	DINREReg(5-3)	DINREStatusReg(5-3)
+0424	DINREClrReg(5-3)	---
+0428	DINFEReg(5-3)	DINFERegStatusReg(5-3)
+042C	DINFEClearReg(5-3)	---
+0440	DINREIRQReg(2-0)	(zpětné čtení)
+0444	DINFEIRQReg(2-0)	(zpětné čtení)
+0448	DINREIRQReg(5-3)	(zpětné čtení)
+044C	DINFEIRQReg(5-3)	(zpětné čtení)

3.5 Blok diagnostických registrů (+3F00 ÷ 3FFC)

Následující tabulka zobrazuje 32bitové registry určené pro diagnostické a identifikační funkce.

K registrům lze přistupovat výhradně operandem typu dword na adresy zarovnané na dword (tzn. v celistvém násobku 4) a nedoporučuje se přistupovat na jiné adresy než jsou uvedeny v tabulce.

ofset BAR0	význam pro operaci zápis	význam pro operaci čtení
+3FE0	CardResetReg	CardResetStatusReg
+3FF0	---	CardIDReg
+3FF4	---	CardSerNrReg
+3FF8	---	FPGATypeReg
+3FFC	---	FPGAVerReg

3.6 Porovnání registrů karet PCD-8104/8105/8106 a PCD-8006

Registrová struktura karet PCD-8104/8105/8106 (tři obousměrné osmibitové digitální porty a tři osmibitové vstupní porty) a PCD-8006 (šest obousměrných osmibitových digitálních portů) se odlišuje pouze v několika funkčních registrech, viz tabulka uvedená níže.

registr	význam u karty PCD-8006	význam u karty PCD-8104/05/06
DOUReg3 DOUReg4 DOUReg5 DOUReg(5-3)	výstupní hodnoty portů 3, 4 a 5	nemá význam (port je konfigurován trvale jako vstupní)
DIOCfgReg	programovatelných šest bitů (D5÷D0)	programovatelné tři bity (D2÷D0) (D5÷D3 trvale 0, tzn. porty fixně jako vstup)

3.7 Porovnání registrů karet PCD-8104/8105/8106 a PCT-8424/8425/8426

Registrová struktura karet PCT-842X je nadstavbou struktury karet PCD-810x a význam všech registrů s výjimkou registrů čítačů/časovačů (blok adres +0800 ÷ 0FFC) je proto identický.

4. Registry pro obsluhu digitálních vstupů/výstupů

4.1 Úvod

V následujících odstavcích budou popsány registry související s digitálními vstupy a výstupy, viz přehled v 3. kapitole.

Registry lze dále rozdělit na skupinu datových registrů

DINReg0, ...5	šest osmibitových vstupních registrů digitálních portů
DINReg(2-0)	32bitový vstupní registr digitálních portů (slučuje funkce DINReg0, DINReg1 a DINReg2)
DINReg(5-3)	32bitový vstupní registr digitálních portů (slučuje funkce DINReg3, DINReg4 a DINReg5)
DOUReg0, ...2	tři osmibitové výstupní registry digitálních portů
DOUReg(2-0)	32bitový výstupní registr digitálních portů (slučuje funkce DOUReg0, DOUReg1 a DOUReg2)

a konfigurační registry

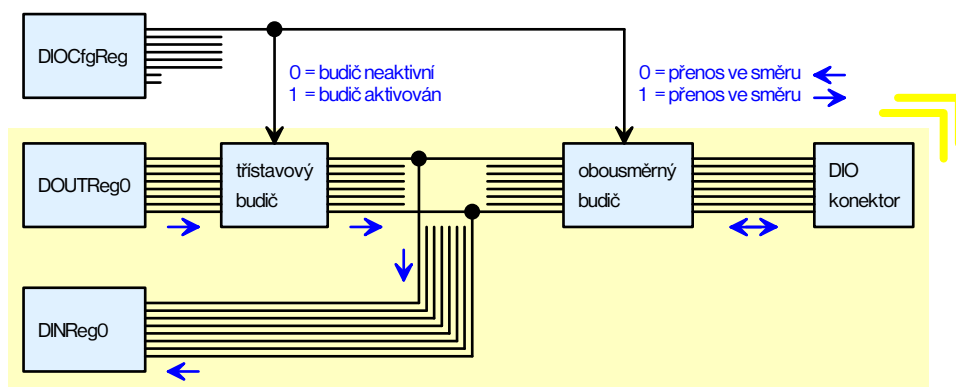
DIOCfgReg	registr pro konfiguraci směru digitálních portů (tzn. volba vstupní nebo výstupní port)
-----------	---

Poznámka: Obsah všech výstupních registrů uvedených výše je po zapnutí karty nebo resetu (včetně resetu vyvolaného registrem CardResetReg) nastaven na hodnoty uložené konfiguračním programem v EEPROM karty. Uživatel tedy může definovat chování portů ještě před okamžikem spuštění programu. Z výroby jsou všechny porty konfigurovány jako vstupní a obsah registrů výstupních portů je nulový.

4.2 Funkce digitálních portů

První tři digitální porty jsou řešeny jako obousměrné, každý port (tzn. osmice digitálních signálů) lze individuálně nastavit jako vstupní nebo výstupní. Aktuální stav portu lze zjistit čtením registru; v případě konfigurace jako vstupní port je čten stav vstupních signálů, v případě konfigurace jako výstupní port lze zpětně číst data zapsaná do výstupního registru.

Další podrobnosti jsou patrné z obrázku níže (zakreslen jeden osmibitový port, část se žlutým podkladem je v kartě obsažena třikrát).



Druhá trojice digitálních portů (tzn. porty 3, 4 a 5) je konfigurována pevně jako vstupní.

Rozmístění portů na konektorech karty

První tři porty (tzn. 0, 1 a 2) jsou vyvedeny na konektory KX1+KX3 na zadní straně karty (jsou zpřístupněny kabelovými reduklemi), další trojice (tzn. 3, 4 a 5) pak na konektor D-Sub 25 na štítku karty.

Poznámka: Ačkoliv je druhá trojice v této příručce označována z pohledu registrové struktury jako porty 3, 4 a 5, tzn. signály DIO24 až DIO47, v uživatelské příručce byla pro popis zvolena běžnému uživateli přívětivější logika a signály jsou popsány jako digitální vstupy DIN00÷DIN23.

Poznámka: Funkce DIO portů včetně mapování všech registrů karet PCD-810x je identická s kartami PCT-8424/25/26. Funkce a mapování registrů prvních tří DIO portů jsou identické u všech DAQ PCIe karet.

4.3 Registry DINReg0, ... , DINReg5 (RD)

Tyto registry slouží ke čtení stavu digitálního portu, každý bit registru zpřístupňuje jeden signál osmibitového digitálního portu (bity D0 registrů zpřístupňují signály DIO00/08/.../40; bity D7 zpřístupňují DIO07/15/.../47).

Je-li port konfigurován jako vstupní, je čtena hodnota přiváděná na signály. Je-li port konfigurován jako výstupní, je čten aktuální stav definovaný DOUT registrem.

4.4 Registry DINReg(2-0) a DINReg(5-3) (RD)

Tyto registry jsou alternativou k osmibitovým registrům popsaným v předešlém odstavci a slouží ke čtení stavu trojice digitálních portů.

Registr DINReg(2-0) slučuje funkce registrů DINReg0, DINReg1 a DINReg2, tzn. přenáší na bitech D23÷D00 hodnotu portů DIO23÷DIO00, nejvyšších osm bitů je nulových.

Registr DINReg(5-3) slučuje funkce registrů DINReg3, DINReg4 a DINReg5, tzn. přenáší na bitech D23÷D00 hodnotu portů DIO47÷DIO24, nejvyšších osm bitů je nulových.

Je-li port konfigurován jako vstupní, je čtena hodnota přiváděná na signály. Je-li port konfigurován jako výstupní, je čten aktuální stav definovaný DOUTReg registrem.

4.5 Registry DOUTReg0, ... , DOUTReg2 (WR)

Tyto registry slouží k ovládání stavu výstupního digitálního portu, každý bit registru zpřístupňuje jeden signál osmibitového digitálního portu (bity D0 registrů ovládají signály DIO00/08/23; bity D7 zpřístupňují DIO07/15/23).

Je-li port konfigurován jako vstupní, lze do DOUTReg registru zapisovat, avšak jeho obsah neovlivňuje stav signálů. Je-li port konfigurován jako výstupní, definuje tento registr stav výstupních signálů.

4.6 Registry DOUTReg(2-0) (WR)

Tento registr je alternativou k osmibitovým registrům popsaným v předešlém odstavci a slouží ke ovládání stavu trojice digitálních portů.

Registr slučuje funkce registrů DOUTReg0, DOUTReg1 a DOUTReg2, tzn. přenáší na bitech D23÷D00 hodnotu portů DIO23÷DIO00, nejvyšších osm bitů je ignorováno.

4.7 Registr DIOfgReg (WR/RD)

Tento registr slouží ke konfiguraci obousměrných DIO portů jako vstupních nebo výstupních.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV					DIR2	DIR1	DIR0

DIR0	řízení směru přenosu portu DIO0	0	výstupy DOUT registru jsou deaktivovány, port pracuje jako vstupní
		1	výstupy DOUT registru jsou aktivovány, port pracuje jako výstupní
DIR1	řízení směru přenosu portu DIO1	0	výstupy DOUT registru jsou deaktivovány, port pracuje jako vstupní
		1	výstupy DOUT registru jsou aktivovány, port pracuje jako výstupní
DIR2	řízení směru přenosu portu DIO2	0	výstupy DOUT registru jsou deaktivovány, port pracuje jako vstupní
		1	výstupy DOUT registru jsou aktivovány, port pracuje jako výstupní
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)		

5. Registry pro obsluhu obvodů detekce hran

5.1 Úvod

V následujících odstavcích budou popsány registry určené pro obsluhu obvodů detekce hran, viz přehled v 3. kapitole.

Přehled registrů:

DINREReg(2-0)	povolení detekce náběžné hrany na signálech portů DIO00 až DIO23
DINREStatusReg(2-0)	příznaky detekce náběžné hrany na signálech portů DIO00 až DIO23
DINREClrReg(2-0)	nulování příznaků detekce náběžné hrany na signálech portů DIO00 až DIO23
DINFEReg(2-0)	povolení detekce sestupné hrany na signálech portů DIO00 až DIO23
DINFESStatusReg(2-0)	příznaky detekce sestupné hrany na signálech portů DIO00 až DIO23
DINFEClrReg(2-0)	nulování příznaků detekce sestupné hrany na signálech portů DIO00 až DIO23
DINREReg(5-3)	povolení detekce náběžné hrany na signálech portů DIO24 až DIO47
DINREStatusReg(5-3)	příznaky detekce náběžné hrany na signálech portů DIO24 až DIO47
DINREClrReg(5-3)	nulování příznaků detekce náběžné hrany na signálech portů DIO24 až DIO47
DINFEReg(5-3)	povolení detekce sestupné hrany na signálech portů DIO24 až DIO47
DINFESStatusReg(5-3)	příznaky detekce sestupné hrany na signálech portů DIO24 až DIO47
DINFEClrReg(5-3)	nulování příznaků detekce sestupné hrany na signálech portů DIO24 až DIO47
DINREIRQReg(2-0)	povolení přerušení od obvodů detekce hran (detekce náběžné hrany na DIO portech 0, 1 a 2)
DINFEIRQReg(2-0)	povolení přerušení od obvodů detekce hran (detekce sestupné hrany na DIO portech 0, 1 a 2)
DINREIRQReg(5-3)	povolení přerušení od obvodů detekce hran (detekce náběžné hrany na DIO portech 3, 4 a 5)
DINFEIRQReg(5-3)	povolení přerušení od obvodů detekce hran (detekce sestupné hrany na DIO portech 3, 4 a 5)

5.2 Registry DINREReg a DINFEReg (WR)

Tyto registry slouží k povolení detekce náběžné (DINREReg), resp. sestupné (DINFEReg) hrany na signálech DIO portů.

Registry mají významných 24 nejnižších bitů (bit D0 hodnotou 1 povoluje detekci hrany na signálu portu DIO00, resp. DIO24; bit D23 hodnotou 1 povoluje detekci hrany na signálu portu DIO23, resp. DIO47), nejvyšších osm bitů je ignorováno a z důvodu dopředné kompatibility je doporučeno zapisovat hodnotu 0.

5.3 Registry DINREStatusReg a DINFESStatusReg (RD)

Tyto registry slouží k zjištění stavu příznaků obvodů detekce hran povolovaných registry DINREReg a DINFEReg.

Registry mají významných 24 nejnižších bitů (bit D0 signalizuje hodnotou 1 nastavený příznak detekované hrany na signálu portu DIO00, resp. DIO24; bit D23 signalizuje hodnotou 1 nastavený příznak detekované hrany na signálu portu DIO23, resp. DIO47), nejvyšších osm bitů je trvale nulováno.

5.4 Registry DINREClrReg a DINFEClrReg (WR)

Tyto registry slouží k nulování příznaků obvodů detekce hran povolovaných registry DINREReg a DINFEReg.

Registry mají významných 24 nejnižších bitů (bit D0 hodnotou 1 nuluje nastavený příznak detekované hrany na signálu portu DIO00, resp. DIO24; bit D23 hodnotou 1 nuluje nastavený příznak detekované hrany na signálu portu DIO23, resp. DIO47; zápis hodnoty 0 stav příznaku nemění), nejvyšších osm bitů je ignorováno a z důvodu dopředné kompatibility je doporučeno zapisovat hodnotu 0.

Zápis do registru generuje krátký pulz, následný zápis 0 proto není vyžadován.

5.5 Registry DINREIRQReg a DINFEIRQReg (WR)

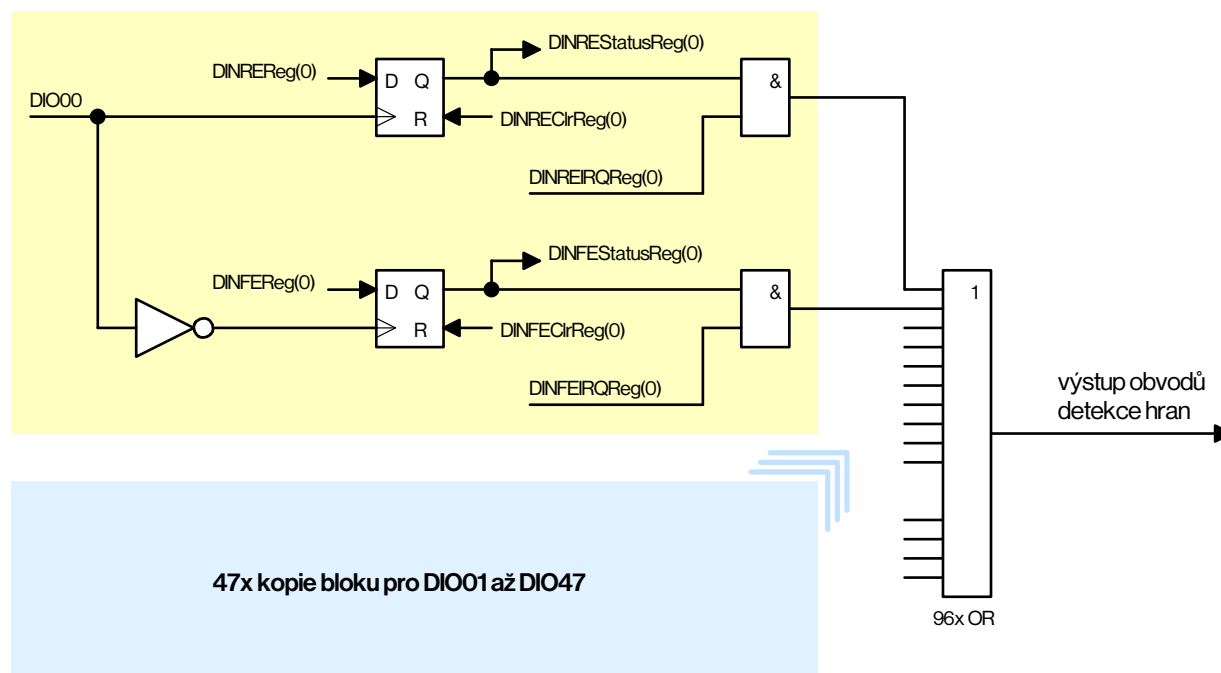
Tyto registry slouží k povolení vyvolání přerušení systému příznaky obvodů detekce hran.

Registry mají významných 24 nejnižších bitů (bit D0 hodnotou 1 povoluje vyvolat přerušení příznakem navázaným na signál portu DIO00, resp. DIO24; bit D23 hodnotou 1 povoluje vyvolat přerušení příznakem navázaným na signál portu DIO23, resp. DIO47), nejvyšších osm bitů je ignorováno a z důvodu dopředné kompatibility je doporučeno zapisovat hodnotu 0.

Podrobnější informace lze nalézt v obrázku a popisu uvedeném v následujícím odstavci, resp. v samostatné kapitole věnované obvodům přerušení.”

5.6 Schéma registrové struktury obvodů detekce hran

Na níže uvedeném obrázku je pro lepší porozumění souvislostí zakresleno schéma obvodů detekce hran a návaznost na obvody přerušení (viz popis v samostatné kapitole).



Každý DIO_{xx} signál je vybaven identickými obvody umožňujícími detekovat nezávisle náběžnou nebo sestupnou hranu. Žlutě vyznačená část zachycuje přesné řešení obvodů pro signál DIO00, modře vyznačená část pak znázorňuje identické obvody pro signály DIO01 až DIO47.

Všech 96 příznaků DINREStatus a DINFEStatus umožňuje vyvolat přerušení. Příznaky jsou v prvním kroku zpracovány AND hradly (signály DINREIRQReg a DINFEIRQReg úrovní 1 povolují průchod příznaků) a v druhém kroku OR hradlem. Jak je patrné ze schéma obvodů přerušení (viz popis v samostatné kapitole), přerušení systému je vyvoláno první detekovanou hranou, tzn. přechodem výstupu OR hradla z nulové hodnoty do nenulové. Pro další vyvolání přerušení je tedy nezbytné, aby programová obsluha přerušení zpracovala všechny požadavky o přerušení (viz popis v samostatné kapitole) a následně vynulovala všechny příznaky obvodů detekce hran.

6. Registry pro obsluhu přerušení

6.1 Úvod

V následujících odstavcích budou popsány registry související s obvody pro přerušení systému, viz přehled v 3. kapitole.

Přehled registrů:

INTEnReg	propojení obvodů detekce přerušení (všechny registry popsané v této kapitole) s obvody karty generujícími přerušení systému (INTA nebo MSI)
IRQCfgReg	povolení základních zdrojů přerušení
IRQStatusReg	příznaky základních zdrojů přerušení
IRQClrReg	nulování základních příznaků přerušení
TimerReg	generátor časových značek pro periodické vyvolávání přerušení

Poznámka: S obvody přerušení přímo souvisí i registry obvodů detekce hran popsané v samostatné kapitole.

6.2 Funkce obvodů pro obsluhu přerušení

Obvody pro obsluhu přerušení umožňují vyvolat přerušení systému jedním ze zdrojů, případně zvolenou kombinací zdrojů přerušení. Karta disponuje těmito zdroji přerušení:

Generátor časových značek

Umožňuje vyvolávat přerušení se zvolenou časovou periodou v rozsahu 1÷255 ms.

Digitální vstupy - režim kompatibilní s DAQ PCI kartami

Umožňuje vyvolávat přerušení sestupnou hranou vybraných signálů DIO portů.

Digitální vstupy - obvody detekce hran DAQ PCI Express karet

Umožňuje vyvolávat přerušení libovolnou kombinací náběžných a sestupných hran na všech signálech DIO portů.

Pro správnou obsluhu je potřeba vzít v úvahu, že přerušení systému je vyvoláno první detekovanou událostí, tzn. přechodem obsahu IRQStatusReg registru z nulové hodnoty do nenulové. Pro další vyvolání přerušení je tedy nezbytné, aby programová obsluha přerušení zpracovala všechny požadavky detekované od vyvolání přerušení do vykonání této obsluhy a vynulovala všechny nastavené příznaky.

6.3 Registr INTEnReg (WR)

Tento registr slouží k propojení obvodů detekce přerušení (všechny registry popsané v této kapitole) s obvody karty generujícími přerušení systému (INTA nebo MSI).

D7	D6	D5	D4	D3	D2	D1	D0
INTEN	RSRV						

INTEN	aktivace obvodů pro řízení INTA/MSI
	0 záchytný registr generující řídicí signál INTA, popř. generující MSI je trvale nulován
	1 funkce záchytného registru je aktivována, tzn. karta může vyvolat přerušení systému
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

6.4 Registr IRQCfgReg (WR)

Tento registr slouží k povolení základních zdrojů přerušení.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	DIN-X	RSRV	TIM	IRQ3	IRQ2	IRQ1	IRQ0

IRQ0	povoluje vyvolání přerušení odvozené od sestupné hrany digitálního portu DIO00 0 záchytný registr navázaný na digitální vstup je blokován 1 funkce záchytného registru je aktivována
IRQ1	povoluje vyvolání přerušení odvozené od sestupné hrany digitálního portu DIO08 0 záchytný registr navázaný na digitální vstup je blokován 1 funkce záchytného registru je aktivována
IRQ2	povoluje vyvolání přerušení odvozené od sestupné hrany digitálního portu DIO16 0 záchytný registr navázaný na digitální vstup je blokován 1 funkce záchytného registru je aktivována
IRQ3	povoluje vyvolání přerušení odvozené od sestupné hrany digitálního portu DIO24 0 záchytný registr navázaný na digitální vstup je blokován 1 funkce záchytného registru je aktivována
TIM	povoluje vyvolání přerušení odvozené od generátoru časových značek 0 záchytný registr navázaný na generátor časových značek je blokován 1 funkce záchytného registru je aktivována
DIN-X	povoluje vyvolání přerušení odvozené od obvodů detekce hran 0 záchytný registr navázaný na obvody detekce hran je blokován 1 funkce záchytného registru je aktivována
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

6.5 Registr IRQStatusReg (RD)

Tento registr slouží k zjištění stavu záchytných registrů povolovaných registrem IRQCfgReg.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	DIN-X	RSRV	TIM	IRQ3	IRQ2	IRQ1	IRQ0

IRQ0	stav záchytného registru navázaného na digitální vstup DIO00 0 registr není nastaven, tzn. od posledního nulování nedošlo k detekci sestupné hrany 1 registr je nastaven, tzn. od posledního nulování došlo k detekci sestupné hrany
IRQ1	stav záchytného registru navázaného na digitální vstup DIO08 0 registr není nastaven, tzn. od posledního nulování nedošlo k detekci sestupné hrany 1 registr je nastaven, tzn. od posledního nulování došlo k detekci sestupné hrany
IRQ2	stav záchytného registru navázaného na digitální vstup DIO16 0 registr není nastaven, tzn. od posledního nulování nedošlo k detekci sestupné hrany 1 registr je nastaven, tzn. od posledního nulování došlo k detekci sestupné hrany
IRQ3	stav záchytného registru navázaného na digitální vstup DIO24 0 registr není nastaven, tzn. od posledního nulování nedošlo k detekci sestupné hrany 1 registr je nastaven, tzn. od posledního nulování došlo k detekci sestupné hrany
TIM	stav záchytného registru navázaného na generátor časových značek 0 registr není nastaven, tzn. od posledního nulování nedošlo k vygenerování časové značky 1 registr je nastaven, tzn. od posledního nulování došlo k vygenerování časové značky
DIN-X	stav záchytného registru navázaného na obvody detekce hran 0 registr není nastaven, tzn. od posledního nulování nedošlo k požadavku o přerušení 1 registr je nastaven, tzn. od posledního nulování došlo k požadavku o přerušení
RSRV	rezerva (z důvodu dopředné kompatibility je doporučeno hodnoty ignorovat)

6.6 Registr IRQClrReg (WR)

Tento registr slouží k nulování záchytných registrů povolovaných registrem IRQCfgReg.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	DIN-X	RSRV	TIM	IRQ3	IRQ2	IRQ1	IRQ0

IRQ0	nuluje stejnojmenný záchytný registr v IRQStatusReg 0 bez významu, stav záchytného registru není modifikován 1 záchytný registr je vynulován (generuje krátký pulz, následný zápis 0 není vyžadován)
IRQ1	nuluje stejnojmenný záchytný registr v IRQStatusReg 0 bez významu, stav záchytného registru není modifikován 1 záchytný registr je vynulován (generuje krátký pulz, následný zápis 0 není vyžadován)
IRQ2	nuluje stejnojmenný záchytný registr v IRQStatusReg 0 bez významu, stav záchytného registru není modifikován 1 záchytný registr je vynulován (generuje krátký pulz, následný zápis 0 není vyžadován)
IRQ3	nuluje stejnojmenný záchytný registr v IRQStatusReg 0 bez významu, stav záchytného registru není modifikován 1 záchytný registr je vynulován (generuje krátký pulz, následný zápis 0 není vyžadován)
TIM	nuluje stejnojmenný záchytný registr v IRQStatusReg 0 bez významu, stav záchytného registru není modifikován 1 záchytný registr je vynulován (generuje krátký pulz, následný zápis 0 není vyžadován)
DIN-X	nuluje stejnojmenný záchytný registr v IRQStatusReg 0 bez významu, stav záchytného registru není modifikován 1 záchytný registr je vynulován (generuje krátký pulz, následný zápis 0 není vyžadován)
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

6.7 Registr TimerReg (WR, RD)

Tento registr slouží k ovládní generátoru časových značek určeného pro periodické vyvolávání přerušení.

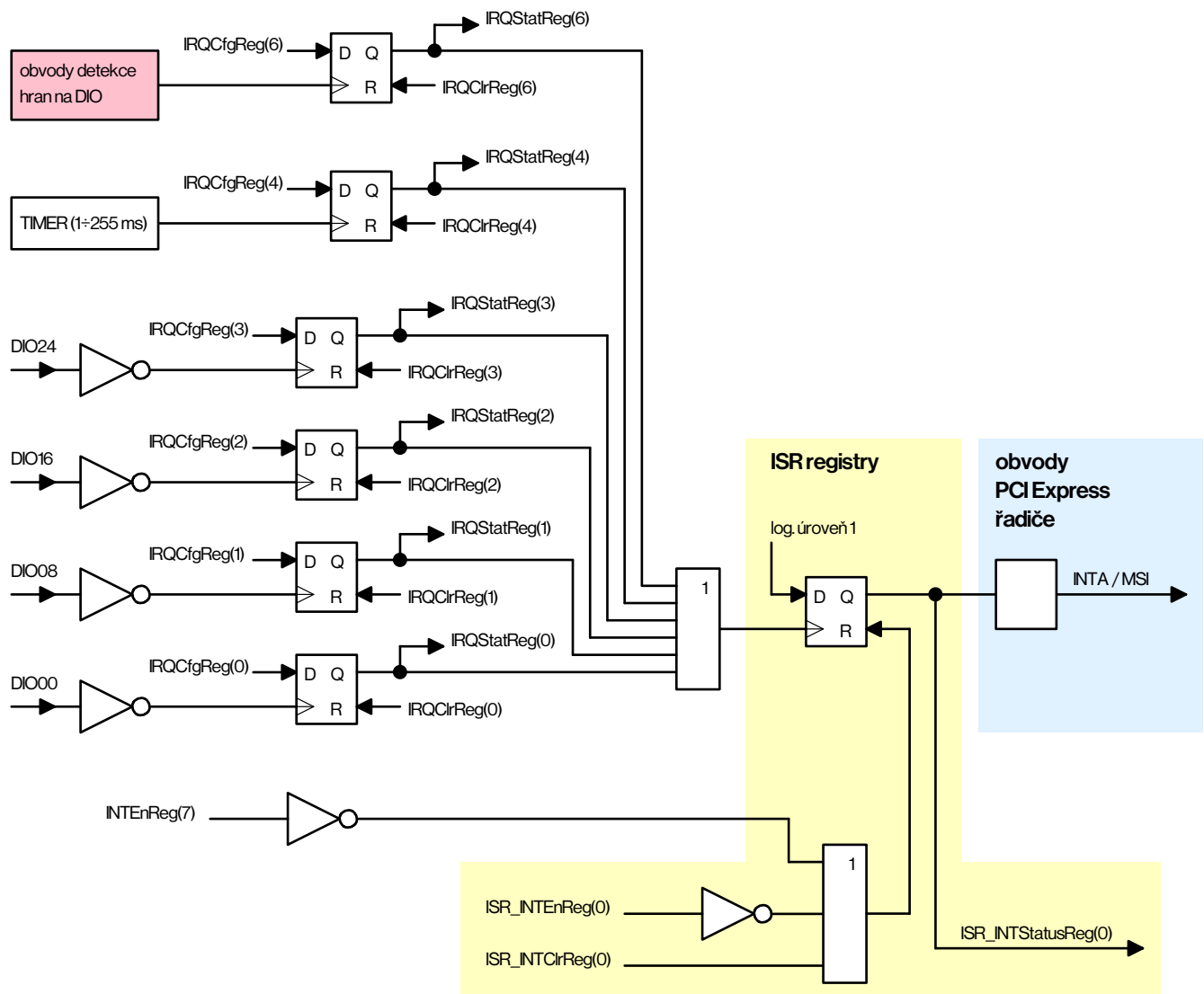
Počáteční hodnota registru je nulová a generátor časových značek je blokován. Zápisem nenulové hodnoty je generátor odstartován, perioda je definovaná zapsanou hodnotou v milisekundách. Zápisem nulové hodnoty je generátor zastaven.

Registr má význam i pro čtení (je čtena aktuální hodnota čítače inkrementovaného od nuly každou milisekundu až do zadané hodnoty zmenšené o jedna).

Pro příklad, zápisem hodnoty 100 bude první přerušení vyvoláno 100 ms po zápisu do registru a následně vždy po dalších 100 ms. Čtením budou získávány hodnoty 0, 1, ..., 98, 99, 0, 1, ..., přerušení je vyvoláno v okamžik přechodu z 99 na 0.

6.8 Schéma registrové struktury

Na níže uvedeném obrázku je pro lepší porozumění souvislostí zakresleno schéma základní části registrové struktury, podrobné řešení obvodů detekce hran (červeně vyznačená část) je zakresleno na samostatném obrázku v kapitole věnované této části karty.



Žlutě vyznačené obvody musejí být řízeny v rámci ISR, ostatní mohou být obsluhovány v rámci uživatelského programu, aplikačního ovladače (zpravidla DLL v případě Windows) nebo také v rámci ISR.

Signály `ISR_INTEnReg(0)` a `ISR_INTClrReg(0)` jsou implementovány identicky u všech DAQ PCIe karet TEDIA a umožňují unifikovat ISR obsluhu. Signál `ISR_INTEnReg(0)` je po startu karty v logické úrovni 1 a neblokuje tedy funkci signálu `INTEnReg(7)`, pro vytváření specifického systémového ovladače lze proto využít i řízení pomocí `INTEnReg(7)`.

Signály `ISR_INTEnReg(0)` a `ISR_INTClrReg(0)` využívá systémový ovladač `tedia_ep4gxa` pro Windows. V rámci aplikačního ovladače je potřeba při konfiguraci zdrojů přerušeni nastavit registr `INTEnReg(7)` do logické úrovně 1 a při ukončení požadavku o podporu přerušeni (zpravidla při ukončování programu) pak registr nastavit zpět do logické úrovně 0; vlastní deaktivaci INTA/MSI pomocí signálu `ISR_INTClrReg(0)` provádí ISR v kernel části ovladače automaticky.

Poznámka: Všechny registry `ISR_***` jsou mapovány v BAR2 a jejich popis přesahuje rámec této příručky.

7. Pomocné diagnostické registry (společné všem typům karet)

7.1 Úvod

V následujících odstavcích budou popsány pomocné diagnostické registry, viz přehled v 3. kapitole.

Přehled registrů:

CardResetReg	registr sloužící k nastavení všech registrů karty do definovaného stavu
CardResetStatusReg	registr informující o probíhající nastavení všech registrů karty do definovaného stavu
CardSerNrReg	konstanta definující unikátní výrobní číslo karty
CardIDReg	registr pro čtení stavu DIP spínače (umožňuje identifikovat až 4 karty stejného typu)
FPGATypeReg	konstanta označující typ firmware hradlového pole FPGA (standardní, zakázkový apod.)
FPGAVerReg	konstanta označující verzi firmware hradlového pole FPGA

7.2 Registr CardResetReg (WR)

Zápisem hodnoty 5043384B_H do tohoto registru dojde k okamžitému resetu (tzn. vynulování, není-li v popisu registru výslovně uvedeno jinak) všech registrů s výjimkou všech DOUTReg registrů a DIOCfgReg registru.

Bezprostředně po resetu registrů dochází k načtení obsahu EEPROM a uložení načtených hodnot do vybraných registrů (v případě PCD-810x jde o všechny datové registry digitálních výstupů a registr DIOCfgReg pro konfiguraci portů); operace trvá typicky 1 ms a její průběh je signalizován stavovým registrem CardResetStatusReg.

7.3 Registr CardResetStatusReg (RD)

Tento registr zpřístupňuje příznak signalizující probíhající nastavení všech registrů karty do definovaného stavu vyvolaného registrem CardResetReg.

Registr má významný pouze nejnižší bit (všechny ostatní jsou trvale nulové); stavový bit hodnotou 1 signalizuje probíhající nastavení registrů karty (tzn. reset většiny registrů a následné načítání obsahu EEPROM a ukládání načtených hodnot do vybraných registrů), hodnota 0 pak odpovídá klidovému stavu.

7.4 Registr CardSerNrReg (RD)

Tento registr zpřístupňuje unikátní výrobní číslo karty formátu 32bitového celého čísla.

7.5 Registr CardIDReg (RD)

Tento registr zpřístupňuje stav dvousegmentového DIP spínače a umožňuje tak vzájemně odlišit až 4 karty stejného typu instalované v systému.

Registr je mapován duplicitně na dvou adresách, data jsou přenášena na nejnižších dvou bitech, horních šest bitů (resp. 30 bitů) je trvale nulových.

7.6 Registr FPGATypeReg (RD)

Tento registr zpřístupňuje konstantu označující typ firmware FPGA v rozsahu 0 až 255.

Registr je mapován duplicitně na dvou adresách, data jsou přenášena osmi bity, v případě 32bitového registru je horních 24 bitů trvale nulových.

Poznámka: Hodnota typu standardního firmware karty je uvedena v 1. kapitole.

7.7 Registr FPGAVerReg (RD)

Tento registr zpřístupňuje konstantu označující verzi firmware FPGA v rozsahu 0 až 255.

Registr je mapován duplicitně na dvou adresách, data jsou přenášena osmi bity, v případě 32bitového registru je horních 24 bitů trvale nulových.

Poznámka: Hodnota aktuální verze standardního firmware karty je uvedena v 1. kapitole.

8. Registry v adresových prostorech BAR1 a BAR2

8.1 Úvod

Zatímco předešlé kapitoly popisovaly až na označené výjimky funkční registry v adresovém prostoru BAR0, následující odstavce budou věnovány registrům v adresových prostorech BAR1 a BAR2.

BAR1 obsahuje především servisní registry (rozhraní pro update firmware FPGA, kalibrační konstanty, hodnoty definující obsah např. registrů DOUT po resetu, ...)

BAR2 obsahuje především registry obsluhované ovladačem z jádra operačního systému

Upozornění: *Registry mapované v adresových prostorech BAR1 a BAR2 podléhají změnám v závislosti na verzi firmware a na rozdíl od funkčních registrů v BAR0 není garantována zpětná ani dopředná kompatibilita. Software, který tyto registry využívá, proto musí vyhodnocovat a své funkce přizpůsobovat nejen typu karty, ale i obsahu registrů FPGATypeReg a FPGAVerReg.*

8.2 Adresový prostor BAR1

Adresový prostor BAR1 obsahuje především servisní registry (rozhraní pro update firmware FPGA, kalibrační konstanty, hodnoty definující obsah např. registrů DOUT po resetu, ...) a jejich popis přesahuje rámec této příručky.

V odůvodněném případě se lze obrátit na technickou podporu se žádostí a poskytnutí specifikace registrů.

8.3 Adresový prostor BAR2

Adresový prostor BAR2 obsahuje především registry související s obsluhou přerušení, popř. určené pro řízení DMA přenosů, obsluhované ovladačem z jádra operačního systému.

V odůvodněném případě se lze obrátit na technickou podporu se žádostí a poskytnutí specifikace registrů.

Několik slov o TEDIA® spol. s r. o.

TEDIA® spol. s r. o. je ryze českým výrobcem měřicí a průmyslové elektroniky s vlastním vývojovým, výrobním a servisním zázemím s tradicí od roku 1994.

Společnost je od roku 2002 **řádným členem PCI Special Interest Group**, organizace odpovědné za standardizaci a vývoj sběrnic PCI a PCI Express.

Aktuální nabídka výrobků a služeb

Komponenty pro PC systémy

- multifunkční karty pro laboratorní a průmyslové aplikace (A/D převodníky, D/A převodníky, digitální porty, IRC a registrační čítače, ...)
- dceřiné desky pro úpravu signálů (izolační zesilovače, multiplexery, výkonové výstupy, ...)
- podpora sběrnic ISA, PC/104, PCI a PCI Express

Komponenty pro distribuované systémy - stavebnice modulů MicroUnit serie

- kompletní sortiment inteligentních I/O modulů (analogové vstupy a výstupy, digitální porty, čítače, ...)
- komunikace s nadřazeným systémem rozhraním RS-485, RS-422, RS-232 nebo LAN
- protokoly AlBus-2 (firemní komunikační protokol) a standardní Modbus RTU
- průmyslové provedení v pouzdru pro montáž na lištu DIN 35 mm
- speciální typy v zakázkovém provedení nebo LCD moduly pro montáž na čelní panel rozváděče

Komponenty pro komunikaci v průmyslovém prostředí

- komunikační karty pro sběrnic ISA, PC/104, PCI a PCI Express
- jedno, dvou a čtyřportové karty s řadiči UART s podporou rozhraní RS-232, RS-422 a RS-485
- konvertory a repeatery komunikačních rozhraní RS-232, RS-422 a RS-485 v pouzdru pro montáž na lištu DIN 35 mm
- miniaturní izolované USB konvertory pro rozhraní RS-232 a RS-485

Komponenty pro mobilní měřicí systémy

- multifunkční moduly pro nasazení v laboratořích a zkušebnách
- USB nebo LAN konektivita

Software

- vývoj univerzálních Windows ovladačů a ovladačů pro Control Web ovladačů pro naše výrobky
- jako oem partner dodáváme všechny komponenty systém Control Web
- dodáváme systém ScopeWin pro laboratorní nebo průmyslová měření a analýzu dat

Zakázkový vývoj a výroba elektroniky

- zkušenosti s vývojem více než stovky typů zásuvných PC karet a téměř 400 typů mikropočítačových desek
- speciální elektronika vybavená rozhraním a technologiemi, se kterými již máme zkušenosti
 - počítačové sběrnic PCI, PCI Express, ISA, USB, ethernet, ...
 - rutinní vyžívání hradlových polí FPGA a CPLD Altera
 - mikropočítače Cortex M3/M4, výkonné mikropočítače řady ˆ51
 - zpracování analogových signálů z technologických čidel (termočlánky, odporová čidla, tenzometry, inkrementální snímač, LVDT, ...)
 - aplikace A/D převodníků s vysokým rozlišením nad 20 bitů nebo vzorkovací frekvencí desítek MHz
 - zpracování a analýza signálů v reálném čase pomocí FPGA (FIR, DFT, ...)
- výroba zajištěna vlastním osazovacím automatem a pájecí pecí pracující na principu nasycených par
- zkušební laboratoř vybavená mj. klimatizační komorou pro zkoušky chladem, suchým teplem a vlhkým teplem podle norem ČSN EN 60068
- další informace viz <http://www.tedia.cz/vyvoj>



Member of PCI Special Interest Group

Vývoj, výroba, obchod, servis, technická podpora:

adresa: TEDIA[®] spol. s r. o.
Zábělská 12
31211 Plzeň
Česká republika

internet: <http://www.tedia.cz>
<http://www.pci.cz>

telefon: +420 373730421 (základní číslo)
+420 373730426 (technická podpora)

fax: +420 373730420

e-mail: aktuální informace najdete na adresách
<http://www.tedia.cz/kontakty>
<http://www.tedia.cz/podpora>