

**PCI-685**

porty RS-422/485

## Důležité upozornění !

Při zacházení s kartou dbejte zásad maní pulace s obvody citlivými na poškození elektrostatickým nábojem.

Instalaci provádějte zásadně při vypnutém počítači a vždy odpojte síťový kabel a přívodní vodiče karty !

Při nedodržení uvedených pravi del může dojít k trvalému poškození citlivých obvodů PC karty nebo celého počítače.

Uži vatelská příručka a její součásti jsou autorským dílem chráněným ustanovením zákona č. 35/1965 Sb. o dílech li terárních, vědeckých a uměleckých (Autorský zákon) ve znění zákona č. 89/1990 Sb., zákona č. 468/1991 Sb., zákona č. 318/1993 Sb., zákona č. 237/1995 Sb. a zákona č. 86/1996 Sb.

Všechna jména a názvy použi té v textu mohou být chráněnými známkami nebo obchodními názvy výrobků příslušných firem.

© 1994÷2000 TEDIA spol. s r. o.

Záruční a pozáruční servis:

TEDIA spol. s r. o., Zábělská 12, 312 11 Plzeň 12

telefon: 019 7478168  
fax: 019 7478169  
e-mail: [tedia@tedia.cz](mailto:tedia@tedia.cz)  
internet: <http://www.tedia.cz>

# Obsah

1.	Úvodní popis	
1.1.	Charakteristika	I - 1
2.	Technické parametry	
2.1.	Komunikační porty	I - 2
2.2.	Logika ADFC	I - 2
2.3.	Výstupní obvody	I - 2
2.4.	Ostatní údaje	I - 2
3.	Instalace karty	
3.1.	Úvod	I - 3
3.2.	Nastavení báze adresy	I - 3
3.3.	Volba signálu k řízení přenosu	I - 3
3.4.	Volba režimu linky	I - 3
3.5.	Nastavení parametrů ADFC	I - 3
3.6.	Volba kanálu přerušení	I - 4
3.7.	Vlastní instalace	I - 4
3.8.	Zapojení konektorů	I - 4
3.9.	Rozmístění propojek a konektorů	I - 4
3.10.	Speciální volby	I - 4
4.	UART 16C450	
4.1.	Úvod	I - 5
4.2.	Struktura registrů	I - 5
4.3.	Registr děličky oscilátoru	I - 5
4.4.	Výstupní registr linky	I - 5
4.5.	Vstupní registr linky	I - 5
4.6.	Registr povolení přerušení	I - 6
4.7.	Registr identifikace přerušení	I - 6
4.8.	Řídicí registr linky	I - 6
4.9.	Řídicí registr modemu	I - 7
4.10.	Stavový registr linky	I - 7
4.11.	Stavový registr modemu	I - 8
4.12.	Registr "Scratch"	I - 8
5.	UART 16C550	
5.1.	Úvod	I - 9
5.2.	Registr povolení přerušení	i - 9
5.3.	Registr identifikace přerušení	I - 9
5.4.	Stavový registr linky	I - 9
5.5.	Řídicí registr FIFO	I - 10

## 6. UART 16C750

6.1. Úvod	I - 11
6.2. Registr povolení přerušení	I - 11
6.3. Registr identifikace přerušení	I - 11
6.4. Řídicí registr FIFO	I - 11

### Přílohy:

Příloha II - tabulky

Příloha III - obrázky

# 1. Úvodní popis

## 1.1. Charakteristika

PC karta PCI-685 je výrobek moderní koncepce ze stavebnice karet CHALLENGE SERIE určené zejména pro nasazení v laboratorních a průmyslových automatizačních systémech a obsahuje dva porty sériových komunikačních linek standardu RS-422/RS-485.

K přednostem PC karty patří využití obvodů registrově kompatibilních se standardem Intel 8250 (Texas Instruments 16C550/750), jehož podpora je začleněna do všech běžných operačních systémů (MS-DOS, MS Windows, Windows 95/NT, UNIX, Linux, ...).

Výhodnou vlastností karty PCI-685 je i podpora méně obsazených kanálů přerušení IRQ10÷15, instalace obvodů pro automatické řízení směru přenosu linky standardu RS-485 s alternativní možností řízení signálem RTS nebo DTR a zařazení druhého taktovací generátoru pro komunikaci na nestandardních rychlostech. Narozdíl od běžných karet nabízí PCI-685 i více voleb I/O adresy.

Protože karta PCI-685 je určena pro počítače AT a vyšší, musí být pro plné využití umístěna do 16-bitového slotu počítače; v případě instalace v 8-bitovém slotu lze využít pouze kanály IRQ3 až IRQ9.

Celkový pohled na desku PCI-685 a její vnitřní obvodová struktura jsou zakresleny na obrázcích Obr.1. a Obr.2.

Svojí koncepcí je karta PCI-685 určena zejména pro:

- distribuované systémy řízení procesů
- automatizační prostředky
- komunikace s měřicími systémy
- přenos dat mezi počítači

PC karta standardně obsahuje:

- dva nezávislé galvanicky oddělené komunikační porty RS-422/RS-485
- interfaceové obvody s přepětovou ochranou a zakončovacími impedancemi
- dvoukanálovou logiku pro automatické řízení směru přenosu linky RS-485 (tzv. funkce "Auto Data Flow Control", ADFC)
- logiku přerušení s podporou všech dostupných kanálů (IRQ3 ÷ IRQ15)
- indikační diody LED pro signalizaci aktivity portu



*Karta může být zakázkově doplněna o druhý generátor baudové rychlosti.*

## 2. Technické parametry

### 2.1. Komunikační porty

počet portů:	2
podporovaná rozhraní:	RS-422, RS-485
přenášené signály:	TXD, RXD
řízení směru přenosu RS-485:	ADFC, RTS, DTR
komunikační řadič - UART:	TL16C550 (PCI-685) TL16C750 (PCI-685H)
základní oscilátor:	1.8432MHz
doplňkový oscilátor:	max. 16MHz
přenosová rychlost:	50Bd ÷ 115.2kBd (oscilátor 1.8432 MHz) max. 1000kBd (doplňkový oscilátor)
délka znaku:	5, 6, 7, 8 bitů
parita:	lichá, sudá, bez parity
stop bit:	1, 1.5, 2

### 2.2. Logika ADFC

metoda řízení:	mikropočítačem řízená logika
pracovní režimy:	100% podpora módů UART
přenosová rychlost:	115,2kBd max.
programování ADFC:	paralelně s UART
přesah rámce dat:	0 ÷ 12 znaků (voleno propojkou)

### 2.3. Výstupní obvody

typ budičů linky:	SN75176
výstupní úroveň H:	3.7V typ. ( $I_Z = 33\text{mA}$ )
výstupní úroveň L:	1.1V typ. ( $I_Z = 33\text{mA}$ )
zatěžovací proud:	60mA max.
vstupní impedance:	12k $\Omega$ min.
vstupní rozdílové napětí:	0.2V min.
zakončovací impedance:	120 $\Omega$ /1.3 V
ochranné prvky:	transily 5.8V (400 $\Omega$ /1ms)

### 2.4. Ostatní údaje

sběrnice:	ISA, 62 + 36 pin
I/O adresa:	200 <sub>H</sub> ÷ 3F8 <sub>H</sub> (8 vybraných intervalů)
délka intervalu I/O adres:	8
IRQ kanál:	IRQ3÷IRQ15
napájení:	+5V (max. 900 mA)
izolační napětí:	1000V <sub>DC</sub> max.
rozměry desky:	cca 85 x 185 mm
doporučená délka vodičů:	1200m max.
EMC:	ČSN EN 55022 ČSN EN 50081-1 ČSN EN 50082-1

## 3. Instalace karty

### 3.1. Úvod

Při výrobě bylo dbáno na dosažení vysoké kvality a spolehlivosti, rovněž byla věnována pozornost důkladné kontrole před expedicí. Aby nedošlo ke snížení jakosti či poškození při instalaci, doporučujeme Vám pečlivě prostudovat tuto příručku a postupovat podle uvedeného návodu.

Nastavení desky je prováděno pomocí řady propojek; každý port je konfigurován odděleně svojí skupinou a význam segmentů je totožný pro oba porty. Obvody portu SIO1 jsou konfigurovány propojkami JP1x, obvody portu SIO2 pak propojkami JP2x.

### 3.2. Nastavení báze adresy

Bázovou adresu obou portů lze nastavit na vybrané adresy z rozsahu 200<sub>H</sub> až 3F8<sub>H</sub>. Volba se provádí prostřednictvím propojek JP12/JP22; význam segmentů je vyznačen v tabulce Tab.1.

Při volbě je však třeba dbát, aby nedošlo ke kolizi s ostatními instalovanými I/O zařízeními. Seznam standardních zařízení umístěných v tomto intervalu adres je uveden v tabulce Tab.2.

### 3.3. Volba signálu k řízení přenosu

K řízení výstupních budičů do stavu "vysílání" a "příjem" lze využít jednoho ze dvou signálů RTS/DTR nebo aktivovat obvody ADFC. Při komunikaci rozhraním RS-422 je navíc k dispozici možnost trvalé aktivace budičů.

Pro konfiguraci je určena část propojek JP14/JP24; podrobně viz tabulka Tab.3.

### 3.4. Volba režimu linky

Karta PCI-685 podporuje standardní rozhraní RS-422 (čtyřvodičové duplexní vedení) a RS-485 (poloduplexní dvouvodičové vedení). K volbě jednoho ze standardů je určena část propojek JP14/JP24; podrobně viz tabulka Tab.4.



*Kromě uvedených módů je rovněž podporován režim RS-485 s tzv. funkcí "echo", při kterém jsou přijímána i vlastní vysílaná data (při standardním RS-485 režimu je po dobu vysílání příjem dat blokován). Pro využití tohoto režimu je nutné propojkou nastavit rozhraní RS-422 a na konektoru Cannon externě propojit odpovídající signály TX a RX.*

### 3.5. Nastavení parametrů ADFC

Výhodnou vlastností karty PCI-685 je programování většiny parametrů ADFC souběžně s inicializací UART (tzn. komunikačního řadiče); jedinou výjimku tvoří nastavení přesahu rámce vysílaných dat.

Pro konfiguraci jsou určeny propojky JP13/JP23; podrobně viz tabulka Tab.5.



*Volba parametrů ADFC je závislá na použitém komunikačním protokolu, resp. jeho časových prodlev pro komutaci linky (podrobně viz obrázek Obr.6.).*

### 3.6. Volba kanálu přerušení

Karta PCI-685 umožňuje nezávislou volbu IRQ kanálu pro každý z portů; pro konfiguraci jsou využity propojky JP11/JP21; podrobně viz tabulka Tab.6.

### 3.7. Vlastní instalace

Instalaci karty provádějte zásadně při vypnutém počítači a dodržujte zásady pro manipulaci s obvody citlivými na poškození elektrostatickým nábojem. S kartou manipulujte za okraje a nedotýkejte se prsty součástí. Nakonfigurovanou kartu zasuňte po předchozím vyjmutí krycího štítku do volné pozice pro rozšiřující desky počítače a zajistěte šroubem.

### 3.8. Zapojení konektorů

Zapojení vývodů konektorů je zakresleno na obrázku Obr.3. a popis signálů je uveden v tabulce Tab.8. Připojení desky k systému standardu RS-422 nebo RS-485 je naznačeno na obrázcích Obr.4. a Obr.5.

Oproti běžným typům komunikačních karet jsou výstupní obvody portů vybaveny zakončovacími impedancemi; v případě využití je třeba zajistit externí propojení odpovídajících signálů podle tabulky Tab.7.

### 3.9. Rozmístění propojek a konektorů

Na obrázku Obr.1. je vyznačeno rozmístění jednotlivých propojek a konektorů na kartě PCI-685; význam jednotlivých prvků je zřejmý z předešlých odstavců.

### 3.10. Speciální volby

V případě zakázkové konfigurace je karta PCI-685 osazena druhým krystalovým oscilátorem umožňujícím nastavení nestandardních komunikačních rychlostí.

Verze PCI-685H je standardně osazována druhým oscilátorem 14.7456MHz, na zakázku však může být osazen krystal s frekvencí odlišnou.

Pro konfiguraci oscilátorů, resp. jejich přiřazení radičům UART jsou využity propojky JP15/JP25; podrobně viz obrázek Obr.1.



*Obvody oscilátoru s frekvencí nižší než 2,4MHz jsou z technických důvodů osazovány krystaly s 10x vyšší frekvencí.*

## 4. UART 16C450

### 4.1. Úvod

PC karta PCI-685 je alternativně osazena moderními řadiči UART standardu 16C550 nebo 16C750 s vyrovnávací pamětí FIFO. Tyto obvody jsou v základním "power on" módu kompatibilní se standardním řadičem sériové linky RS-232 typu 16C450 (= Intel 8250), ve "FIFO režimu" však umožňují bezproblémové využití nejvyšších přenosových rychlostí i v moderních operačních systémech.

Z důvodu dokumentování rozšířených funkcí výkonnějších řadičů budou následující odstavce věnovány popisu obvodu 16C450 a na závěr uvedeny odlišnosti obvodů Texas Instruments 16C550 a 16C750.

 *Komunikační porty osazené řadiči 16C550 jsou komerčně označovány jako "High Speed" a jsou podporovány moderními operačními systémy (např. Windows 95).*

### 4.2. Struktura registrů

Řadič komunikační linky 16C450 využívá pro svou činnost registry adresované přímo prostřednictvím I/O adresy a nepřímo pomocí speciálního bitu DLAB (součást řídicího registru linky); podrobně viz tabulka Tab.8.

### 4.3. Registr děličky oscilátoru (Base+0/1, DLAB=1, WR/RD)

Přenosová rychlost je definována zápisem do registru děličky oscilátoru podle vztahu

$$S_{\text{BAUD}} = f_{\text{OSC}} / (16 * N),$$

kde  $S_{\text{BAUD}}$  je výsledná rychlost (Bd),  $f_{\text{OSC}}$  je kmitočet taktovacího oscilátoru (Hz) a N je 16-bitová konstanta zapsaná do registru děličky oscilátoru.

Konstanty pro obvyklé generátory jsou uvedeny v tabulce Tab.9.

### 4.4. Výstupní registr linky (Base+0, DLAB=0, WR)

Tento registr slouží k uložení dat určených k vysílání. Převzetí dat, resp. stav tohoto registru je signalizován příslušným bitem ve stavovém registru linky, po zápisu jsou v případě nečinnosti vysílací části obvodu data předávána do posuvného registru (stav tohoto registru je rovněž signalizován bitem v stavovém registru linky) a výstupní registr linky je tak ihned uvolněn pro zápis dalších dat.

### 4.5. Vstupní registr linky (Base+0, DLAB=0, RD)

Tento registr slouží k uložení přijatých dat. Stav tohoto registru je signalizován příslušným bitem ve stavovém registru linky, nebo může být jeho zaplněním vyvoláno přerušení. Dojde-li k přijetí nových dat dříve, než byla předešlá z tohoto registru přečtena, dochází k jejich ztrátě; tento stav je rovněž signalizován bitem ve stavovém registru linky.

#### 4.6. Registr povolení přerušení (Base+1, DLAB=0, WR/RD)

Pomocí tohoto registru lze aktivovat nebo deaktivovat všechny čtyři zdroje přerušení, registr je po resetu vynulován.

Struktura registru je následující:

D7	D6	D5	D4	D3	D2	D1	D0
L	L	L	L	EMS	ERS	ETS	EDA

EDA povolení IRQ při příjmu - přenosu dat do vstupního registru  
ETS povolení IRQ při vyprázdnění výstupního registru linky  
ERS povolení IRQ při změně stavu linky přijímače  
EMS povolení IRQ při změně stavu modemu  
L bez významu, z důvodu dopředné kompatibility doporučena úroveň "0"

#### 4.7. Registr identifikace přerušení (Base+2, RD)

Pomocí tohoto registru lze identifikovat všechny zdroje přerušení; řadič jednotlivým zdrojů přiřazuje tuto prioritu. Všechny bity jsou po resetu vynulovány.

D7	D6	D5	D4	D3	D2	D1	D0
L	L	L	L	L	IRQ1	IRQ0	INT

INT úrovní L signalizuje, že došlo k přerušení  
IRQ1/0 00 přerušení vyvoláno změnou stavu linky  
01 přerušení vyvoláno přijetím dat do vstupního registru  
10 přerušení vyvoláno uvolněním vysílacího registru  
11 přerušení vyvoláno změnou stavu modemu  
L nevýznamné bity, trvale úroveň L

#### 4.8. Řídicí registr linky (Base+3, WR/RD)

Pomocí tohoto registru lze definovat formát přenášených dat; jeden bit plní navíc funkci nepřímého adresování registru děličky oscilátoru. Všechny bity registru jsou po resetu vynulovány. Význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
DLAB	SB	P1	P0	PEN	SP	LN1	LN0

LN1/0 definují délku přenášené informace v bitech  
00 5 bitů  
01 6 bitů  
10 7 bitů  
11 8 bitů

SP	definuje počet STOP bitů
0	1 stop bit
1	1,5 stop bitu pro LN 5 bitů, 2 stop bity pro LN 6-8 bitů
PEN	povolení paritního bitu (při vysílání generován, při příjmu testován)
P1/0	slouží k volbě parity (musí být povolena bitem PEN)
00	lichá
01	sudá
10	log. 1
11	log. 0
SB	řízení sériového výstupu
0	normální provoz
1	datový výstup portu nastaven do úrovně L
DLAB	slouží k adresování registrů na adresách Base+0 a Base+1
0	vstupní a výstupní registr, registr povolení přerušení
1	registry děličky oscilátoru

#### 4.9. Řídicí registr modemu (Base+4, WR/RD)

Prostřednictvím tohoto registru jsou řízeny pomocné výstupní signály pro ovládání modemu. Význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
L	L	L	LOOP	OUT2	OUT1	RTS	DTR

DTR	signál pro řízení směru přenosu (viz Tab.3.)
0	port přepnut na příjem (výstupní budiče odpojeny od linky)
1	port přepnut na vysílání (aktivovány výstupní budiče)
RTS	signál pro řízení směru přenosu (viz Tab.3.)
0	port přepnut na příjem (výstupní budiče odpojeny od linky)
1	port přepnut na vysílání (aktivovány výstupní budiče)
OUT1	tento signál není využit
OUT2	signál pro aktivaci budiče přerušení karty
0	budič karty je odpojen od sběrnice ISA
1	budič je aktivován - obvody přerušení ovládají signál sběrnice (viz tabulka Tab.5.)
LOOP	signál pro interní diagnostiku řadiče
0	standardní pracovní režim
1	diagnostický režim
L	bez významu, z důvodu dopředné kompatibility doporučena úroveň "0"

#### 4.10. Stavový registr linky (Base+5, RD)

Tento registr poskytuje informace o stavu přenosu dat. Význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
L	TXE	THE	BI	FE	PE	OE	DR

DR	indikace přijatých dat - stav vstupního registru linky 0 vstupní registr neobsahuje data 1 vstupní registr obsahuje data (nastaveno čtením vstupního registru linky)
OE	indikace chyby přetečením při příjmu (= ztráta přijatého znaku)
PE	indikace chyby parity přijatých dat
FE	indikace chyby rámce (= chybný STOP bit)
BI	chyba sériového vstupu (= vstup trvale v úrovni "0")
THE	indikace stavu výstupního registru linky 0 registr obsahuje data 1 registr neobsahuje data
TXE	indikace stavu posuvného registru linky 0 linka vysílá data nebo výstupní registr linky obsahuje data 1 linka nevysílá a výstupní registr je prázdný
L	nevýznamný bit (trvale úroveň "0")

 *Příznaky OE, PE, FE a BI jsou aktivní v logické úrovni H.*

#### 4.11. Stavový registr modemu (Base+6, RD)

Tento registr poskytuje informace o stavu řídicích signálů modemu; všechny bity jsou po resetu vynulovány.

Význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
DCD	RI	DSR	CTS	DDCD	TERI	DDSR	DCTS

DCTS	indikace změny stavu vstupu CTS
DDSR	indikace změny stavu vstupu DSR
TERI	indikace změny stavu vstupu RI
DDCD	indikace změny stavu vstupu DCD
CTS	indikuje stav vstupu CTS
DSR	indikuje stav vstupu DSR
RI	indikuje stav vstupu RI
DCD	indikuje stav vstupu DCD
--->	změny jsou vyhodnoceny v intervalu od posledního čtení stavu registru, všechny bity jsou aktivní v logické úrovni "1"

 *Vzhledem k obvodovému řešení nepodporuje karta PCI-685 externí využití uvedených pomocných signálů; z důvodu dodržení kompatibility s řadou programů jsou však tyto signály přímo na desce propojeny do modemu v minimální podobě. Podrobně viz obrázek Obr.2.*

#### 4.12. Registr "Scratch" (Base+7, WR/RD)

Tento registr je určený pro eventuální dočasnou úschovu dat. Protože však nemá na činnost řadiče žádný vliv, není v praxi zpravidla vůbec využíván.

## 5. UART 16C550

### 5.1. Úvod

Řadič typu 16C550 přináší oproti původnímu 16C450 zásadní výhodu - vyrovnávací paměti pro data typu FIFO s kapacitou 16 znaků pro oba směry přenosu.

Po resetu pracuje obvod zcela shodně s původním 16C450, po nastavení FIFO režimu je však význam některých bitů v registrech odlišný a navíc je jeden registr doplněn.

### 5.2. Registr povolení přerušení (Base+1, DLAB=0, WR/RD)

Tento registr má strukturu shodnou s řadičem 16C450, odlišný je pouze význam bitu na úrovni D0. Tímto bitem je povolováno vyvolání přerušení nejen při přijetí odpovídajícího počtu znaků, ale současně při "timeoutu", tzn. v případě, kdy UART obsahuje přijatá data (i pod nastaveným prahem zaplnění FIFO - viz dále) a není po dobu 4 znaků detekován startbit. Touto funkcí je zajištěn příjem i posledních dat přenosu ve FIFO režimu.

### 5.3. Registr identifikace přerušení (Base+2, RD)

Rozšíření počtu zdrojů přerušení si vyžádalo změnu ve struktuře registru identifikace přerušení (doplněny bity FEN a IRQ2), význam jednotlivých bitů a priorita odpovídajících požadavků je uvedena dále:

D7	D6	D5	D4	D3	D2	D1	D0
<b>FEN</b>	L	L	L	<b>IRQ2</b>	IRQ1	IRQ0	INT

INT	úroveň L signalizuje, že došlo k přerušení
IRQ2/1/0	000 přerušení vyvoláno změnou stavu linky
	001 přerušení vyvoláno přijetím dat do vstupního registru
	110 "timeout" při příjmu (po dobu 4 znaků nebyl detekován startbit)
	010 přerušení vyvoláno uvolněním vysílacího registru
	011 přerušení vyvoláno změnou stavu modemu
L	nevýznamné bity, trvale úroveň L
FEN	indikuje FIFO režim řadiče
	0 řadič pracuje ve znakovém režimu 16C450
	1 řadič pracuje ve FIFO režimu (viz řídicí registr FIFO)

### 5.4. Stavový registr linky (Base+5, RD)

Tento registr poskytující informace o stavu přenosu dat byl rozšířen o jeden příznak (ERRF); struktura registru je následující:

D7	D6	D5	D4	D3	D2	D1	D0
<b>ERRF</b>	TXE	THE	BI	FE	PE	OE	DR

D6÷D0 význam shodný s 16C450  
 ERRF ve znakovém režimu (16C450) je trvale nastaven na úroveň "0"  
 ve FIFO režimu "H" indikuje chybu příjmu data (nulováno čtením)

## 5.5. Řídicí registr FIFO (Base+2, WR)

Doplnění vyrovnávacích FIFO pamětí si vyžádalo doplnění samostatného řídicího registru; význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RCVR1	RCVR0	Rsvd	Rsvd	(DMA)	TFRST	RFRST	FEN

FEN slouží k volbě znakového nebo FIFO režimu  
 0 znakový režim (16C450)  
 1 FIFO režim - povoluje funkci obou FIFO pamětí  
 RFRST zápisem úrovně "1" dojde k vynulování FIFO paměti pro přijímaná data  
 TFRST zápisem úrovně "1" dojde k vynulování FIFO paměti pro vysílaná data  
 DMA tato funkce není kartou PCI-685 využita, nutné zapsat "0"  
 Rsvd bity vyhrazeny pro budoucí využití, doporučena úroveň "0"  
 RCVR1/0 definuje úroveň zaplnění FIFO paměti pro příjem dat, při které dojde k vyvolání přerušení  
 00 1 znak  
 01 4 znaky  
 10 8 znaků  
 11 14 znaků

## 6. UART 16C750

### 6.1. Úvod

Řadič typu 16C750 přináší oproti předešlému 16C550 výhodu rozšíření kapacity FIFO na 64 znaků a podporu přenosových rychlostí až 1MBd.

Další rozšíření, tzn. hardwarová podpora řízení signálů RTS/CTS příznaky zaplnění FIFO pamětí není u karty PCI-685 využívána.

Řadič 16C750 bude popsán jako rozšíření proti obvodu 16C550.

### 6.2. Registr povolení přerušení (Base+1, DLAB=0, WR/RD)

Tento registr má strukturu shodnou s řadičem 16C550, doplněny byly dva řídicí bity pro řízení spotřeby obvodu.

Význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
L	S	LPEN	SLEN	EMS	ERS	ETS	EDA

D3÷D0 význam shodný s 16C450/16C550

SLEN pracovní režim "Sleep" (aktivní v úrovni H)

LPEN pracovní režim "Low Power" (aktivní v úrovni H)

 V případě karty PCI-685 nemá využití těchto úsporných režimů praktický význam.

### 6.3. Registr identifikace přerušení (Base+2, RD)

Tento registr má strukturu shodnou s řadičem 16C550, doplněny byly dva bity identifikující pracovní režim řadiče.

D7	D6	D5	D4	D3	D2	D1	D0
FEN2	FEN1	FEN0	L	IRQ2	IRQ1	IRQ0	INT

D3÷D0 význam shodný s 16C550

FEN2/1/0 indikuje FIFO režim řadiče

000 řadič pracuje ve znakovém režimu 16C450

100 řadič pracuje v režimu 16C550 (FIFO 16 znaků)

111 řadič pracuje v režimu 16C750 (FIFO 64 znaků)

### 6.4. Řídicí registr FIFO (Base+2, WR)

Tento registr má strukturu shodnou s řadičem 16C550, doplněn byl jeden řídicí bit pro aktivaci režimu 16C750.

Význam jednotlivých bitů je následující:

<i>D7</i>	<i>D6</i>	<i>D5</i>	<i>D4</i>	<i>D3</i>	<i>D2</i>	<i>D1</i>	<i>D0</i>
<i>RCVR1</i>	<i>RCVR0</i>	<b>64EN</b>	<i>Rsvd</i>	<i>(DMA)</i>	<i>TFRST</i>	<i>RFRST</i>	<i>FEN</i>

*D5÷D0* význam shodný s 16C550

64EN slouží k volbě znakového nebo FIFO režimu

0 FIFO režim 16C550 (FIFO 16 znaků)

1 FIFO režim 16C750 (FIFO 64 znaků)

*RCVR1/0* definuje úroveň zaplnění FIFO paměti pro příjem dat, při které dojde k vyvolání přerušení

	režim 16C550	režim 16C750
00	1 znak	1 znak
01	4 znaky	16 znaky
10	8 znaků	32 znaků
11	14 znaků	56 znaků

JP12 / JP22									I/O adresa
1-2	3-4	5-6	7-8	9-10	11-12	13-14	15-16	17-18	SIO1 / SIO2
ON	---	---	---	---	---	---	---	---	DIS
---	ON	---	---	---	---	---	---	---	COM1 (3F8 <sub>H</sub> )
---	---	ON	---	---	---	---	---	---	COM2 (2F8 <sub>H</sub> )
---	---	---	ON	---	---	---	---	---	COM3 (3E8 <sub>H</sub> )
---	---	---	---	ON	---	---	---	---	COM4 (2E8 <sub>H</sub> )
---	---	---	---	---	ON	---	---	---	COM5 (2E0 <sub>H</sub> )
---	---	---	---	---	---	ON	---	---	COM6 (2F0 <sub>H</sub> )
---	---	---	---	---	---	---	ON	---	COM7 (208 <sub>H</sub> )
---	---	---	---	---	---	---	---	ON	COM8 (210 <sub>H</sub> )

Tab.1. Volba základní adresy portu.



*Pokud v praxi nevyhovuje uvedený rozsah I/O adres a je nutné jejich seznam upravit podle individuálních požadavků, lze se obrátit na servisní středisko výrobce.*

Počáteční adresa	Koncová adresa	I/O zařízení
200 <sub>H</sub>	207 <sub>H</sub>	adapter pro hry
278 <sub>H</sub>	27F <sub>H</sub>	2. tiskárna
2F8 <sub>H</sub>	2FF <sub>H</sub>	2. adapter asynchronní komunikace
300 <sub>H</sub>	31F <sub>H</sub>	prototypová deska
360 <sub>H</sub>	36F <sub>H</sub>	rezerva
378 <sub>H</sub>	37F <sub>H</sub>	1. tiskárna
380 <sub>H</sub>	38F <sub>H</sub>	synchronní komunikace SDLC
3A0 <sub>H</sub>	3AF <sub>H</sub>	synchronní komunikace BSC
3B0 <sub>H</sub>	3BF <sub>H</sub>	monochromatický display + tiskárna
3C0 <sub>H</sub>	3CF <sub>H</sub>	rezerva
3D0 <sub>H</sub>	3DF <sub>H</sub>	barevný display
3F0 <sub>H</sub>	3F7 <sub>H</sub>	řadič disket
3F8 <sub>H</sub>	3FF <sub>H</sub>	1. adapter asynchronní komunikace

Tab.2. Seznam adres standardních I/O zařízení.

JP14 / JP24						volba DIR
1 - 2	3 - 4	5 - 6	7 - 8	9 - 10	11 - 12	
ON	---	---	---	vyhrazeno pro volbu RXD		ON
---	ON	---	---			DTR
---	---	ON	---			RTS
---	---	---	ON			ADFC

Tab.3. Volba signálu k řízení přenosu.

JP14 / JP24						volba RXD
1 - 2	3 - 4	5 - 6	7 - 8	9 - 10	11 - 12	
vyhrazeno pro volbu DIR				ON	---	RS-485
				---	ON	RS-422

Tab.4. Volba režimu linky.



*V případě volby RS-422 a vnějšího propojení signálů TXD a RXD porty podporují rozhraní RS-485 s funkcí "echo", tzn. přijímána jsou i vlastní vysílaná data.*

JP13 / JP23								nastavení ADFC
1-2	3-4	5-6	7-8	9-10	11-12	13-14	15-16	
ON	---	---	---	---	---	---	---	0,1 znaku
---	ON	---	---	---	---	---	---	0,2 znaku
---	---	ON	---	---	---	---	---	0,5 znaku
---	---	---	ON	---	---	---	---	1 znak
---	---	---	---	ON	---	---	---	2 znaky
---	---	---	---	---	ON	---	---	4 znaky
---	---	---	---	---	---	ON	---	8 znaků
---	---	---	---	---	---	---	ON	12 znaků

Tab.5. Volba parametrů ADFC.

JP11 / JP21											kanál
1-2	3-4	5-6	7-8	9-10	11-12	13-14	15-16	17-18	19-20	21-22	IRQ
ON	---	---	---	---	---	---	---	---	---	---	IRQ15
---	ON	---	---	---	---	---	---	---	---	---	IRQ12
---	---	ON	---	---	---	---	---	---	---	---	IRQ11
---	---	---	ON	---	---	---	---	---	---	---	IRQ10
---	---	---	---	ON	---	---	---	---	---	---	IRQ9
---	---	---	---	---	ON	---	---	---	---	---	IRQ7
---	---	---	---	---	---	ON	---	---	---	---	IRQ6
---	---	---	---	---	---	---	ON	---	---	---	IRQ5
---	---	---	---	---	---	---	---	ON	---	---	IRQ4
---	---	---	---	---	---	---	---	---	ON	---	IRQ3
---	---	---	---	---	---	---	---	---	---	ON	DIS

Tab.6. Volba kanálu přerušení.

pin Cannon 9	význam signálu		
	RS-422	RS-485	RS-485 - echo
1	GND (společná svorka budičů linky)		
2	Z1+ (zakončovací impedance pro pin 6)		
3	Z1- (zakončovací impedance pro pin 7)		
4	Z2+ (zakončovací impedance pro pin 8)		
5	Z2- (zakončovací impedance pro pin 9)		
6	RX+	---	RX/TX+
7	RX-	---	RX/TX-
8	TX+	RX/TX+	RX/TX+
9	TX-	RX/TX-	RX/TX-

Tab.7. Zapojení vývodů konektorů Cannon 9.



Režim "RS-485 - echo", tzn. dvou vodičové vedení s příjmem vlastních vysílaných dat, předpokládá externí propojení pinů 6-8 a 7-9.

Adresa	DLAB	REGISTR	
		WR	RD
Base+0	1	registr děličky oscilátoru (dolní byte)	
Base+1	1	registr děličky oscilátoru (horní byte)	
Base+0	0	výstupní registr linky	vstupní registr linky
Base+1	0	registr povolení přerušení	
Base+2	x	řídící registr FIFO (*)	registr identifikace přerušení
Base+3	x	řídící registr linky	
Base+4	x	řídící registr modemu	
Base+5	x	stavový registr linky	
Base+6	x	stavový registr modemu	
Base+7	x	"Scratch register"	

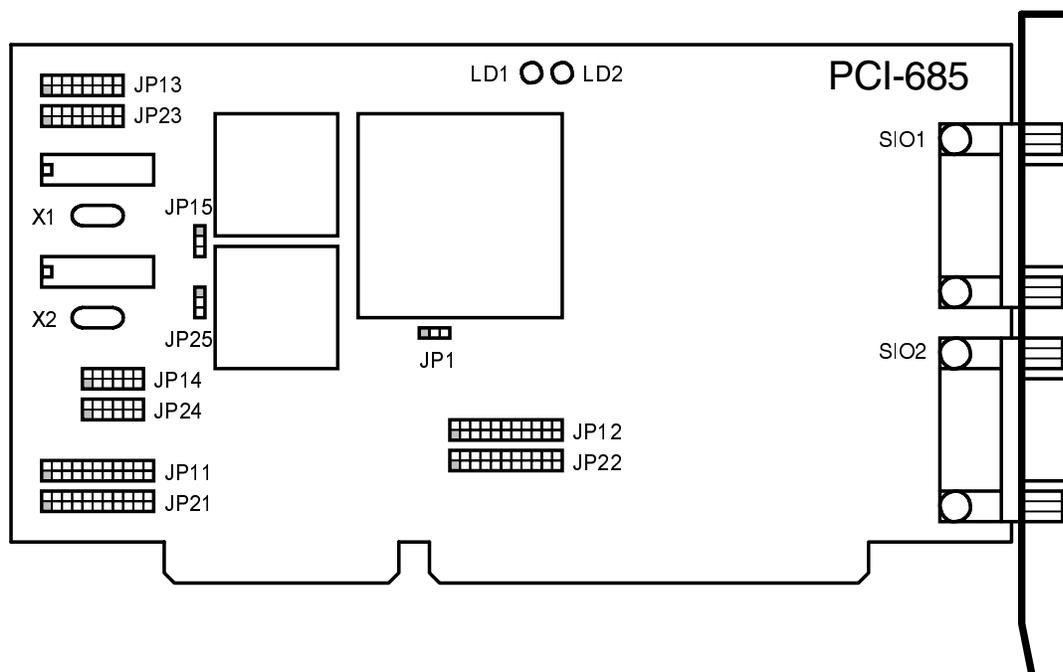
Tab.8. Struktura adresového prostoru obvodu UART.



Řídící registr FIFO je implementován pouze u řadičů 16C550 a 16C750.

přenosová rychlost (Bd)	dělicí poměry pro kmitočet generátoru	
	1,8432 MHz	14,7456 MHz
300	384	3072
600	192	1536
1200	96	768
2400	48	384
4800	24	192
9600	12	96
19200	6	48
38400	3	24
57600	2	16
115200	1	8
230400	---	4
921600	---	1

Tab.9. Tabulka dělicích poměrů pro obvyklé generátory baudové rychlosti.



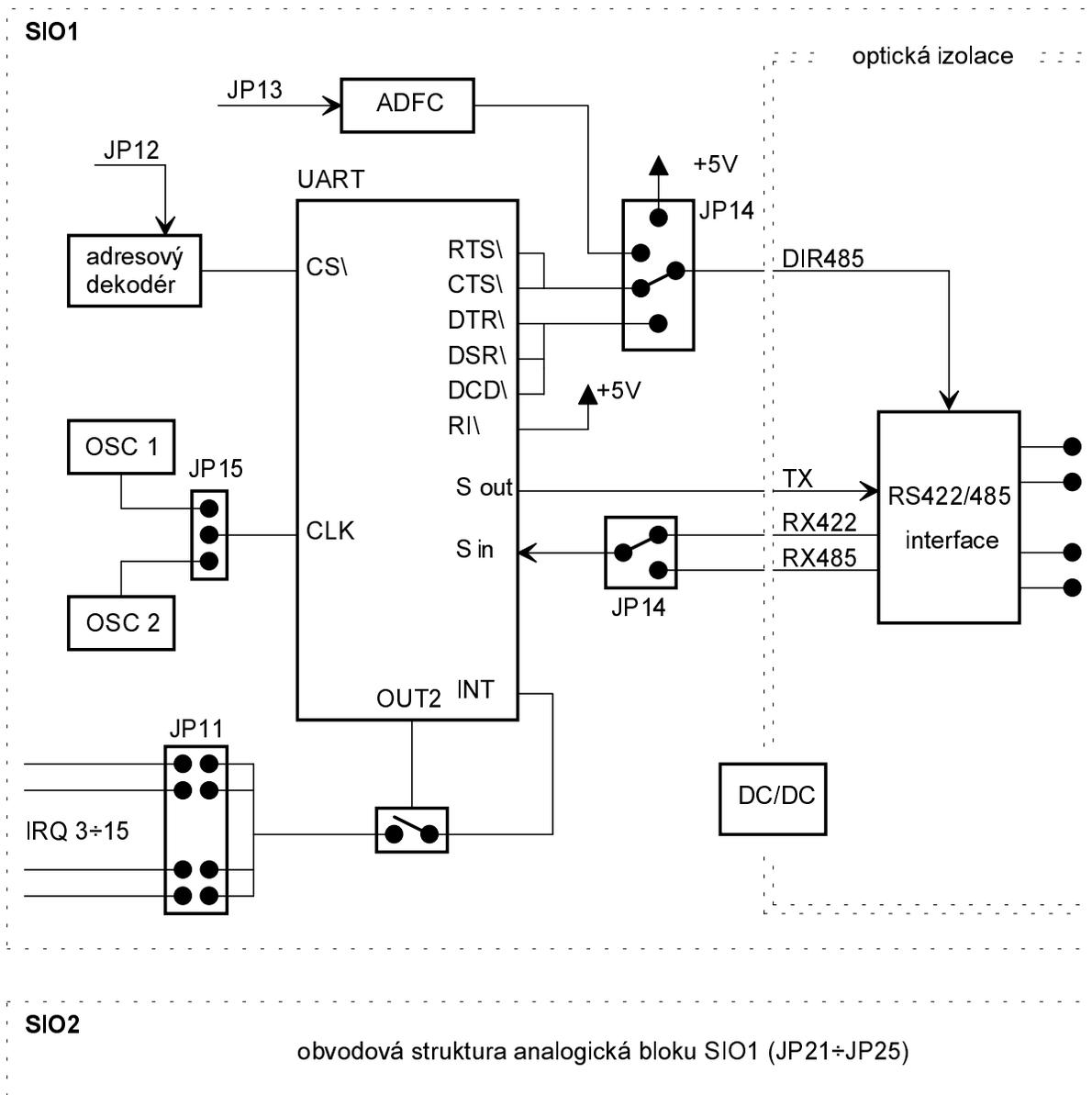
Obr.1. Rozmístění důležitých prvků na desce PCI-685.

Funkce zakreslených prvků:

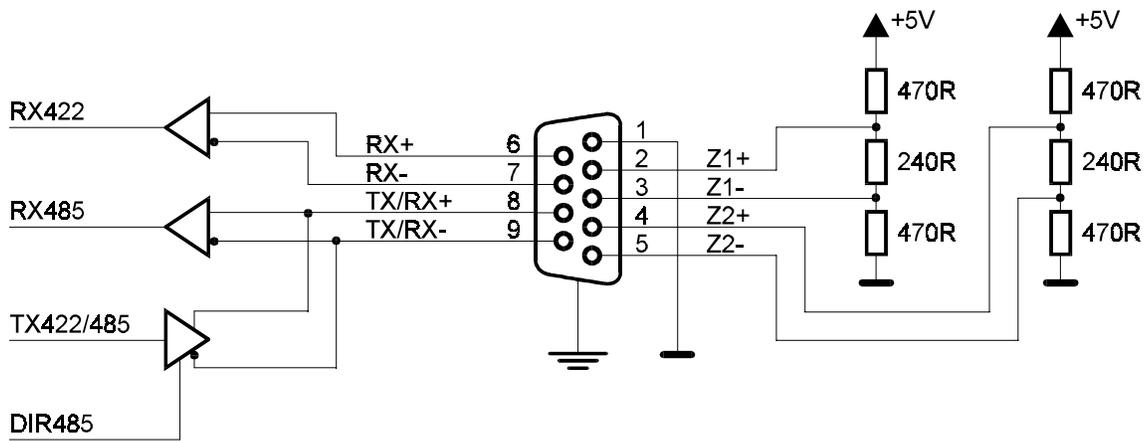
SIO1, SIO2	konektory komunikačních portů
LD1, LD2	LED indikující aktivitu portu, resp. I/O operace ISA sběrnice
X1, X2	krystalové oscilátory
JP1	servisní propojka (není osazena u všech verzí) 1-2 standardní poloha
JP11, JP12	propojky pro nastavení IRQ kanálu
JP12, JP22	propojky pro nastavení I/O adresy portu
JP13, JP23	propojky pro nastavení ADFC parametrů
JP14, JP24	propojky pro volbu řídicího signálu budičů a typu rozhraní
JP15, JP25	propojky pro volbu oscilátoru 1-2 standardní oscilátor 1.8342MHz 2-3 alternativní oscilátor oscilátor14.7456MHz (standardně osazen pouze u PCI-685H)



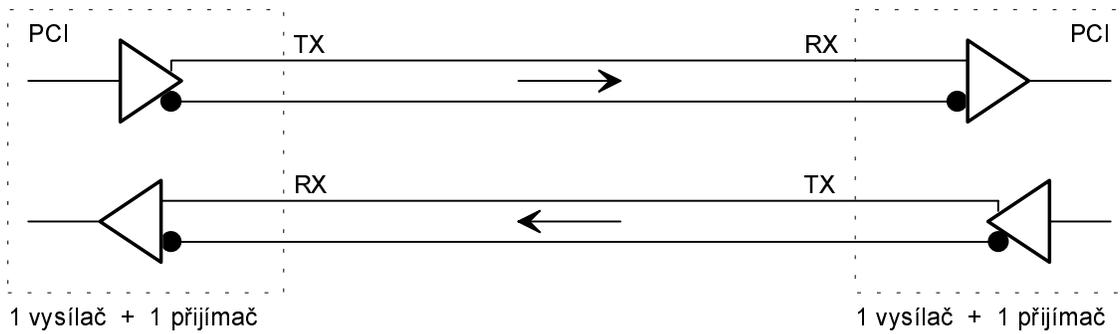
*Vývod propojek JP1÷JP25 označený černou výplní představuje pin číslo 1.*



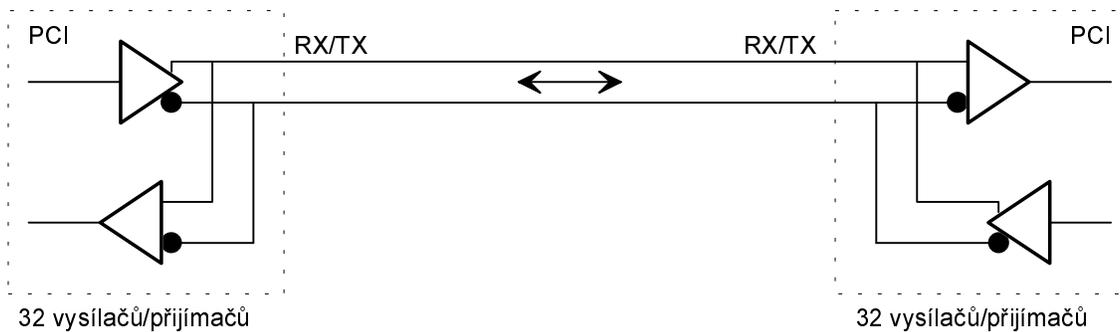
Obr.2. Vnitřní struktura karty PCI-685.



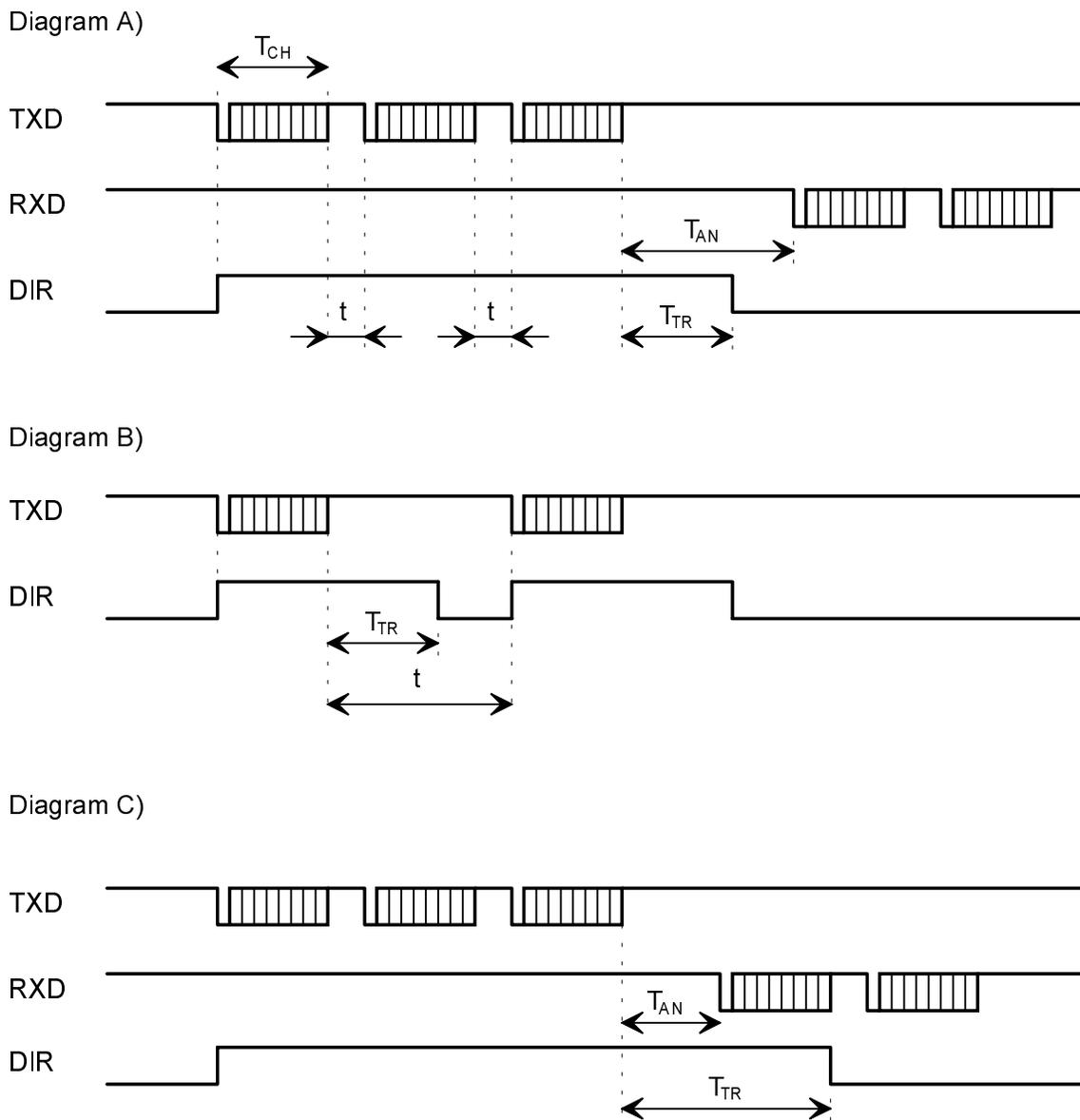
Obr.3. Schema zapojení konektoru karty PCI-685.



Obr.4. Schema zapojení linky standardu RS-422.



Obr.5. Schema zapojení linky standardu RS-485.



Obr.6. Časové poměry automatického řízení RS-485 (ADFC)

Pro korektní volbu doby přesahu  $T_{TR}$  platí:  $t_{MAX} < T_{TR} < T_{AN}$

- A) Diagram zachycuje běžný provozní stav, kdy přiměřená doba přesahu ( $T_{TR}$ ) spolehlivě "překrývá" prodlevy mezi vysílanými znaky a současně dostatečně rychle přepíná budiče linky zpět na příjem.
- B) Diagram zachycuje stav, kdy doba přesahu ( $T_{TR}$ ) neodpovídá reálným prodlevám mezi vysílanými znaky (je příliš krátká) a budiče linky jsou přepínány na příjem i v průběhu vysílaných dat.
- C) Diagram zachycuje stav, kdy doba přesahu ( $T_{TR}$ ) neodpovídá reálnému zpoždění odpovídajícího zařízení (je příliš dlouhá) a počátek zprávy proto není nezpracován řadičem UART.

