

PCT-2403

3x 24-bit. IRC čítač

IRQ, DIO

Důležité upozornění !

Při zacházení s kartou dbejte zásad maní pulace s obvody citlivými na poškození elektrostatickým nábojem.

Instalaci provádějte zásadně při vypnutém počítači a vždy odpojte síťový kabel a přívodní vodiče karty !

Při nedodržení uvedených pravi del může dojít k trvalému poškození citlivých obvodů PC karty nebo celého počítače.

Uži vatelská příručka a její součásti jsou autorským dílem chráněným ustanovením zákona č. 35/1965 Sb. o dílech li terárních, vědeckých a uměleckých (Autorský zákon) ve znění zákona č. 89/1990 Sb., zákona č. 468/1991 Sb., zákona č. 318/1993 Sb., zákona č. 237/1995 Sb. a zákona č. 86/1996 Sb.

Všechna jména a názvy použi té v textu mohou být chráněnými známkami nebo obchodními názvy výrobků příslušných firem.

© 1994÷2000 TEDIA spol. s r. o.

Záruční a pozáruční servis:

TEDIA spol. s r. o., Zábělská 12, 312 11 Plzeň 12

telefon: 019 7478168
fax: 019 7478169
e-mail: tedia@tedia.cz
internet: <http://www.tedia.cz>

Obsah

1.	Úvodní popis	
1.1.	Charakteristika	I - 1
2.	Technické parametry	
2.1.	Řadič LS7166	I - 2
2.2.	Vstupní obvody	I - 2
2.3.	Digitální porty	I - 2
2.4.	Ostatní údaje	I - 3
3.	Instalace karty	
3.1.	Úvod	I - 3
3.2.	Nastavení báze adresy	I - 3
3.3.	Vlastní instalace	I - 3
3.4.	Zapojení konektorů	I - 3
3.5.	Rozmístění přepínačů a konektorů	I - 3
4.	Struktura adresového prostoru	
4.1.	Popis adresového dekodéru	I - 4
4.2.	MCRReg	I - 4
4.3.	ICReg	I - 5
4.4.	OCReg	I - 5
4.5.	QCRReg	I - 6
4.6.	STSReg	I - 6
4.7.	CntRdReg	I - 7
4.8.	CntWrReg	I - 7
4.9.	ModeReg	I - 7
4.10.	ENCntReg	I - 8
4.11.	IRQReg	I - 8
4.12.	CtrlIntReg	I - 9
4.13.	IntStsReg	I - 9
4.14.	DigOutReg	I - 10
4.15.	DigInReg	I - 10
5.	Popis digitálních vstupů a výstupů	
5.1.	Úvod	I - 11
5.2.	Zapojení vstupů	I - 11
5.3.	Zapojení výstupů	I - 11

Přílohy:

Příloha II - tabulky

Příloha III - obrázky

1. Úvodní popis

1.1. Charakteristika

PC karta PCT-2403 je výrobek moderní koncepce ze stavebnice karet CHALLENGE SERIE určené zejména pro nasazení v laboratorních a průmyslových automatizačních systémech.

Jádrem karty PCT-2403 jsou řadiče LS7166 doplněné programovatelným hradlovým polem Lattice a izolovanými vstupními obvody pro připojení inkrementálních snímačů. Aplikační možnosti rozšiřují digitální vstupy a výstupy.

K přednostem karty patří programová konfigurovatelnost všech parametrů; při vlastní instalaci do počítače je potřebné nastavit pouze básovou adresu.

Celkový pohled na desku PCT-2403 a její vnitřní obvodová struktura jsou zakresleny na obrázcích Obr.1. a Obr.2.

Karta PCT-2403 se vyznačuje zejména těmito vlastnostmi:

- opticky izolované vstupní obvody slučitelné s úrovněmi RS422/TTL
- konfigurovatelná logika pro zpracování signálů IRC čidel
- tři 24-bitové obousměrné čítače
- programovatelná logiku přerušení
- 8+8 digitálních kanálů
- 8/16-bitový ISA interface (z 16-bit. ISA pouze signály IRQ)

Svojí koncepcí je určena zejména pro:

- zpracování signálů ze snímačů s kvadraturními signály do 5 MHz
- obecné aplikace čítání ve speciálních pracovních režimech

2. Technické parametry

2.1. Řadič LS7166

rozlišení čítače:	24 bitů (binární nebo 6x BCD)
programovatelné vstupy:	A, B vstupy inkrementace/dekrementace C vstup pro reset a blokování čítače D vstup pro přenastavení a strobování
pracovní režimy čítače:	kvadraturní signál X1, X2, X4 "up/down" (rezerva) "count/dir" (rezerva)
vstupní frekvence:	5MHz max.


2.2. Vstupní obvody

napěťové úrovně:	RS422/TTL	
vstupní impedance:	3k Ω / 2,0V	(vstup +INx)
	2,5k Ω / 1,5V	(vstup -INx)
izolační napětí:	500V _{DC} max.	(vstupy / PC)

 *Vstupní obvody jsou zakresleny na obrázcích Obr.6. a Obr.7.*

2.3. Digitální porty

počet vstupů:	8	(TTL komp.)
počet výstupů:	8	(TTL komp.)
zatěžovací impedance výstupů:	500 Ω min.	(viz pozn.)

 *Výstupní digitální porty jsou odolné proti trvalému zkratu; přivedením napětí mimo rozsah 0÷5V dojde k nevratnému poškození obvodů. Vstupní digitální porty jsou odolné proti přepětí do ±24V.*

2.4. Ostatní údaje

I/O adresa:	200 _H ÷ 3F8 _H	(64 intervalů)
IRQ kanál:	IRQ2 ÷ IRQ11	(voleno programově)
napájecí napětí:	+5V	(400mA max.)
délka přívodních vodičů:	2m max.	
rozměry:	cca 100 x 143 mm	
EMC:	ČSN EN 55022 ČSN EN 50081-1 ČSN EN 50082-1	

3. Instalace karty

3.1. Úvod

Při výrobě bylo dbáno na dosažení vysoké kvality a spolehlivosti, rovněž byla věnována pozornost důkladné kontrole před expedicí. Aby nedošlo ke snížení jakosti či poškození při instalaci, doporučujeme Vám pečlivě prostudovat tuto příručku a postupovat podle uvedeného návodu.

3.2. Nastavení báze adresy

Bázovou adresu PC karty lze nastavit v rozsahu 200_{H} až $3\text{F}8_{\text{H}}$. Volba se provádí prostřednictvím šestinásobného DIL přepínače SW1; význam jednotlivých segmentů je vyznačen v tabulce Tab.1. Při volbě je třeba dbát, aby nedošlo ke kolizi s ostatními instalovanými I/O zařízeními. Seznam standardních zařízení umístěných v tomto intervalu adres je uveden v tabulce Tab.2.

3.3. Vlastní instalace

Instalaci karty provádějte zásadně při vypnutém počítači s odpojenými přívodními vodiči (síť, monitor apod.) a dodržujte zásady pro manipulaci s obvody citlivými na poškození elektrostatickým nábojem. S kartou manipulujte za okraje a nedotýkejte se prsty součástek. Nakonfigurovanou kartu zasuňte po předchozím vyjmutí krycího štítku do volné pozice pro rozšiřující desky počítače a zajistěte šroubem.

3.4. Zapojení konektorů

Zapojení vývodů konektorů je zakresleno na obrázcích Obr.3. až Obr.5.; popis signálů je uveden v tabulkách Tab.3. až Tab.5. V případě využití propojovacího kabelu DIG-14 pro zpřístupnění digitálních portů na zadním PC štítku je zapojení konektorů popsáno v tabulce Tab.6.

Připojení desky k měřenému objektu je naznačeno na obrázcích Obr.6. až Obr.9.

3.5. Rozmístění přepínačů a konektorů

Rozmístění přepínačů a konektorů na kartě PCT-2403 je zakresleno na obrázku Obr.1.; význam jednotlivých prvků je zřejmý z předešlých odstavců.

4. Struktura adresového prostoru

4.1. Popis adresového dekodéru

Adresový dekodér umožňuje relokaci báze adresy karty v rozsahu u 200_{H} až $3\text{F}8_{\text{H}}$. Protože karta zabírá celkem 8 I/O adres, lze volit jeden z 64 intervalů.

Karta obsahuje několik typů registrů:

- LS7166:
- interní registry řadiče LS7166 (MCRReg, ICRReg, OCRReg, QCRReg, STSReg, CntWrReg, ...)
- řidič:
- registry pro konfiguraci vstupních obvodů čítačů (ModeReg, ENCntReg)
 - registry pro řízení logiky přerušení (IRQReg, IntStsReg, ClrIntReg, CtrlIntReg)
- DIO:
- slouží k přímému řízení digitálních portů (vstupní i výstupní) (DigInReg, DigOutReg)

Struktura registrů v adresovém prostoru je přehledně uvedena v tabulce Tab.7. a částečně také zakreslena na obrázku Obr.2.

4.2. MCRReg (WR, Base+1, 00xxxxxx)

Registr MCRReg (Master Control Registr) je interním registrem řadiče LS7166 a je určen pro řízení datových přenosů mezi čítačem a vyrovnávacími registry, resp. nulování interních obvodů řadiče.

Datové bity D6 a D7 slouží k nepřímému adresování interních obvodů řadiče a musí být nastaveny do předepsaných hodnot.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
0	0	MR	CMP_R	XFR_P	CNT_R	XFR_C	AP_R

- AP_R
- nulování ukazatele sekvenčního čtení/zápisu 24-bitových dat
- XFR_C
- přenos dat z čítače do záchytného registru CntRdReg
- CNT_R
- nulování obsahu čítače, nastavení znaménkového příznaku, nulování zachytných registrů přetečení a podtečení
- XFR_P
- přenos dat z vyrovnávacího registru CntWrReg do čítače
- CMP_R
- nulování záchytného registru komparátoru ekvivalence
- MR
- nulování všech registrů řadiče LS7166



Signál MR nenuluje "dokonale" obsah čítače (po resetu může nabývat hodnoty -1, 0, +1); pro úplné nulování je nutné současně využít signálu CNT_R.



Všechny bity jsou aktivní v logické úrovni H. Zápis úrovně H do významných bitů registru nevyžaduje následný zápis úrovně L; obsah registru se nuluje automaticky.

4.3. ICRReg (WR, Base+1, 01xxx000)

Registru ICRReg (Input Control Registr) je interním registrem řadiče LS7166 a je určen pro konfiguraci funkcí jednotlivých vstupů řadiče.

Datové bity D6 a D7 slouží k nepřímému adresování interních obvodů řadiče a musí být nastaveny do předepsaných hodnot; bity D0, D1 a D2 musí být v úrovni L.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
0	1	D_MD	C_MD	AB_EN	0	0	0

- AB_EN
- povoluje řízení čítače vstupy A/B (aktivní v logické úrovni H, funkce v kombinaci s C_MD)
- C_MD
- volba funkce vstupu C
 - 0 vstup C úrovní L nuluje stav čítače
 - 1 vstup C úrovní L povoluje řízení čítače vstupy A a B (funkce v kombinaci s AB_EN)
- D_MD
- volba funkce vstupu D
 - 0 vstup D úrovní L přednastavuje stav čítače
 - 1 vstup D úrovní L přenáší obsah čítače do vyrovnávacího registru

4.4. OCREg (WR, Base+1, 10xx0x0x)

Registru OCREg (Output Control Registr) je interním registrem řadiče LS7166 a je určen pro konfiguraci režimu čítače a funkcí výstupů.

Datové bity D6 a D7 slouží k nepřímému adresování interních obvodů řadiče a musí být nastaveny do předepsaných hodnot; bity D1 a D3 musí být v úrovni L.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
1	0	CMP_OUT	0	N_MD	0	BCD	

- BCD
- volba BCD režimu čítače
 - 0 čítač pracuje v 24-bitovém binárním kódu
 - 1 čítač pracuje v 24-bitovém BCD kódu
- N_MD
- volba pracovního rozsahu čítače
 - 0 čítač pracuje ve standardním 24-bitovém rozsahu
 - 1 čítač pracuje v rozsahu určeném preset registrem (řízeno signály přetečení/podtečení čítače)
- CMP_OUT
- volby režimu "real time" výstupů (využity jako zdroj přerušení)
 - 0 0 režim není kartou PCT-2403 podporován
 - 0 1 režim není kartou PCT-2403 podporován
 - 1 0 režim není kartou PCT-2403 podporován
 - 1 1 funkce komparátoru s obsahem čítače

4.5. QCReg (WR, Base+1, 11xxxxxx)


Registr QCReg (Quadrature Control Registr) je interním registrem řadiče LS7166 a je určen pro konfiguraci logiky pro zpracování kvadrurního signálu.

Datové bity D6 a D7 slouží k nepřímému adresování interních obvodů řadiče a musí být nastaveny do předepsaných hodnot.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
1	1	RSRV	RSRV	RSRV	RSRV	AB_MODE	

- AB_MODE
- volby režimu vstupních signálů (viz Obr.10.)
 - 0 0 nedefinováno
 - 0 1 kvadrurní signál - režim X1 (jeden impuls na periodu signálu)
 - 1 0 kvadrurní signál - režim X2 (dva impulsy na periodu signálu)
 - 1 1 kvadrurní signál - režim X4 (čtyři impulsy na periodu signálu, tzn. 1 impus na fázi)
- RSRV
- rezerva

 *Rezervní bity nemají pro funkci žádný význam; z důvodu dopředné kompatibility je však doporučena logická úroveň L.*


4.6. STSReg (RD, Base+1)

Registr STSReg slouží k čtení stavových informací z řadiče LS7166.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	U_D	Sign	CoFF	CaFF	BoFF

- BoFF
- příznak záchytného registru podtečení (Borrow)
- CaFF
- příznak záchytného registru přetečení (Carry)
- CoFF
- příznak záchytného registru ekvivalence
- Sign
- znaménkový příznak
 - 0 nastaveno podtečením (Borrow)
 - 1 nastaveno přetečením (Carry)
- U_D
- příznak směru čítání
 - 0 čítání dolů (= poslední operace byla dekrementace)
 - 1 čítání nahoru (= poslední operace byla inkrementace)

 *Příznaky CoFF, CaFF a BoFF jsou do úrovně H nastaveny odpovídající události a nulovány výhradně pomocí registru MCRReg.*

4.7. CntRdReg (RD, Base+0)

Registr CntRdReg slouží k čtení obsahu záchytného registru čítače; 24-bitová data jsou přenášena postupně ve třech bytech v pořadí od nejnižších bitů po nejvyšší. Formát dat (binární/BCD) je nastaven příslušným řídicím bitem OCREG.



Před vlastním čtením je nutné přenést obsah čítače do záchytného registru a vynulovat ukazatel sekvence čtení/zápisu 24-bitových dat příkazy MCREG.

4.8. CntWrReg (WR, Base+0)

Registr CntWrReg slouží k programování obsahu čítače; 24-bitová data jsou přenášena do vyrovnávacího registru postupně ve třech bytech v pořadí od nejnižších bitů po nejvyšší.

Formát dat (binární/BCD) je nastaven příslušným řídicím bitem OCREG.



Před vlastním zápisem je nutné vynulovat ukazatel sekvence čtení/zápisu 24-bitových dat a po zápisu přenést obsah vyrovnávacího registru do čítače příkazy MCREG.

4.9. ModeReg (WR, Base+2)

Registr ModeReg slouží k rozšíření funkcí řadičů LS7166; narozdíl od předešlých registrů není obsažen ve struktuře řadiče LS7166, nýbrž je realizován předřadnou logikou pro úpravu vstupních signálů. PC karta obsahuje tři samostatné registry ModeReg pro každý z čítačů; pro jejich aktivaci je využit registr ENCntReg.



Předešlý popis registrů LS7166 byl vztažen k základnímu (=nulovému) stavu registru ModeReg.

Struktura registru a význam jednotlivých bitů je následující:


D7	D6	D5	D4	D3	D2	D1	D0
INT_MODE		RSRV	RSRV	D_EN	C_EN	CNT_MODE	


- CNT_MODE
- volby režimu čítání (viz Obr.10. až Obr.12.)
 - 0 0 standardní kvadrurní režim LS7166
 - 0 1 dvoukanálový režim "up/down"
 - A = signál pro inkrementaci (náběžná hranou)
 - B = signál pro dekrementaci (náběžnou hranou)
 - 1 0 dvoukanálový režim "count/dir"
 - A = signál pro inkrementaci/dekrementaci (náb. hranou)
 - B = signál pro řízení směru čítání (H = inkrementace)
 - 1 1 rezerva



Dvoukanálové režimy "up/down" a "count/dir" nejsou standardně implementovány. Pro korektní činnost těchto rozšířených režimů "up/down" a "count/dir" musí být řadič LS7166 nastaven do režimu X4 (viz popis QCREG).

- C_EN
 - povolení externího signálu C pro řízení čítače
 - 0 vstupní signál nevyužit
 - 1 vstupní signál aktivován
- D_EN
 - povolení externího signálu D pro řízení čítače
 - 0 vstupní signál nevyužit
 - 1 vstupní signál aktivován
- INT_MODE
 - volba zdroje signálu přerušení od čítače
 - 0 0 žádný zdroj přerušení
 - 0 1 CMP_OUT ("real time" výstupy čítače)
 - 1 0 vstupní signál C (přechod z úrovně H do úrovně L)
 - 1 1 vstupní signál D (přechod z úrovně H do úrovně L)
- RSVR
 - rezerva

 *Nejsou-li externí vstupy C nebo D využity pro funkce čítače (viz popis C_EN, D_EN), jsou vstupní signály řadiče LS7166 (viz popis ICRReg) nastaveny do logické úrovně H.*

 *Rezervní bity nemají pro funkci žádný význam; z důvodu dopředné kompatibility je však doporučena logická úroveň L.*


4.10. ENCntReg (WR, Base+3)

Registr ENCntReg slouží k povolení operací čtení/zápis do jednotlivých řadičů LS7166 a registrů ModeReg.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	RSRV	RSRV	RSRV	EN_CNT2	EN_CNT1	EN_CNT0

- EN_CNT0
 - povoluje operace čtení/zápis pro čítač CNT_0 (aktivní v logické úrovni H)
- EN_CNT1
 - povoluje operace čtení/zápis pro čítač CNT_1 (aktivní v logické úrovni H)
- EN_CNT2
 - povoluje operace čtení/zápis pro čítač CNT_2 (aktivní v logické úrovni H)
- RSRV
 - rezerva

 *Popsaná logika umožňuje pro operaci zápis současnou aktivaci jednoho, dvou i tří čítačů; pro operaci čtení jsou však přenášena platná data výhradně při aktivaci jediného čítače.*

4.11. IRQReg (WR, Base+6)

Tento registr slouží k povolení funkce přerušení a volbě kanálu IRQ; přerušení je vyvoláno, pokud je alespoň jeden z příznaků v registru IntStatReg nastaven do úrovně H.


Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	RSRV	RSRV	IRQ3	IRQ2	IRQ1	IRQ0

- IRQ3÷IRQ0
- definují IRQ kanál ISA sběrnice
 - 0000 není přiřazen žádný kanál IRQ
 - 0010 přiřazen kanál IRQ2
 - 0011 přiřazen kanál IRQ3
 - 0100 přiřazen kanál IRQ4
 - 0101 přiřazen kanál IRQ5
 - 0110 přiřazen kanál IRQ6
 - 0111 přiřazen kanál IRQ7
 - 1010 přiřazen kanál IRQ10
 - 1011 přiřazen kanál IRQ11

- RSRV
- rezerva

 *Rezervní bity nemají pro funkci žádný význam, z důvodu dopředné kompatibility je však doporučena logická úroveň L. Neuvedené kombinace D3÷D0 jsou rezervovány.*

4.12. CtrlIntReg (WR, Base+5)


Registr CtrlIntReg slouží k základní volbě zdrojů přerušení a současně k nulování příznaků přerušení.


Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	RSRV	RSRV	RSRV	EN_I2	EN_I1	EN_I0

- EN_I0
- povoluje vyvolání přerušení pro obvody čítače CNT_0 (aktivní v logické úrovni H)
- EN_I1
- povoluje vyvolání přerušení pro obvody čítače CNT_1 (aktivní v logické úrovni H)
- EN_I2
- povoluje vyvolání přerušení pro obvody čítače CNT_2 (aktivní v logické úrovni H)
- RSRV
- rezerva

 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena logická úroveň L.*

 *Popis obvodů přerušení čítačů byl popsán v souvislosti registrem MODEReg.*

4.13. IntStsReg (RD, Base+4)

Registr IntStsReg slouží k vyhodnocení zdroje přerušení v případě současného využití všech zdrojů.


Příznaky jsou aktivní nezávisle na povolení přerušení v registru IRQReg.

Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	RSRV	RSRV	RSRV	STS_I2	STS_I1	STS_I0

- STS_I0 • příznak přerušení od obvodů čítače CNT_0
- STS_I1 • příznak přerušení od obvodů čítače CNT_1
- STS_I2 • příznak přerušení od obvodů čítače CNT_2
- RSRV • rezerva

 Stavové příznaky logiky přerušení jsou do úrovně H nastaveny zvolenou událostí (viz popis registrů ModeReg) a nulovány zakázáním odpovídajícího zdroje přerušení pomocí registru CtrlIntReg (příslušný bit je vynulována opět nastaven na úroveň H).

4.14. DigOutReg (WR, Base+7)

Tento registr plní funkci výstupního digitálního portu; význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru portu.

Registr je po resetu, resp. zapnutí počítače vynulován.

D7	D6	D5	D4	D3	D2	D1	D0
DOut7	DOut6	DOut5	DOut4	DOut3	DOut2	DOut1	DOut0

4.15. DigInReg (RD, Base+7)

Tento registr plní funkci vstupního digitálního portu; význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru portu.

D7	D6	D5	D4	D3	D2	D1	D0
DIn7	DIn6	DIn5	DIn4	DIn3	DIn2	DIn1	DIn0

5. Popis digitálních vstupů a výstupů

5.1. Úvod

Karta PCT-2403 obsahuje 8 vstupních kanálů a 8 kanálů výstupních; signály obou portů jsou umístěny na dvou konektorech DIL10.

V případě potřeby lze použít redukční kabel DIG-14 (není součástí dodávky), který převede signály z obou konektorů DIL10 na 2x Cannon9.

5.2. Zapojení vstupů

Pro realizaci vstupů bylo využito obvodů technologie HCTMOS. Jejich výhodné vlastnosti (vysoká vstupní impedance a zanedbatelný vstupní proud, ochranné diody) byly využity pro přepětovou ochranu do 24V.

Protože klidový stav vstupů odpovídá logické úrovni H (ošetřeno rezistory 10k Ω proti napětí +5V), lze je použít i pro připojení signálů typu "otevřený kolektor".

5.3. Zapojení výstupů

Pro realizaci výstupů bylo využito obvodů technologie HCMOS. Pro jejich výhodné vlastnosti (vysoký výstupní proud a zanedbatelný napěťový úbytek) je lze využít pro přímé buzení LED, optronů, popř. i miniaturních relé 5V / 500 Ω .

SW1						I/O adresa (Base)
SW - 1	SW - 2	SW - 3	SW - 4	SW - 5	SW - 6	
ON	ON	ON	ON	ON	ON	200 _H
ON	ON	ON	ON	ON	OFF	208 _H
---	---	---	---	---	---	
OFF	ON	ON	ON	ON	ON	300 _H
OFF	ON	ON	ON	ON	OFF	308 _H
---	---	---	---	---	---	
OFF	OFF	OFF	OFF	OFF	ON	3F0 _H
OFF	OFF	OFF	OFF	OFF	OFF	3F8 _H

Tab.1. Volba bázové adresy.



Adresa 300_H nastavena od výrobce.

Počáteční adresa	Koncová adresa	I/O zařízení
200 _H	207 _H	adapter pro hry
278 _H	27F _H	2. tiskárna
2F8 _H	2FF _H	2. adapter asynchronní komunikace
300 _H	31F _H	prototypová deska
360 _H	36F _H	rezerva
378 _H	37F _H	1. tiskárna
380 _H	38F _H	synchronní komunikace SDLC
3A0 _H	3AF _H	synchronní komunikace BSC
3B0 _H	3BF _H	monochromatický display + tiskárna
3C0 _H	3CF _H	rezerva
3D0 _H	3DF _H	barevný display
3F0 _H	3F7 _H	řadič disket
3F8 _H	3FF _H	1. adapter asynchronní komunikace

Tab.2. Seznam standardních adres I/O zařízení.

funkce	P I N	P I N	funkce
COM	C13		
-A0	C12	C25	+A0
-B0	C11	C24	+B0
-C0	C10	C23	+C0
-D0	C9	C22	+D0
-A1	C8	C21	+A1
-B1	C7	C20	+B1
-C1	C6	C19	+C1
-D1	C5	C18	+D1
-A2	C4	C17	+A2
-B2	C3	C16	+B2
-C2	C2	C15	+C2
-D2	C1	C14	+D2

Tab.3. Zapojení vývodů konektoru Cannon 25.

funkce	P I N	P I N	funkce
DGND	C5		
DGND	C4	C9	+5V
DGND	C3	C8	+5V
DGND	C2	C7	+12V
DGND	C1	C6	+12V

Tab.4. Zapojení vývodů konektoru Cannon 9.



Napájecí napětí +5V, resp. +12V je chráněno vratnými nadproudovými pojistkami 0,5A.

funkce	P I N	P I N	funkce
Digit. IN / OUT 0	D1	D2	Digit. IN / OUT 1
Digit. IN / OUT 2	D3	D4	Digit. IN / OUT 3
Digit. IN / OUT 4	D5	D6	Digit. IN / OUT 5
Digit. IN / OUT 6	D7	D8	Digit. IN / OUT 7
DGND	D9	D10	+ 5 V

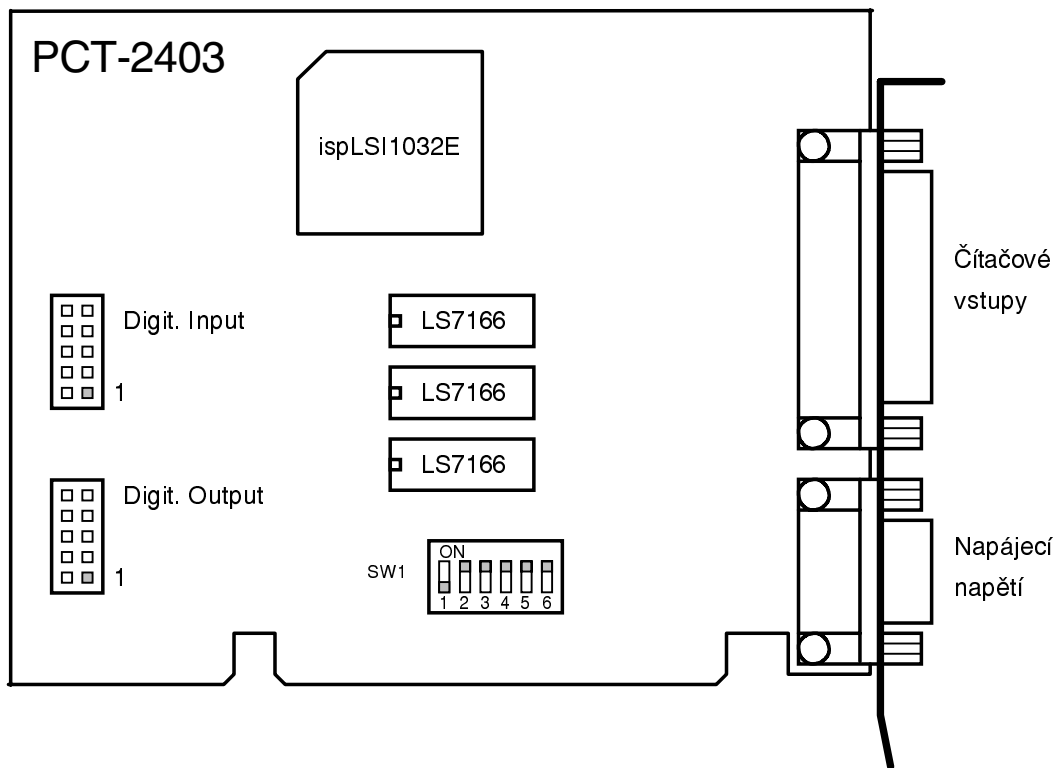
Tab.5. Zapojení vývodů konektoru DIL10.

funkce	P I N	P I N	funkce
DGND	C5		
Digit. IN / OUT 6	C4	C9	Digit. IN / OUT 7
Digit. IN / OUT 4	C3	C8	Digit. IN / OUT 5
Digit. IN / OUT 2	C2	C7	Digit. IN / OUT 3
Digit. IN / OUT 0	C1	C6	Digit. IN / OUT 1

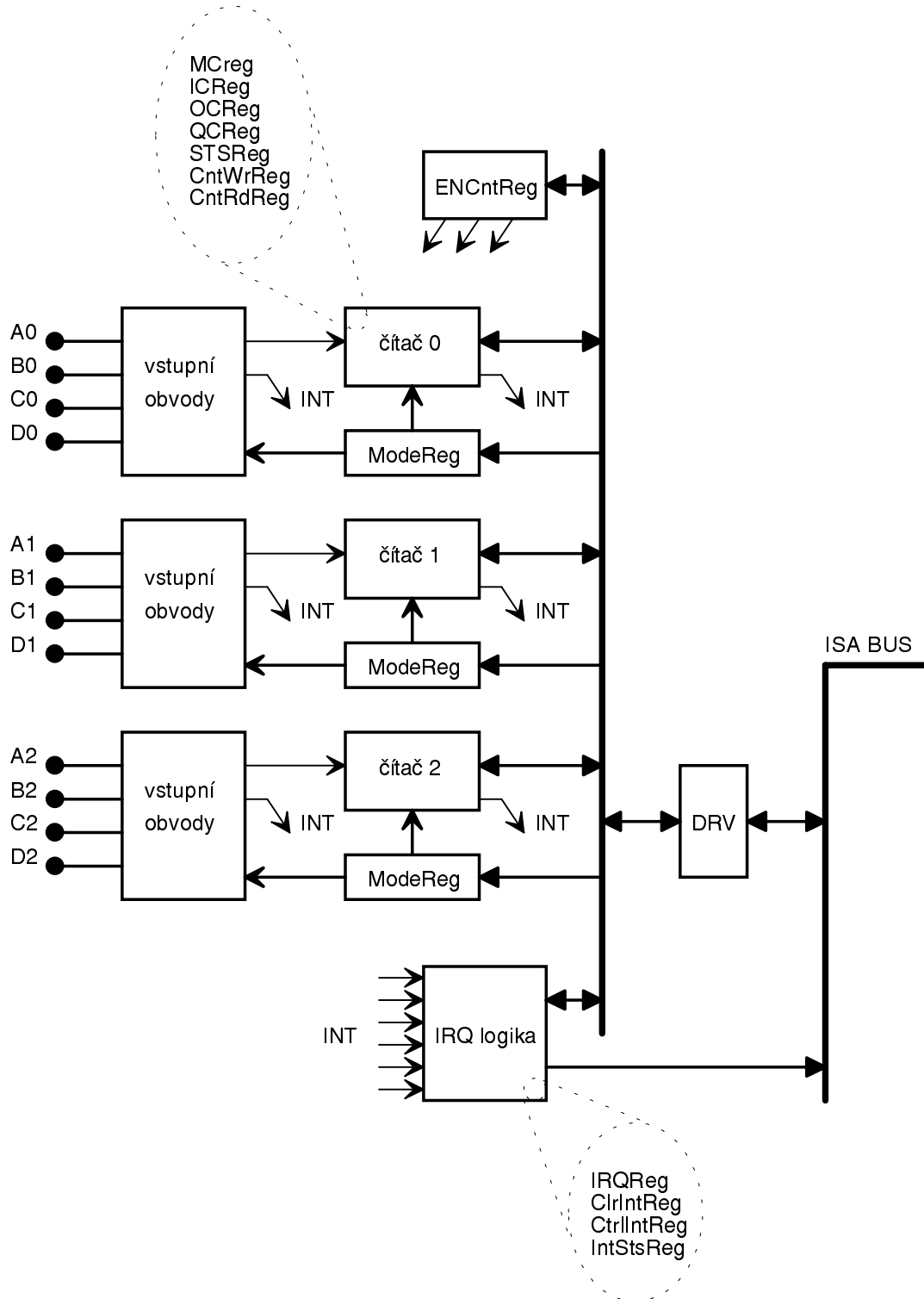
Tab.6. Kabel s PC štítkem DIG-14, zapojení vývodů konektorů Cannon 9.

Adresa	REGISTR	
	WR	RD
Base+0	CntWrReg	CntRdReg
Base+1	MCRReg, ICRReg, OCRReg, QCReg	STSReg
Base+2	ModeReg	---
Base+3	ENCntReg	---
Base+4	---	IntStsReg
Base+5	CtrlIntReg	---
Base+6	IRQReg	---
Base+7	DigOutReg	DigInReg

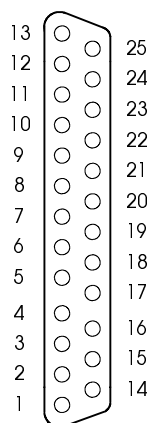
Tab.7. Struktura adresového prostoru.



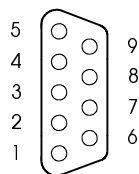
Obr.1. Rozmístění důležitých prvků na desce PCT-2403.



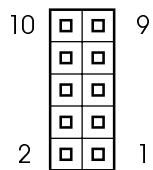
Obr.2. Vnitřní struktura karty PCT-2403.



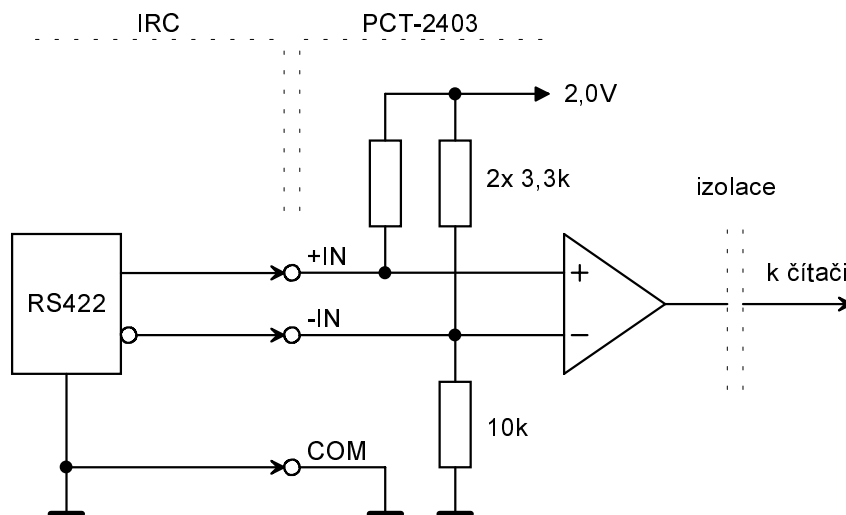
Obr.3. Rozmístění vývodů na konektoru Cannon 25.



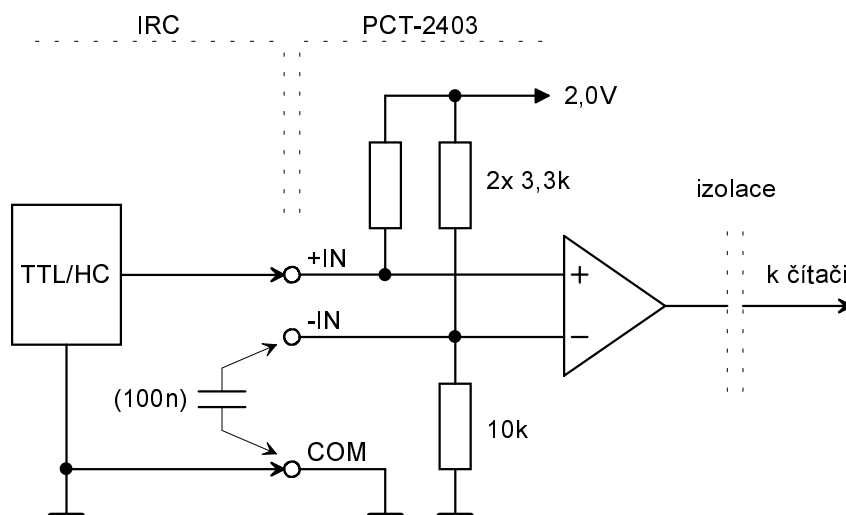
Obr.4. Rozmístění vývodů na konektoru Cannon 9.



Obr.5. Rozmístění vývodů na konektoru DIL10.



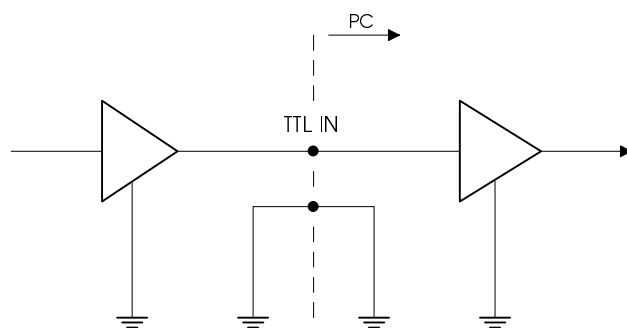
Obr.6. Připojení vstupů PCT-2403 k IRC s rozhraním RS422.



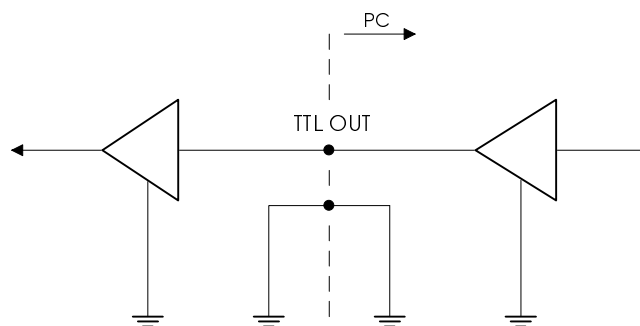
Obr.7. Připojení vstupů PCT-2403 k IRC s rozhraním TTL/HC.



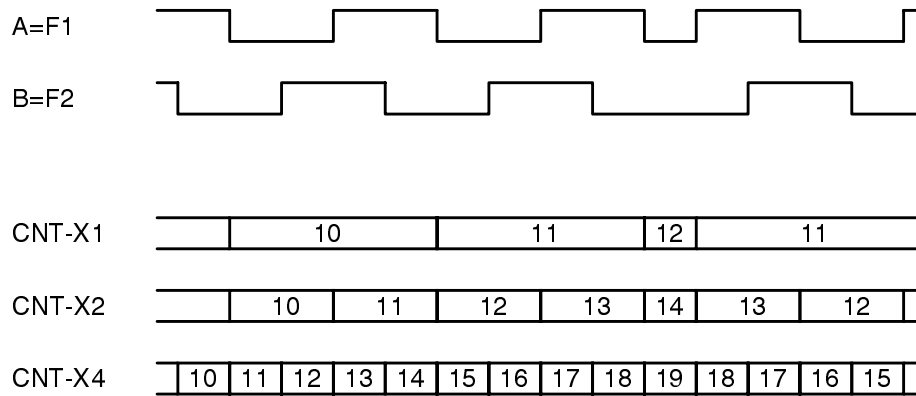
Blokovací kondenzátor 100nF lze doporučit zejména v případě vyšší úrovně rušení a může být společný pro všechny nevyužité vstupy -IN (vstupy spojeny paralelně).



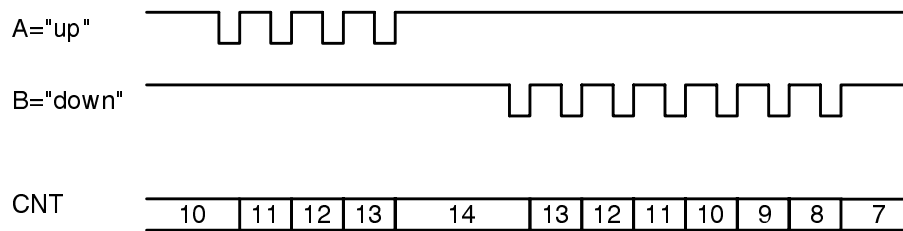
Obr.8. Připojení signálu digitálního vstupu.



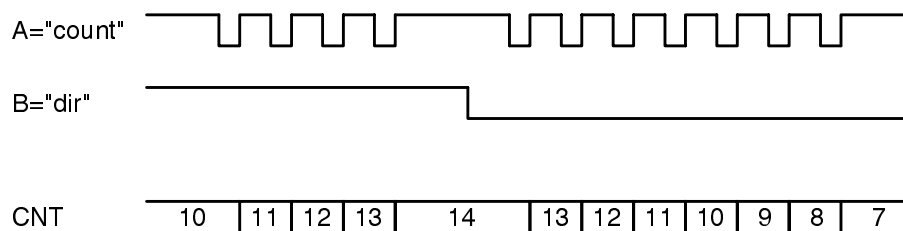
Obr.9. Připojení signálu digitálního výstupu.



Obr.10. Standardní režimy čítání řadiče LS7166 (kvadrurní signál X1, X2 a X4).



Obr.11. Rozšířený režim čítání "up/down".



Obr.12. Rozšířený režim čítání "count/dir".

