

# **PCT-7303A**

**3x IRC čítač, DIO  
IRQ, PCI BUS**



**Záruční a pozáruční servis, technická podpora:**

adresa: TEDIA® spol. s r. o., Zábělská 12, 31211 Plzeň  
telefon: +420 377 478 168  
fax: +420 377 478 169  
e-mail: podpora\_daq@tedia.cz  
internet: <http://www.tedia.cz>, <http://www.pci.cz>

Uživatelská příručka a její součásti jsou autorským dílem chráněným ustanovením zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů ("Autorský zákon").

Všechna jména a názvy použité v textu mohou být chráněnými známkami nebo obchodními názvy výrobků příslušných firem.

# ES prohlášení o shodě

Prohlašujeme na svoji výlučnou odpovědnost, že technologické karty

PCT-7303A

jsou ve shodě s normami

ČSN EN 55022:99 včetně změn  
ČSN EN 61000-3-2:97 včetně změn  
ČSN EN 61000-3-3:97 včetně změn  
ČSN EN 55024:99 včetně změn

a nařízeními vlády

NV 168/1997 Sb.  
NV 169/1997 Sb.  
ve znění pozdějších předpisů

a nesou proto označení "CE".

Zkušební protokol:

203681-01 vydaný EZÚ Praha



Datum vydání ES prohlášení:

21.11.2002

Výrobce:

TEDIA® spol. s r. o., Zábělská 12, 31211 Plzeň

Odpovědný zástupce:

Ing. Martin Linda, jednatel společnosti

Podpis odpovědného zástupce:

A handwritten signature in black ink, appearing to read 'Martin Linda', written in a cursive style.

# Obsah

1.	Úvodní popis	
1.1.	Charakteristika	I - 1
1.2.	Podmínky použití	I - 1
2.	Technické parametry	
2.1.	Programovatelné čítače	I - 2
2.2.	Vstupní obvody	I - 2
2.3.	Digitální porty, "real-time" výstupy	I - 2
2.4.	Obvody přerušení	I - 2
2.5.	Ostatní údaje	I - 2
3.	Instalace karty	
3.1.	Úvod	I - 3
3.2.	Nastavení konfiguračních prvků	I - 3
3.3.	Vlastní instalace	I - 3
3.4.	Zapojení konektorů	I - 3
3.5.	Rozmístění významných prvků	I - 3
4.	PCI sběrnice, základní informace	
4.1.	Základní pojmy	I - 4
4.2.	Řadič OX9162	I - 4
4.3.	Implementace PCI BUS u PCT-7303A	I - 5
4.4.	Porovnání MEM a I/O přístupu	I - 5
5.	Struktura adresového prostoru	
5.1.	Úvod	I - 6
5.2.	DINReg	I - 6
5.3.	DOUTrReg	I - 6
5.4.	IRQCfgReg	I - 7
5.5.	IRQStatusReg	I - 7
5.6.	IRQClrReg	I - 7
5.7.	TimerReg	I - 8
5.8.	INTEnrReg	I - 8
5.9.	XSTREnrReg	I - 9
5.10.	XSTRStatusReg	I - 9
5.11.	XSTRClrReg	I - 9
5.12.	FPGACtrlReg	I - 9
5.13.	FPGAStatusReg	I - 10
5.14.	CNT0SetReg	I - 10
5.15.	CNT0DataReg	I - 10
5.16.	CNT0XDataReg	I - 11
5.17.	CNT0RngReg	I - 11
5.18.	CNT0CMP1	I - 11
5.19.	CNT0CMP2	I - 12
5.20.	CNT0CWReg	I - 12
5.21.	CNT0StatusReg	I - 12

5.22.	CNTEnReg	I - 13
5.23.	CNTCtrlReg	I - 13
5.24.	CMPEnReg	I - 14
5.25.	CMPStatusReg	I - 14
5.26.	CMPClrReg	I - 15
5.27.	CMPIRQReg	I - 16
5.28.	RTDOReg	I - 16
5.29.	RTDOCfgReg	I - 16
5.30.	FPGAVerReg	I - 17
<b>6.</b>	<b>Popis čítačů</b>	
6.1.	Úvod	I - 18
6.2.	Zapojení vstupů	I - 18
6.3.	Programovatelná vstupní logika	I - 18
6.4.	Čítače	I - 18
6.4.	Komparátory	I - 19
6.5.	"Real-time" výstupy	I - 19
6.6.	Generátor časových značek	I - 19
6.7.	Obvody přerušení	I - 19
<b>7.</b>	<b>Popis řadiče přerušení</b>	
7.1.	Úvod	I - 20
7.2.	Zdroje přerušení	I - 20
7.3.	Programová obsluha přerušení	I - 20
<b>8.</b>	<b>Popis digitálních vstupů a výstupů</b>	
8.1.	Úvod	I - 22
8.2.	Zapojení vstupů	I - 22
8.3.	Zapojení výstupů	I - 22
<b>9.</b>	<b>Popis konfigurace FPGA</b>	
9.1.	Úvod	I - 23
9.2.	Zjednodušený postup downloadu	I - 23

## Přílohy:

Příloha II - tabulky

Příloha III - obrázky

Příloha IV - OX9162

# 1. Úvodní popis

## 1.1. Charakteristika

PC karta PCT-7303A je výrobek moderní koncepce určený zejména pro systémy laboratorní a průmyslové automatizace a jako doplněk multifunkčních PC karet.

K přednostem patří jednoduchá programová konfigurovatelnost parametrů. Při instalaci karty do počítače je ve zvláštních případech potřeba nastavit konfigurační propojku synchronizačního signálu, všechny ostatní funkce karty jsou ovládány plně softwarově.

Karta PCT-7303A je určena pro počítače PC kompatibilní a musí být instalována do PCI slotu s podporou 5 V a 33 MHz.

Celkový pohled na desku PCT-7303A je zakreslen na obrázku Obr.1.

Karta PCT-7303A se vyznačuje zejména těmito vlastnostmi:

- tři obousměrné 24bitové čítače s možností zkrácení cyklu
- vstupní logika pro zpracování kvadrurních signálů inkrementálních čidel
- dva programovatelné komparátory pro každý čítač
- "real-time" digitální výstupy odvozené od stavu komparátorů
- programovatelná logika přerušení (zdroje odvozené od stavu komparátorů)
- standardní digitální porty (8 vstupů a 8 výstupů)
- PCI target interface kompatibilní s PCI rev. 2.2 (verze 32 bitů, 5 V, 33 MHz)

## 1.2. Podmínky použití

Karty vyhovují instalaci do počítačů se sběrnici PCI v kancelářském nebo průmyslovém provedení a jsou určeny zpracování signálů.

Signály mohou být připojeny vhodným stíněným vodičem o délce maximálně 2 m.

Karty řady PCT-7303A mohou být použity výhradně v souladu s doporučeními výrobce uvedenými v této příručce, obecně platnými normami či standardy a pouze takovým způsobem, aby jejich selháním zaviněným jakýmkoliv způsobem se nemohly stát nebezpečnými osobám nebo majetku.

## 2. Technické parametry

### 2.1. Programovatelné čítače

počet čítačů	3
rozlišení čítače:	24 bitů (možnost nastavit v rozsahu 2~16.777.216)
blokování čítače	softwarově
pracovní režimy čítače:	IRC s kvadraturním signálem X1, X2, X4 "up/down", "count/dir", "count/gate"
vstupní frekvence:	5MHz max. (viz pozn.)


 *Uvedena fázová frekvence v IRC režimu se signálovou nesymetrií max. 40%/60%.*

### 2.2. Vstupní obvody

napěťové úrovně:	RS-422/TTL
vstupní impedance:	12 kOhm typ.

### 2.3. Digitální porty, "real-time" výstupy

počet vstupů:	8	(TTL komp.)
počet výstupů:	8 + 8	(TTL komp.)
zatěžovací impedance výstupů:	500 Ohm min.	(viz pozn.)


 *Vstupní porty jsou odolné proti přepětí ±24 V.  
Výstupní digitální porty jsou odolné proti trvalému zkratu proti GND; přivedením napětí mimo rozsah 0÷5 V dojde k nevratnému poškození obvodů.*

### 2.4. Obvody přerušení

zdroje přerušení:	výstupy komparátorů stavu čítačů generátor časových značek (1~255 ms) zachycení stavu čítačů externím signálem
-------------------	--

### 2.5. Ostatní údaje

I/O a MEM adresa:	přiřazena PCI PnP BIOSem
IRQ kanál:	přiřazen PCI PnP BIOSem
napájecí napětí:	+5 V (400 mA max.)
rozměry desky:	cca 90 x 125 mm
použité konektory:	Cannon 25 - vidlice Cannon 9 - vidlice DIL10 (header 2x5 pinů, rastr 2.54mm)
pracovní teplota:	0° ~ 65° C
skladovací teplota:	-20° ~ 80° C
relativní vlhkost:	10% ~ 90%, bez kondenzace
doporučená délka vodičů:	do 2 m

 *Uvedený proudový odběr je uvažován se všemi výstupy v nezátíženém stavu.*



## 3. Instalace karty

### 3.1. Úvod

Při výrobě bylo dbáno na dosažení vysoké kvality a spolehlivosti, rovněž byla věnována pozornost důkladné kontrole před expedicí. Aby nedošlo ke snížení jakosti či poškození při instalaci, doporučujeme Vám pečlivě prostudovat tuto příručku a postupovat podle uvedeného návodu.

Nebudete-li si jisti některým z kroků instalace, obraťte se na technickou podporu výrobce (informaci o aktuálním spojení naleznete na <http://www.tedia.cz>).

### 3.2. Nastavení konfiguračních prvků

Karta PCT-7303A v.2.1 obsahuje konfigurační propojku pro alternativní volbu signálu RT-DOUT7 nebo EXT-IN pro zachycení stavu čítačů sestupnou hranou externího TTL signálu ; podrobně viz tabulka Tab.2. a obrázek Obr.1.

### 3.3. Vlastní instalace



#### **Důležité upozornění:**

*Při instalaci karty dbejte zásad pro manipulaci s obvody citlivými na poškození elektrostatickým nábojem, s kartou manipulujte pouze za okraje a nedotýkejte se prsty součástek.*

*Instalaci provádějte zásadně při vypnutém počítači a vždy odpojte síťový kabel i ostatní přívodní vodiče !*

*Mimo počítač mohou být karty skladovány výhradně v antistatickém obalu.*

*Při nedodržení uvedených pravidel může dojít k poškození citlivých obvodů PC karty nebo celého počítače. V případě nejasností kontaktujte technickou podporu výrobce.*

Nakonfigurovanou kartu zasuňte po předchozím vyjmutí krycího štítku do volné pozice pro rozšiřující desky počítače a zajistěte šroubem.

Budou-li využity i digitální porty, upevněte redukční kabel DIG-209 do sousední pozice a zapojte kabely; orientace konektorů je vyznačena na obrázku Obr.1., první vodič plochého kabelu je zvýrazněn červenou barvou.



*Redukční kabel DIG-209 není součástí dodávky karty a lze jej objednat samostatně.*

### 3.4. Zapojení konektorů

Zapojení vývodů konektorů je zakresleno na obrázku Obr.2.; popis signálů je uveden v tabulkách Tab.1. až Tab.3.

V případě využití redukčního kabelu DIG-209 pro zpřístupnění digitálních portů na zadním panelu počítače je zapojení konektorů Cannon 9 popsáno v Tab.4.

### 3.5. Rozmístění významných prvků

Rozmístění konektorů na kartě PCT-7303A je zakresleno na obrázku Obr.1.

## 4. PCI sběrnice, základní informace

### 4.1. Základní pojmy

PCI-SIG	PCI Special Interest Group, organizace zajišťující standardizaci PCI sběrnice. PCI-SIG sídlí v Portlandu/USA, má přibližně 1000 řádných členů a TEDIA® je jedním z nich.
PCI konfigurační registry	slouží pro PnP identifikaci karty, zjištění jejích vlastností (zejména z pohledu PCI sběrnice), požadavků na systémové prostředky a jejich přidělení. PCI konfigurační registry obsahují řadu informací významných pro ovladače a aplikační software, zejména VID/DID, BAR registry, ... PCI registry nejsou určeny pro vlastní funkční přístupy (tzn. datové přenosy) a jsou zpřístupněny speciálními sběrnicovými cykly výhradně rozhraním PCI BIOSu; podrobnost lze čerpat ze specifikace PCI BIOS v aktuálním znění.
VID	Vendor ID, unikátní číslo výrobce adaptéru přidělené organizací PCI-SIG jejím členům.
DID	Device ID, unikátní číslo typu PCI karty přidělené výrobcem adaptéru. Číslo může být přiděleno výhradně držitelem příslušného VID.
Subsystem VID/ID	čísla umožňující identifikovat výrobce karty při zachování VID/ID výrobce chipsetu. Je využíváno zejména u implementací standardních řadičů (grafických akceleratorů, Ethernet řadičů, ...) a umožňuje využití společných driverů.
Class Code	umožňuje zařadit PC kartu do některé předdefinované třídy adaptérů a v některých případech využít společné softwarové podpory.
BAR0 až BAR4	Base Address Register, tzn. bázeový registr paměťového nebo I/O prostoru. Jednofunkční PCI karta může alokovat až 5 prostorů.

### 4.2. Řadič OX9162

Použitý řadič se vyznačuje následujícími vlastnostmi:

- 32bit./5V/33MHz target interface kompatibilní s PCI rev. 2.2 (tzn. není podporován busmastering)
- implementace celé sady PCI konfiguračních registrů
- implementace všech pěti BAR registrů
- 8-bitová pass-through lokální sběrnice s podporou přerušení
- konfigurace chipsetu prostřednictvím EEPROM

### 4.3. Implementace PCI BUS u PCD-7303A

Funkci řadiče PCI sběrnice plní obvod OX9162 s I/O a MEM prostory konfigurovanými v maximálním možném rozsahu.

**Karta využívá následujících PCI ID:**

VID	1760 <sub>H</sub>	tzn. VID přidělené TEDIA®
DID	0121 <sub>H</sub>	tzn. DID přidělené kartě PCD-7303A
Sub VID	1760 <sub>H</sub>	totéž jako VID
Sub ID	0004 <sub>H</sub>	verze karty (aktuální při vydání manuálu)
Class Code	118000 <sub>H</sub>	třída "other data acquisition adapter"

**Využití BAR prostorů:**

BAR0	mapován jako I/O, slouží pro přístup k první polovině registrů; u PCT-7303A je konfigurován na velikost 256B s datovou strukturou byte
BAR1	mapován jako I/O, slouží pro přístup k první polovině registrů; u PCT-7303A je konfigurován na velikost 256B s datovou strukturou byte
BAR2	mapován jako I/O, slouží pro přístupu k konfiguračním registrům chipsetu OX9162; je konfigurován na velikost 32B s datovou strukturou byte/word/double word
BAR3	mapován jako MEM, slouží pro přístup ke konfiguračním registrům chipsetu OX9162 (má totožný význam jako BAR2); je konfigurován na velikost 4kB s datovou strukturou byte/word/double word
BAR4	mapován jako MEM, slouží pro přístupu ke všem funkčním registrům; je konfigurován na velikost 4kB s datovou strukturou double word (avšak významných 8 nejnižších bitů)

Podrobnější informace k mapování registrů v jednotlivých prostorech jsou uvedeny v příloze tohoto manuálu.

### 4.4. Porovnání MEM a I/O přístupu

PCI specifikace definuje dva typy registrových prostorů - I/O a paměťový (MEM). Řada adaptérů umožňuje alternativní užití obou typů a periferní obvody mapuje současně do obou prostorů (prostřednictvím dvou BAR).

MEM	prostor existuje na všech hardwarových platformách (tzn. nejen na systémech s procesory Intel x86) a je mj. i proto preferován; jelikož 32-bitové adresování umožňuje mapovat až 4GB paměti, není velikost alokovaného prostoru z praktického hlediska nijak významně omezoována; přístup k perifériím mapovaných přes paměťový prostor je oproti I/O přístupu rychlejší, nebo alespoň není pomalejší; MEM přístup však vyžaduje 32bitové adresování
I/O	prostor je s ohledem na zpětnou kompatibilitu s 10bitově adresovanými systémy omezen na 63 intervalů o velikosti 256B; žádný adaptér tedy nemůže alokovat kontinuální prostor o velikosti větší než 256B; výhodou však je jednoduchá podpora v reálném módu procesorů Intel x86 (tzn. například v systému MS-DOS)

## 5. Struktura adresového prostoru

### 5.1. Úvod

Následující popis bude uvažovat přístup prostřednictvím prostoru BAR4; v případě využití I/O přístupů (tzn. BAR0/1) jsou adresy registrů modifikovány podle přiřazení uvedeného v příloze tohoto manuálu.

Všechny adresy (např. BAR4+80h) v dalším textu jsou uvedeny v hex formátu. Čtení a zápis do nedokumentovaných registrů není z důvodu dopředné kompatibility přípustný.



#### **Důležité upozornění:**

*Registry v rozsahu adres BAR4+0h ~ BAR4+3FCh jsou dostupné po zapnutí počítače, registry BAR4+400h ~ BAR4+7FCh jsou implementovány v FPGA a pro jejich funkci je nezbytný download konfiguračních dat.*

*Pro download konfiguračních dat lze použít dodávanou utilitu nebo download začlenit do vlastního software.*

Všechny registry implementované v FPGA (tzn. BAR4+400h ~ BAR4+7FCh) jsou po downloadu nastaveny na nulovou hodnotu; výjimku tvoří pouze CNT0RngReg, CNT1RngReg a CNT2RngReg, které jsou nastaveny na hodnotu 16777315. Do výchozího stavu mohou být registry uvedeny i pomocí FRST v FPGACtrlReg.

Všechny 24bitové registry by důvodu dopředné kompatibility měly být zpracovávány v pořadí od nejnižší po nejvyšší adresu.



*Pro plné porozumění doporučujeme prostudovat komentovanou obvodovou strukturu karty na obrázcích Obr.9. až Obr.11.*



#### **Důležité upozornění:**

*Registrová struktura popsaná v příručce odpovídá FPGA verze 1.2 a vyšší (do 1.15).*

### 5.2. DINReg (RD, BAR4+0)

Tento registr plní funkci datového registru vstupního digitálního portu.

Význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru.

D7	D6	D5	D4	D3	D2	D1	D0
DIN7	DIN6	DIN5	DIN4	DIN3	DIN2	DIN1	DIN0

### 5.3. DOUTReg (WR, BAR4+4)

Tento registr plní funkci datového registru výstupního digitálního portu.

Význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru.

Registr nemá po resetu definován stav; obsah dat lze však modifikovat přeprogramováním obsahu EEPROM.

D7	D6	D5	D4	D3	D2	D1	D0
DOUT7	DOUT6	DOUT5	DOUT4	DOUT3	DOUT2	DOUT1	DOUT0

## 5.4. IRQCfgReg (WR, BAR4+200h)


Tento registr slouží k povolení požadavku o přerušení generátoru od časových značek a globálnímu povolení požadavku o přerušení od komparátorů (tzn. umožní nastavení příznaků v IRQStatusReg), ne však pro aktivaci obvodů přerušení PCI sběrnice; podrobně viz obrázky Obr.11. a popis registru INTEnReg.

Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	XSTR	CMP	TIM	RSRV			

- TIM
  - konfigurace přerušení od generátoru časových značek (0 = přerušení zakázáno, 1 = přerušení povoleno)
- CMP
  - konfigurace přerušení od komparátorů (0 = přerušení zakázáno, 1 = přerušení povoleno)
- XSTR
  - konfigurace přerušení od příznaku zachycení stavu čítačů (0 = přerušení zakázáno, 1 = přerušení povoleno)


 Pro povolení přerušení od jednotlivých komparátorů čítačů jsou určeny registry CMPEnReg a CMPIRQReg. Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena hodnota 0.

## 5.5. IRQStatusReg (RD, BAR4+200h)

Tento registr slouží k identifikaci zdroje přerušení.

Struktura registru je totožná s IRQCfgReg a význam jednotlivých bitů je následující:

- TIM
  - přerušení vyvoláno generátorem časových značek (1 = příznak je aktivní, tzn. bylo vyvoláno přerušení)
- CMP
  - přerušení vyvoláno některým z komparátorů čítačů (1 = příznak je aktivní, tzn. bylo vyvoláno přerušení)
- XSTR
  - přerušení vyvoláno zachycením stavu čítačů ext. signálem (1 = příznak je aktivní, tzn. bylo vyvoláno přerušení)

 Pro identifikaci komparátoru, který vyvolal přerušení, je určen CMPStatusReg. Rezervní bity nemají pro funkci desky žádný význam (nastavena hodnota 0). Příznaky jsou funkční nezávisle na aktivaci logiky přerušení registrem INTEnReg.


## 5.6. IRQClrReg (WR, BAR4+204h)

Tento registr slouží k nulování příznaků nastavených přerušení v IRQStatusReg.

Registr má funkci automatického nulování a zápis hodnoty 1 tak nevyžaduje následný zápis hodnoty 0 (registr je nastaven na hodnotu 1 po dobu 60ns a po tuto dobu není zpracováván příslušný kanál přerušeni).

Struktura registru je totožná s IRQCfgReg a význam jednotlivých bitů je následující:

TIM	• nulování příznaku od generátoru časových značek (1 = příznak vynulován, následný zápis 0 není vyžadován)
CMP	• nulování globálního příznaku přerušeni od komparátorů (1 = příznak vynulován, následný zápis 0 není vyžadován)
XSTR	• nulování příznaku přerušeni od příznaku zachycení stavu čítačů (1 = příznak vynulován, následný zápis 0 není vyžadován)

 *Pro individuální nulování příznaků komparátorů je určen registr CMPClrReg. Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena hodnota 0.*

## 5.7. TimerReg (WR/RD, BAR4+5F0h)

Tento registr slouží k nastavení frekvence (resp. periody) interního generátoru časových značek.

Zapsaná osmibitová data umožňují konfigurovat periodu časových značek v rozsahu 1~255 ms; zápisem hodnoty 0 dojde k zastavení generátoru.

Registr je po resetu, resp. zapnutí počítače vynulován.

Ve funkci čtení poskytuje registr aktuální hodnotu časovače; data v rozsahu 0~TimerReg jsou inkrementována frekvencí 1kHz.

## 5.8. INTENReg (WR, BAR4+20Ch)

Tento registr slouží k aktivaci obvodů karty pro vyvolání přerušeni PCI sběrnice, tzn. k povolení požadavku o přerušeni systému, a současně nulování tohoto požadavku (je provedeno zakázáním a opětovným povolením přerušeni); podrobně viz obrázek Obr.11.


Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
INTEN	RSRV						

INTEN

- 0 = obvody karty přerušeni PCI sběrnice neaktivní
- 1 = obvody karty přerušeni PCI sběrnice aktivovány

 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena hodnota 0.*

## 5.9. XSTREnReg (WR, BAR4+210h)

Tento registr slouží k aktivaci obvodů pro zachycení stavu čítačů do vyrovnávacích registrů CNTxXStrReg karty.


Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	XSTR	RSRV					

XSTR

- 0 = obvodů pro zachycení stavu čítačů neaktivní
- 1 = obvodů pro zachycení stavu čítačů aktivovány

 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena hodnota 0.*


## 5.10. XSTRStatusReg (RD, BAR4+210h)

Tento registr slouží k detekci zachycení stavu čítačů do registrů CNTxXStrReg karty (viz popis XSTREnReg).

Struktura registru je totožná sXSTREnReg a význam jednotlivých bitů je následující:

XSTR

- signalizace zachycení stavu čítačů ext. signálem (1 = příznak je aktivní, tzn. bylo vyvoláno přerušení)

 *Rezervní bity nemají pro funkci desky žádný význam (nastavena hodnota 0). Příznaky jsou funkční nezávisle na aktivaci logiky přerušení registrem INTEnReg.*

## 5.11. XSTRClrReg (WR, BAR4+214h)


Tento registr slouží k nulování příznaků v XSTRStatusReg.

Registr má funkci automatického nulování a zápis hodnoty 1 tak nevyžaduje následný zápis hodnoty 0 (registr je nastaven na hodnotu 1 po dobu 60ns a po tuto dobu není zpracováván příslušný kanál přerušení).

Struktura registru je totožná s XSTRCfgReg a význam jednotlivých bitů je následující:

XSTR

- nulování příznaku zachycení stavu čítačů (1 = příznak vynulován, následný zápis 0 není vyžadován)


 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena hodnota 0.*

## 5.12. FPGACtrlReg (WR, BAR4+3FCh)

Tento registr slouží pro download konfiguračních dat FPGA a pro normální činnost karty není zpravidla využíván. Podrobnosti jsou uvedeny v samostatné kapitole.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV					FRST	CSDW	STDW

- STDW           • sekvence 0-1-0 zahajuje download konfigurace
- CSDW           • hodnotou 1 aktivuje přenos do FPGA
- FRST           • hodnotou 1 nastavuje registry FPGA do implicitního stavu  
(lze s výhodou využít i v běžném aplikaci, viz poznámka)
- RSRV           • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

 *Všechny registry implementované v FPGA (tzn. BAR4+400h ~ BAR4+7FCh) jsou po downloadu nebo resetu nastaveny na nulovou hodnotu; výjimku tvoří CNT0RngReg, CNT1RngReg a CNT2RngReg, které jsou nastaveny na hodnotu 16777315.*

### 5.13. FPGAStatusReg (RD, BAR4+3FCh)

Tento registr slouží pro dowload konfiguračních dat FPGA a pro normální činnost karty není využíván. Podrobnosti jsou uvedeny v samostatné kapitole.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV		RDY	SPDW	RSRV	FPGACtrlReg		

- SPDW           • hodnotou 1 signalizuje FPGA úspěšné ukončení programování
- RDY           • hodnotou 1 signalizuje FPGA připravenost k zápisu dat
- RSRV           • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)
- FPGACtrlReg • kopie odpovídajících bitů registru FPGACtrlReg

 *Podrobný popis registru je uveden v samostatné kapitole*

### 5.14. CNT0SetReg (WR, BAR4+400h/404h/408h)

Tento registr plní funkci 24bitového vyrovnávacího datového registru pro zápis dat do čítače. Registr na adrese +400h obsahuje osm nejnižších bitů, registr na adrese +408h pak osm nejvyšších bitů dat; pořadí programování viz kapitola 5.1.

Data jsou do čítače CNT0 přenesena příkazem CntCtrlReg.


 *Pro čítače CNT1 a CNT2 jsou implementovány analogické registry na adresách BAR4+480h/484h/488h, BAR4+500h/504h/508h, viz Tab.6.*

### 5.15. CNT0DataReg (RD, BAR4+400h/404h/408h)

Tento registr plní funkci 24bitového vyrovnávacího datového registru pro čtení dat z čítače. Registr na adrese +400h obsahuje osm nejnižších bitů, registr na adrese +408h osm nejvyšších bitů dat; pořadí programování viz kapitola 5.1.




Data čítače jsou do CNT0DataReg přenesena příkazem CntCtrlReg.

 *Pro čítače CNT1 a CNT2 jsou implementovány analogické registry na adresách BAR4+480h/484h/488h, BAR4+500h/504h/508h, viz Tab.6.*

## 5.16. CNT0XDataReg (RD, BAR4+410h/414h/418h)

Tento registr je analogický registru CNT0DataReg, avšak k zachycení dat dojde sestupnou hranou externího signálu EXT-IN, resp. nastavením příznaku XSTR v registru XSTRStatusReg sestupnou hranou externího signálu EXT-IN (po zachycení stavu čítačů a přečtení obsahu registů CNTxXDataReg je nezbytné vynulovat příznak XSTR pomocí registru XSTRClrReg). Podrobně viz obrázky Obr.9. až Obr.11.

 *Pro čítače CNT1 a CNT2 jsou implementovány analogické registry na adresách BAR4+490h/494h/498h, BAR4+510h/514h/518h, viz Tab.6.*


## 5.17. CNT0RngReg (WR, BAR4+410h/414h/418h)

Tento 24bitový registr je určen pro nastavení rozsahu čítače.

Obsah registru je po downloadu konfigurace FPGA nastaven na 16.777.315 a čítač nabývá hodnot v rozsahu 0~16.777.315. Modifikací obsahu tohoto registru (platná data 1~16.777.315) lze odpovídajícím způsobem omezit i pracovní rozsah čítače.

Je-li v okamžik nastavení registru CNT0RngReg hodnota čítače mimo rozsah 0~CNT0RngReg, pracuje čítač v celém 24bitovém rozsahu až do okamžiku, kdy hodnota čítače vstoupí do zvoleného rozsahu.

Registr na adrese +410h obsahuje osm nejnižších bitů, registr na adrese +418h pak osm nejvyšších bitů dat; pořadí programování viz kapitola 5.1.

 *Pro čítače CNT1 a CNT2 jsou implementovány analogické registry na adresách BAR4+490h/494h/498h, BAR4+510h/514h/518h, viz Tab.6.*

## 5.18. CNT0CMP1 (WR, BAR4+420h/424h/428h)

Tento 24bitový registr definuje práh prvního komparátoru čítače CNT0. Při dosažení ekvivalence obsahu čítače s tímto registrem může být nastaven odpovídající příznak v registru CMPStatusReg (viz CMPEnReg) a případně i vyvoláno přerušení (viz CMPIRQReg) či nastaven "real-time" digitální výstup (viz RTDOCfgReg).

Registr na adrese +420h obsahuje osm nejnižších bitů, registr na adrese +428h pak osm nejvyšších bitů dat; pořadí programování viz kapitola 5.1.

 *Pro čítače CNT1 a CNT2 jsou implementovány analogické registry na adresách BAR4+4A0h/4A4h/4A8h, BAR4+520h/524h/528h, viz Tab.6.*

## 5.19. CNT0CMP2 (WR, BAR4+430h/434h/438h)

Tento 24bitový registr definuje práh druhého komparátoru čítače CNT0; význam je analogický registru CNT0CMP1.

 Pro čítače CNT1 a CNT2 jsou implementovány analogické registry na adresách BAR4+4B0h/4B4h/4B8h, BAR4+530h/534h/538h, viz Tab.6.

## 5.20. CNT0CWReg (WR, BAR4+470h)

Tento registr slouží ke konfiguraci pracovního režimu čítače CNT0.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	CNT_MODE			ERR	RSRV	LPF	R_Cfg

- R\_Cfg
- volba polarity nulovacího pulsu (signál R)  
(0 = čítač nulován úrovní L, 1 = čítač nulován úrovní H)
- LPF
- volba dolnopropustního filtru dekodéru vstupních signálů  
(0 = filtr vypnut, 1 = filtr aktivován)
- ERR
- nulování příznaku ERR v CNT0StatusReg  
(1 = příznak vynulován, následný zápis 0 není vyžadován)
- CNT\_MODE
- volba pracovního režimu čítače
 

000	kvadrurní enkodér, režim X1 (viz Obr. 5.)
001	kvadrurní enkodér, režim X2 (viz Obr. 5.)
010	kvadrurní enkodér, režim X4 (viz Obr. 5.)
011	rezerva
100	režim "up/down" (viz Obr. 6.)
101	režim "count/dir" (viz Obr. 7.)
110	režim "count/gate" (viz Obr. 8.)
111	rezerva
- RSRV
- rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

 Pro čítače CNT1 a CNT2 jsou implementovány analogické registry na adresách BAR4+4F0h, BAR4+570h, viz Tab.6.


## 5.21. CNT0StatusReg (RD, BAR4+470h)

Tento registr slouží k identifikaci stavových informací čítače CNT0.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV				ERR	R_IN	B_IN	A_IN

- D0 • aktuální stav signálu A
- D1 • aktuální stav signálu B
- D2 • aktuální stav signálu R
- D3 • příznak ERR; příznak je nastaven na hodnotu 1 při
  - "přeskočení" fáze kvadrurního signálu v režimech X1, X2 a X4
  - stavem A=0 a B=0 v režimu "up/down"
- RSRV • rezerva (nastavena hodnota 0)

 Pro čítače CNT1 a CNT2 jsou implementovány analogické registry na adresách BAR4+4F0h, BAR4+570h, viz Tab.6.

## 5.22. CNTEnReg (WR, BAR4+580h)

Tento registr slouží k řízení všech tří čítačů.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV7	EN_R2	EN_R1	EN_R0	RSRV3	EN_AB2	EN_AB1	EN_AB0

- EN\_AB0 • povolení čítání CNT0  
(0 = čítač je zastaven, 1 = čítač zpracovává signály A0 a B0)
- EN\_AB1 • povolení čítání CNT1  
(0 = čítač je zastaven, 1 = čítač zpracovává signály A1 a B1)
- EN\_AB2 • povolení čítání CNT2  
(0 = čítač je zastaven, 1 = čítač zpracovává signály A2 a B2)
- RSRV3 • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)
- EN\_R0 • povolení nulování CNT0  
(0 = čítač ignoruje signál R0, 1 = čítač zpracovává signál R0)
- EN\_R1 • povolení nulování CNT1  
(0 = čítač ignoruje signál R1, 1 = čítač zpracovává signál R1)
- EN\_R2 • povolení nulování CNT2  
(0 = čítač ignoruje signál R2, 1 = čítač zpracovává signál R2)
- RSRV7 • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

 Aktivní úroveň signálu R je konfigurovatelná, viz popis CNT0CWRReg.

## 5.23. CNTCtrlReg (WR, BAR4+584h)

Tento registr slouží k řízení všech tří čítačů.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV7	SET_2	SET_1	SET_0	RSRV3	STR_2	STR_1	STR_0

- STR\_0 • přenos dat z CNT0 do CNT0DataReg  
(1 = data přenesena do registru, následný zápis 0 není vyžadován)
- STR\_1 • přenos dat z CNT1 do CNT1DataReg  
(1 = data přenesena do registru, následný zápis 0 není vyžadován)
- STR\_2 • přenos dat z CNT2 do CNT2DataReg  
(1 = data přenesena do registru, následný zápis 0 není vyžadován)
- RSRV3 • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)
- SET\_0 • přenos dat z CNT0SetReg do CNT0  
(1 = data přenesena do čítače, následný zápis 0 není vyžadován)
- SET\_1 • přenos dat z CNT1SetReg do CNT1  
(1 = data přenesena do čítače, následný zápis 0 není vyžadován)
- SET\_2 • přenos dat z CNT2SetReg do CNT2  
(1 = data přenesena do čítače, následný zápis 0 není vyžadován)
- RSRV7 • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

## 5.24. CMPEnReg (WR, BAR4+590h)

Tento registr slouží k řízení komparátorů všech tří čítačů.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV7	EN_C22	EN_C12	EN_C02	RSRV3	EN_C21	EN_C11	EN_C01

- EN\_C01 • aktivace 1. komparátoru čítače CNT0 (práh CNT0CMP1)  
(0 = komparátor blokován, 1 = komparátor aktivován)
- EN\_C11 • aktivace 1. komparátoru čítače CNT1 (práh CNT1CMP1)  
(0 = komparátor blokován, 1 = komparátor aktivován)
- EN\_C21 • aktivace 1. komparátoru čítače CNT2 (práh CNT2CMP1)  
(0 = komparátor blokován, 1 = komparátor aktivován)
- RSRV3 • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)
- EN\_C02 • aktivace 2. komparátoru čítače CNT0 (práh CNT0CMP2)  
(0 = komparátor blokován, 1 = komparátor aktivován)
- EN\_C12 • aktivace 2. komparátoru čítače CNT1 (práh CNT1CMP2)  
(0 = komparátor blokován, 1 = komparátor aktivován)
- EN\_C22 • aktivace 2. komparátoru čítače CNT2 (práh CNT2CMP2)  
(0 = komparátor blokován, 1 = komparátor aktivován)
- RSRV7 • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)


## 5.25. CMPStatusReg (RD, BAR4+590h)

Tento registr slouží k identifikaci příznaků komparátorů.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV7	CMP_22	CMP_12	CMP_02	RSRV3	CMP_21	CMP_11	CMP_01

- CMP\_01      • příznak 1. komparátoru čítače CNT0  
(1 = detekována ekvivalence stavu čítače CNT0 a CNT0CMP1)
- CMP\_11      • příznak 1. komparátoru čítače CNT1  
(1 = detekována ekvivalence stavu čítače CNT1 a CNT1CMP1)
- CMP\_21      • příznak 1. komparátoru čítače CNT2  
(1 = detekována ekvivalence stavu čítače CNT2 a CNT2CMP1)
- RSRV3      • rezerva (nastavena hodnota 0)
- CMP\_02      • příznak 2. komparátoru čítače CNT0  
(1 = detekována ekvivalence stavu čítače CNT0 a CNT0CMP2)
- CMP\_12      • příznak 2. komparátoru čítače CNT1  
(1 = detekována ekvivalence stavu čítače CNT1 a CNT1CMP2)
- CMP\_22      • příznak 2. komparátoru čítače CNT2  
(1 = detekována ekvivalence stavu čítače CNT2 a CNT2CMP2)
- RSRV7      • rezerva (nastavena hodnota 0)

 *Nastavovány jsou pouze příznaky aktivované v CMPEnReg, k nulování nastavených příznaků slouží CMPClrReg.*

## 5.26. CMPClrReg (WR, BAR4+594h)

Tento registr slouží k nulování příznaků komparátorů.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV7	CLR_22	CLR_12	CLR_02	RSRV3	CLR_21	CLR_11	CLR_01

- CLR\_01      • nulování příznaku 1. komparátoru čítače CNT0  
(1 = příznak vynulován, následný zápis 0 není vyžadován)
- CLR\_11      • nulování příznaku 1. komparátoru čítače CNT1  
(1 = příznak vynulován, následný zápis 0 není vyžadován)
- CLR\_21      • nulování příznaku 1. komparátoru čítače CNT2  
(1 = příznak vynulován, následný zápis 0 není vyžadován)
- RSRV3      • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)
- CLR\_02      • nulování příznaku 2. komparátoru čítače CNT0  
(1 = příznak vynulován, následný zápis 0 není vyžadován)
- CLR\_12      • nulování příznaku 2. komparátoru čítače CNT1  
(1 = příznak vynulován, následný zápis 0 není vyžadován)
- CLR\_22      • nulování příznaku 2. komparátoru čítače CNT2  
(1 = příznak vynulován, následný zápis 0 není vyžadován)
- RSRV7      • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)


## 5.27. CMPIRQReg (WR, BAR4+598h)

Tento registr slouží k povolení požadavku o přerušení (tzn. umožní nastavení příznaků v IRQStatusReg), ne však pro povolení vyvolání přerušení (viz popis INTEnReg).

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV7	IRQ_22	IRQ_12	IRQ_02	RSRV3	IRQ_21	IRQ_11	IRQ_01

- IRQ\_01
  - povolení požadavku od příznaku 1. komparátoru čítače CNT0 (0 = požadavek blokován, 1 = požadavek aktivován)
- IRQ\_11
  - povolení požadavku od příznaku 1. komparátoru čítače CNT1 (0 = požadavek blokován, 1 = požadavek aktivován)
- IRQ\_21
  - povolení požadavku od příznaku 1. komparátoru čítače CNT2 (0 = požadavek blokován, 1 = požadavek aktivován)
- RSRV3
  - rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)
- IRQ\_02
  - povolení požadavku od příznaku 2. komparátoru čítače CNT0 (0 = požadavek blokován, 1 = požadavek aktivován)
- IRQ\_12
  - povolení požadavku od příznaku 2. komparátoru čítače CNT1 (0 = požadavek blokován, 1 = požadavek aktivován)
- IRQ\_22
  - povolení požadavku od příznaku 2. komparátoru čítače CNT2 (0 = požadavek blokován, 1 = požadavek aktivován)
- RSRV7
  - rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

 Konfigurace má smysl pouze pro příznaky povolené v CMPEnReg.

## 5.28. RTDOReg (WR, BAR4+5A0h)

Tento registr slouží jako datový registr pro alternativní funkci "real-time" výstupů (viz popis RTDOCfgReg).

Registr je downloadu konfigurace FPGA vynulován.

## 5.29. RTDOCfgReg (WR, BAR4+5A4h)

Tento registr slouží k aktivaci funkce "real-time" výstupů.

"Real-time" výstupy karty jsou primárně určeny pro aplikace vyžadující rychlou reakci systému na dosažení nastavené polohy a jsou na ně směřovány výstupy záchytných registrů komparátorů (viz CMPEnReg, CMPStatusReg a CMPClrReg). Není-li tato funkce využita, lze na výstupy směřovat obsah RTDOReg a výstupy využít ve funkci standardního programem řízeného digitálního portu.

Registr je downloadu konfigurace FPGA vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV7	RT_22	RT_12	RT_02	RSRV3	RT_21	RT_11	RT_01

- RT\_01      • směrování signálu RT-DOUT0  
(0 = směrován RTDOReg(0), 1 = směrován 1. komparátor CNT0)
- RT\_11      • směrování signálu RT-DOUT1  
(0 = směrován RTDOReg(1), 1 = směrován 1. komparátor CNT1)
- RT\_21      • směrování signálu RT-DOUT2  
(0 = směrován RTDOReg(2), 1 = směrován 1. komparátor CNT2)
- RSRV3      • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)  
(na výstup RT-DOUT3 trvale směrován RTDOReg(3))
- RT\_02      • směrování signálu RT-DOUT4  
(0 = směrován RTDOReg(4), 1 = směrován 2. komparátor CNT0)
- RT\_12      • směrování signálu RT-DOUT5  
(0 = směrován RTDOReg(5), 1 = směrován 2. komparátor CNT1)
- RT\_22      • směrování signálu RT-DOUT6  
(0 = směrován RTDOReg(6), 1 = směrován 2. komparátor CNT2)
- RSRV7      • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)  
(na výstup RT-DOUT7 trvale směrován RTDOReg(7))

### 5.30. FPGA VerReg (WR, BAR4+5FCh)

Tento poskytuje verzi FPGA ve formátu [D7~D4 .D3~D0], tedy "0.0" až "15.15".



***Důležité upozornění:***

*Registrová struktura popsaná v příručce odpovídá FPGA verze 1.2 a vyšší (do 1.15).*

## 6. Popis čítačů

### 6.1. Úvod

Karty PCT-7303A obsahují tři nezávislé obousměrné čítače s programovatelnými vstupními obvody s podporou celé řady pracovních režimů.

Jádrem karty je výkonné FPGA konfigurované z diskového souboru při každém startu počítače, případně kdykoliv aplikační program vyžaduje (v případě více různých konfiguračních souborů).

Podrobnosti o obvodovém řešení jsou uvedeny na obrázcích Obr.9. až Obr.11.

### 6.2. Zapojení vstupů

Vstupní obvody jsou kompatibilní s úrovněmi RS-422 (preferované řešení) nebo HC/TTL; v druhém případě je potřeba propojit referenční napětí na nevyužité vstupy (viz obrázky Obr.3. a Obr.4.).

### 6.3. Programovatelná vstupní logika

Vstupní logika umožňuje konfigurovat do řady pracovních režimů, podrobně viz obrázky Obr.5. až Obr.8.

Pro vybrané režimy je k dispozici detekce chybových stavů a pro všechny režimy pak digitální dolnoproustní filtr (vyžaduje stabilní signál po dobu minimálně 150 ns, tzn. ze signálu odfiltruje zákmity kratší než 150 ns).

### 6.4. Čítače

Karta obsahuje tři 24bitové obousměrné čítače s možností zkrácení cyklu v rozsahu 2~16.777.216 (tzn. nastavená data 1~16.777.215) pomocí registru CNTxRngReg; čítač tedy pracuje v režimech

data	inkrementace	dekrementace
1	0-1-0-1- ...	1-0-1-0- ...
2	0-1-2-0-1- ...	1-0-2-1-0 ...
16.777.215	16.777.215-0-1- ...	1-0-16.777.215-16.777.214-...

Čítače umožňují přednastavit na libovolnou 24bitovou hodnotu pomocí registru CNTxSetReg; program nejprve nastaví požadovanou hodnotu třemi 8bitovými zápisy a následně přenesení data do čítače pomocí CNTCtrlReg (lze provést pro všechny čítače současně). Obsah registru CNTxSetReg zůstává nezměněn až do jeho další modifikace programem.

Je-li v okamžik nastavení registru CNT0RngReg hodnota čítače mimo rozsah 0~CNT0RngReg, pracuje čítač v celém 24bitovém rozsahu až do okamžiku, kdy hodnota čítače vstoupí do zvoleného rozsahu. Pro korektní funkci tedy musí být hodnota programovaná do čítače v rozsahu 0~CNTxRngReg.

Ke programovému čtení čítače je vyhrazen zachytný registr CNTxStrReg; program nejprve zachytí obsah čítače do registru (lze provést pro všechny čítače současně) a následně přečte hodnotu třemi 8bitovými cykly.

Ve speciálních případech lze využít zachycení stavu čítačů externím TTL signálem EXT-IN (alternativní funkce k signálu RT-DOU7, konfigurace propojkou).



Je-li tato funkce povolena registrem XSTRCfgReg, pak sestupná hrana signálu EXT-IN nastaví příznak XSTR v registru XSTRStatusReg a aktuální obsah všech čítačů je přenesen do registrů CNTxXStrReg. Nastavení příznaku XSTR může být využito i k vyvolání přerušení systému.

Pro přečtení obsahu CNTxXStrReg je potřeba vynulováním příznaku XSTR pomocí registru XSTRClrReg opětovně aktivovat detekci sestupné hrany EXT-IN.

## 6.4. Komparátory

Každý z čítačů je vybaven dvěma 24bitovými komparátory porovnávající aktuální hodnotu čítače s přednastaveným registrem. Výstupy komparátorů jsou typicky využity pro "real-time" výstupy nebo pro obvody přerušení, lze je však využít i pro prosté softwarové zpracování.

Každý z komparátorů umožňuje individuálně přednastavit prahovou hodnotu (24bitová data jsou naprogramována třemi cykly), aktivovat (viz CMPEnReg) i zpracovat příznak v záchytném registru (viz CMPStatusReg a CMPClrReg).

Prahovou hodnotu komparátoru lze programovat kdykoliv "za běhu" čítače; je však potřeba si uvědomit, že komparátor je aktivní při každém zápisu 8bitové hodnoty a příznak tedy může být nastaven některým z přechodných prahů. Před každým přeprogramováním prahové hodnoty je potřeba deaktivovat příslušný komparátor a po naprogramování jej opětovně povolit (viz CMPEnReg).

## 6.5. "Real-time" výstupy

"Real-time" výstupy karty jsou primárně určeny pro aplikace vyžadující rychlou reakci systému na dosažení nastavené polohy a jsou na ně v tomto režimu směrovány výstupy záchytných registrů komparátorů.

Není-li tato funkce využita, lze na výstupy směrovat obsah RTDOReg a výstupy využít ve funkci standardního programem řízeného digitálního portu (výhodné mj. při programovém testování odezvy systému).

Směrování je bitově orientované, tzn. lze provést individuálně pro každý signál.

## 6.6. Generátor časových značek

Karta PCT-7303A obsahuje speciální generátor umožňující vyvolávat periodické přerušení systému s volitelnou konstantou 1~255 ms. Podrobný popis viz registr TimerReg.

## 6.7. Obvody přerušení

Pro aplikace, kdy pro zpětné zásahy do technologie nevyhoví "real-time" výstupy, nabízí karta podporu přerušení systému. V tomto režimu mohou být vybrané výstupy komparátorů směrovány na programovatelné obvody přerušení; konfigurace je právě jako v případě "real-time" výstupů bitově orientovaná, tzn. směrování lze provést individuálně pro každý komparátor.

Kromě uvedených šesti zdrojů může být přerušení vyvoláno ještě generátorem časových značek a externím signálem pro zachycení stavu čítačů.

## 7. Popis řadiče přerušení

### 7.1. Úvod

Karta PCT-7303A je vybavena programovatelnou logikou přerušení s až sedmi současně pracujícími zdroji. Vnitřní struktura karty je zjednodušeně znázorněna na obrázcích Obr.9. až Obr.11.

Jelikož volba IRQ kanálu je dána PnP mechanismy PCI BIOSu, následující odstavce budou věnovány pouze volbě zdroje přerušení s ohledem na praktické využití.

### 7.2. Zdroje přerušení

Karta PCT-7303A umožňuje vyvolat přerušení některým ze šesti komparátorů čítačů a generátorem časových značek v libovolné kombinaci. Každý ze zdrojů přerušení lze individuálně povolit i nulovat prostřednictvím registrů IRQCfgReg, IRQClrReg, CMPEnReg, CMPIRQReg a CMPClrReg.

### 7.3. Programová obsluha přerušení

Zjednodušený algoritmus programové obsluhy je popsán v následujícím postupu:

-> **inicializace**

1. program nainstaluje přerušovací rutinu na IRQ kanál přidělený BIOSem (viz popis PCI konfiguračních registrů v příloze manuálu)
2. program nastaví vhodné konfigurační parametry čítačů a nastaví jejich obsah
3. program vynuluje případné nezpracované příznaky pomocí IRQClrReg (IRQClrReg=FFh) a CMPClrReg.
4. program povolí obvody přerušovací linku (INTEnReg=80h)
5. program povolí požadované zdroje přerušení na kartě (např. IRQCfgReg=0011000 povolí přerušení odvozené od generátoru časových značek i komparátorů)
6. program nastaví hodnoty komparátorů (CNTxCMPx)
7. program povolí přerušení od vybraného komparátoru (např. CMPIRQReg=0001001 povolí přerušení od obou komparátorů CNT0)
8. program aktivuje komparátory (CMPEnReg)
9. program spustí čítače (CNTEnReg) a generátor časových značek (např. TimerReg=25 nastaví periodické přerušení od časovače na hodnotu 25 ms)

-> **po příchodu události je vyvoláno přerušení**

- obsluha přerušení** (tzv. ISR) uvolní INTA sběrnice pomocí INTEnReg (zápisem INTEnReg=0h a následně INTEnReg=80h), ukončí rutinu v řadiči přerušení (resp. přenechá řízení další ISR) a předá zprávu aplikačnímu programu
10. program přečte IRQStatusReg a identifikuje přerušení (např. IRQStatusReg=00100000 znamená, že přerušení bylo vyvoláno některým z komparátorů)
  11. program přečte CMPStatusReg a identifikuje přerušení (např. CMPStatusReg=00000001 znamená, že přerušení bylo vyvoláno prvním komparátorem čítače CNT0)

12. program vynuluje CMPStatusReg pomocí CMPClrReg (pro daný případ proved zápis CMPClrReg=00000001)
  13. program vynuluje IRQStatusReg pomocí IRQClrReg (pro daný případ IRQClrReg=00100000)
  14. program znovu přečte IRQStatusReg a CMPStatusReg; je-li některý z nich nenulový, identifikuje přerušení a smaže jeho příznaky podle bodů 10~13.
- > ukončení programu**
15. program zastaví časovač vynulováním TimerReg, vynuluje registry INTEnReg, IRQCfgReg, CMPIRQReg a CMPEnReg, eventuálně vynuluje nezpracované příznaky pomocí IRQClrReg, a odinstaluje přerušovací rutinu

 *Uvedený postup předpokládá nakonfigurované FPGA.*

## 8. Popis digitálních vstupů a výstupů

### 8.1. Úvod

PC karty řady PCT-7303A obsahují kromě 8 "real-time" výstupů (umístěny na konektoru Cannon 9) rovněž 8 vstupních kanálů a 8 kanálů výstupních; signály obou portů jsou umístěny na dvou konektorech DIL10.

V případě potřeby lze použít redukční kabel DIG-209, který převede signály z obou konektorů DIL10 na 2x Cannon 9.

### 8.2. Zapojení vstupů


Pro realizaci vstupů bylo využito obvodů technologie HCTMOS. Jejich výhodné vlastnosti (vysoká vstupní impedance a zanedbatelný vstupní proud, ochranné diody) byly využity pro přepětovou ochranu do  $\pm 24V$ .

Protože klidový stav vstupů odpovídá logické úrovni H (ošetřeno rezistory 10kOhm proti napětí +5V), lze je použít i pro připojení signálů typu "otevřený kolektor".

### 8.3. Zapojení výstupů

Pro realizaci výstupů bylo využito obvodů technologie HCMOS. Pro jejich výhodné vlastnosti (vysoký výstupní proud a zanedbatelný napěťový úbytek) je lze využít pro přímé buzení LED, optronů, popř. i miniaturních relé 5V/500 Ohm.

Elektrické vlastnosti "real-time" výstupů jsou totožné s vlastnostmi standardních digitálních portů.

 *Na konektoru Cannon 9 je konfigurační propojkou alternativně aktivován signál RT-DOUT7 nebo EXT-IN.*

## 9. Popis konfigurace FPGA

### 9.1. Úvod

Funkce čítačů a komparátorů je u PC karet řady PCT-7303A realizována na bázi hradlové pole - FPGA - vyžadujícího download konfiguračních dat z diskového souboru při každém zapnutí počítače. Tato nevýhoda je vyvážena možností jednoduchého upgrade a v neposlední řadě výrazně nižší cenou než jiná řešení.

Dále uvedený postup znázorňuje algoritmus funkcí potřebných pro download; pro běžné účely je dodávána programovací utilita (verze pro MS-DOS a Windows).

### 9.2. Zjednodušený postup downloadu

Pro download jsou využívány tyto tři registry:

FPGACtrlReg	registr pro řízená přenosu (WR, BAR4+3FCh)
FPGAStatusReg	registr pro stavové příznaky (RD, BAR4+3FCh)
FPGADwldReg	registr pro přenos dat (WR, BAR4+400h) (v běžném režimu není tento registr dostupný)

**Postup (výchozí stav FPGACtrlReg = 00h):**

1. program zahájí download postupnými zápisy FPGACtrlReg = 01h a FPGACtrlReg = 00h; FPGAStatusReg je nastaven na hodnotu 20h a FPGA je připraveno pro download konfiguračních dat
2. program aktivuje programovací sekvenci zápisem FPGACtrlReg = 02h
3. program otevře soubor s konfiguračními daty, načte první byte a zapíše jej do registru FPGADwldReg  
FPGAStatusReg na zápis reaguje změnou na hodnotu 02h (signalizuje, že přenos dat uvnitř FPGA probíhá) a následně po max. 1,6  $\mu$ s zpět na 22h (~ FPGA RDY)
4. program vyčkává na nastavený příznak RDY v registru FPGAStatusReg nebo na nastavený příznak SPDW (tzn. 10h)
5. program postupně podle bodů 3 a 4 zapíše do FPGA celý obsah souboru
6. program ukončí programovací sekvenci zápisem FPGACtrlReg = 00h a FPGAStatusReg po ukončení programování setrvává ve stavu 10h; zůstane-li po ukončení programování v registru FPGAStatusReg hodnota 20h, přenos dat neproběhl úspěšně a je potřeba jej opakovat




*Důvodem pro nesprávné naprogramování FPGA může být chyba v programu nebo nesprávný či poškozený konfigurační soubor.*

Prázdná Strana


<b>funkce</b>	<b>PIN</b>	<b>PIN</b>	<b>funkce</b>
+5V (700mA max.)	C1		
PWR GND	C2	C14	+12V (700mA max.)
VREF (1,25V)	C3	C15	PWR GND
CNT2 (-R)	C4	C16	VREF (2,5V)
CNT2 (-B)	C5	C17	CNT2 (+R)
CNT2 (-A)	C6	C18	CNT2 (+B)
CNT1 (-R)	C7	C19	CNT2 (+A)
CNT1 (-B)	C8	C20	CNT1 (+R)
CNT1 (-A)	C9	C21	CNT1 (+B)
CNT0 (-R)	C10	C22	CNT1 (+A)
CNT0 (-B)	C11	C23	CNT0 (+R)
CNT0 (-A)	C12	C24	CNT0 (+B)
GND	C13	C25	CNT0 (+A)

Tab.1. Zapojení vývodů konektorů Cannon 25.

 Signály PWR GND a A GND jsou na kartě propojeny.  
PWRGND slouží pro napájení snímače, GND pro signálovou "zem".

<b>funkce</b>	<b>PIN</b>	<b>PIN</b>	<b>funkce</b>
RT-DOUT0	C1		
RT-DOUT2	C2	C6	RT-DOUT1
RT-DOUT4	C3	C7	RT-DOUT3
RT-DOUT6	C4	C8	RT-DOUT5
GND	C5	C9	RT-DOUT7 / EXT-IN

Tab.2. Zapojení vývodů konektorů Cannon 9.

 RT-DOUT jsou "real-time výstupy" generující signály odvozené od komparátorů stavu čítačů.  
Směr přenosu signálu na pinu C9 je konfigurovatelný propojkou JP2 do funkce RT-DOUT7 nebo EXT-IN (vstup pro externí zachycení stavu čítačů; sestupná hrana přenesení aktuálního stavu čítačů do registrů CNTxXDataReg a nastaví příznak zachycení, popř. vyvolá přerušování), podrobně viz obrázky Obr.1., Obr.9 a Obr.11.

<b>funkce</b>	<b>PIN</b>	<b>PIN</b>	<b>funkce</b>
<i>DIN0 / DOUT0</i>	<i>D1</i>	<i>D2</i>	<i>DIN1 / DOUT1</i>
<i>DIN2 / DOUT2</i>	<i>D3</i>	<i>D4</i>	<i>DIN3 / DOUT3</i>
<i>DIN4 / DOUT4</i>	<i>D5</i>	<i>D6</i>	<i>DIN5 / DOUT5</i>
<i>DIN6 / DOUT6</i>	<i>D7</i>	<i>D8</i>	<i>DIN7 / DOUT7</i>
<i>GND</i>	<i>D9</i>	<i>D10</i>	<i>+5V</i>

Tab.3. Zapojení vývodů konektoru DIL 10.

<b>funkce</b>	<b>PIN</b>	<b>PIN</b>	<b>funkce</b>
<i>DIN0 / DOUT0</i>	<i>C1</i>		
<i>DIN2 / DOUT2</i>	<i>C2</i>	<i>C6</i>	<i>DIN1 / DOUT1</i>
<i>DIN4 / DOUT4</i>	<i>C3</i>	<i>C7</i>	<i>DIN3 / DOUT3</i>
<i>DIN6 / DOUT6</i>	<i>C4</i>	<i>C8</i>	<i>DIN5 / DOUT5</i>
<i>GND</i>	<i>C5</i>	<i>C9</i>	<i>DIN7 / DOUT7</i>

Tab.4. Zapojení vývodů konektorů Cannon 9 redukčního kabelu DIG-209.

<b>adresa registru (hex)</b>	<b>funkce registru</b>
<i>BAR4+000</i>	<i>DIOReg0 - registr digitálních vstupů</i>
<i>BAR4+004</i>	<i>DIOReg1 - registr digitálních výstupů</i>
<i>BAR4+008 ÷ BAR4+1FC</i>	<i>rezerva</i>
<i>BAR4+200</i>	<i>IRQCfgReg, IRQStatusReg - registry obvodů přerušení</i>
<i>BAR4+204</i>	<i>IRQClrReg - řídicí registr obvodů přerušení</i>
<i>BAR4+208</i>	<i>rezerva (obvyklý TimerReg přemístěn na adresu 5F0)</i>
<i>BAR4+20C</i>	<i>INTEnReg - řídicí registr obvodů přerušení</i>
<i>BAR4+210, BAR4+214</i>	<i>obvody pro zachycení stavu čítačů externím signálem</i>
<i>BAR4+218 ÷ BAR4+3F8</i>	<i>rezerva</i>
<i>BAR4+3FC</i>	<i>registr pro download obsahu FPGA</i>
<i>BAR4+400 ÷ BAR4+47C</i>	<i>registry CNT0 (viz. Tab.6.)</i>
<i>BAR4+480 ÷ BAR4+4FC</i>	<i>registry CNT1 (viz. Tab.6.)</i>
<i>BAR4+500 ÷ BAR4+57C</i>	<i>registry CNT2 (viz. Tab.6.)</i>
<i>BAR4+580 ÷ BAR4+5FC</i>	<i>konfigurační registry CNT0, CNT1 a CNT2 (viz. Tab.7.)</i>
<i>BAR4+600 ÷ BAR4+7FC</i>	<i>rezerva</i>

Tab.5. Struktura adresového prostoru karty.

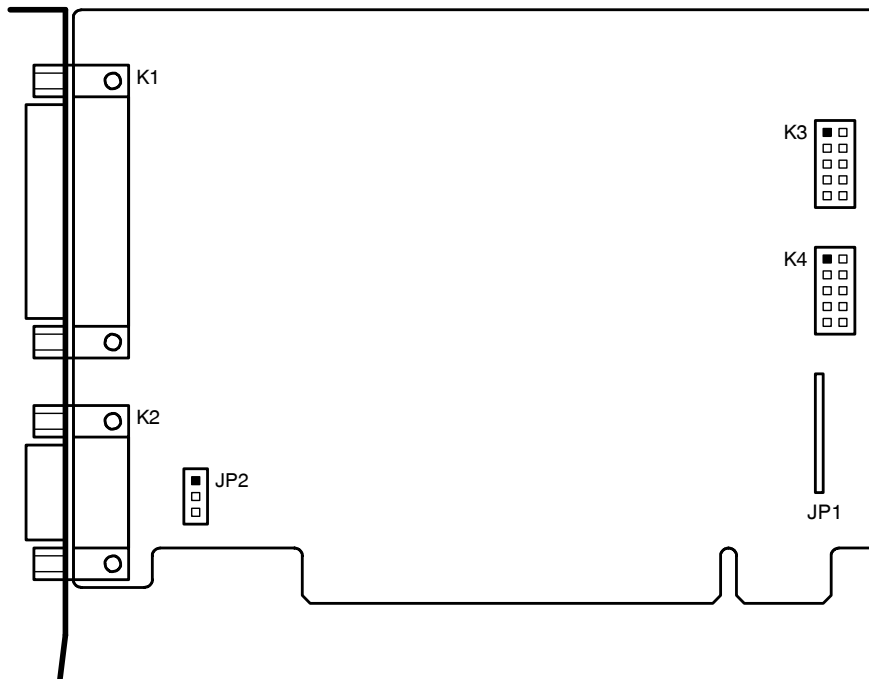


<b>adresa registru (hex)</b>	<b>funkce registru pro operaci zápis</b>	<b>funkce registru pro operaci čtení</b>
BAR4+400	CNT0SetReg	CNT0DataReg
BAR4+404	vyrovňovací registr pro zápis dat	záchytný registr pro čtení dat
BAR4+408	(24bit. data pro přenos do CNT)	(24bit. data, strobováno programově)
BAR4+40C	---	---
BAR4+410	CNT0RngReg	CNT0XDataReg
BAR4+414	24bit. registr pro "délku" čítače	záchytný registr pro čtení dat
BAR4+418	(čítač pracuje v rozsahu 0~"délka")	(24bit. data, strobováno EXT_IN)
BAR4+41C	---	---
BAR4+420	CNT0CMP1	
BAR4+424	1. komparátor čítače, 24bit. data	---
BAR4+428	(ekvivalence nastaví příznak)	
BAR4+42C	---	---
BAR4+430	CNT0CMP2	
BAR4+434	2. komparátor čítače, 24bit. data	---
BAR4+438	(ekvivalence nastaví příznak)	
BAR4+43C	---	---
BAR4+440	---	---
BAR4+444	---	---
BAR4+448	---	---
BAR4+44C	---	---
BAR4+450	---	---
BAR4+454	---	---
BAR4+458	---	---
BAR4+45C	---	---
BAR4+460	---	---
BAR4+464	---	---
BAR4+468	---	---
BAR4+46C	---	---
BAR4+470	CNT0CWReg - řídicí registr čítače	CNT0StatusReg - stavový registr
BAR4+474	---	---
BAR4+478	---	---
BAR4+47C	---	---

Tab.6. Struktura adresového prostoru - blok registrů čítače CNT0  
(pro CNT1/2 jsou implementovány analogické registrové bloky na adresách BAR4+480~BAR4+4FC, resp. BAR4+500~BAR4+57C, viz Tab.5.).

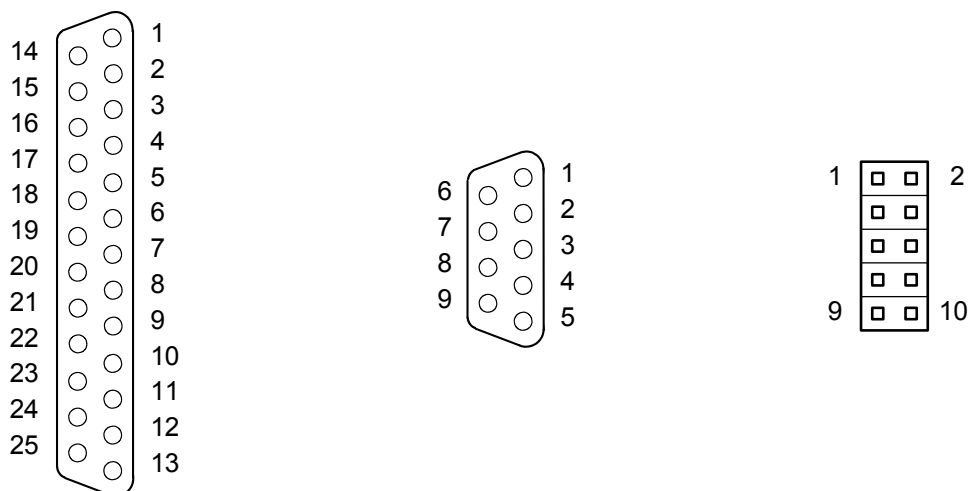
<b>adresa registru (hex)</b>	<b>funkce registru pro operaci zápis</b>	<b>funkce registru pro operaci čtení</b>
BAR4+580	CNTEnReg - řídicí registr	---
BAR4+584	CNTCtrlReg - řídicí registr	---
BAR4+588	---	---
BAR4+58C	---	---
BAR4+590	CMPEnReg - řídicí registr	CMPStatusReg - stavový registr
BAR4+594	CMPClrReg - řídicí registr	---
BAR4+598	CMPIRQReg - řídicí registr	---
BAR4+59C	---	---
BAR4+5A0	RTDOReg - řídicí registr	---
BAR4+5A4	RTDOCfgReg - řídicí registr	---
BAR4+5A8	---	---
BAR4+5AC	---	---
BAR4+5B0	---	---
BAR4+5B4	---	---
BAR4+5B8	---	---
BAR4+5BC	---	---
BAR4+5C0	---	---
BAR4+5C4	---	---
BAR4+5C8	---	---
BAR4+5CC	---	---
BAR4+5D0	---	---
BAR4+5D4	---	---
BAR4+5D8	---	---
BAR4+5DC	---	---
BAR4+5E0	---	---
BAR4+5E4	---	---
BAR4+5E8	---	---
BAR4+5EC	---	---
BAR4+5F0	TimerReg - generátor časových značek se zpětným čtením stavu časovače	
BAR4+5F4	---	---
BAR4+5F8	---	---
BAR4+5FC	---	verze FPGA, formát [D7~D4.D3~D0]

Tab.7. Struktura adresového prostoru - blok konfiguračních registrů čítačů.

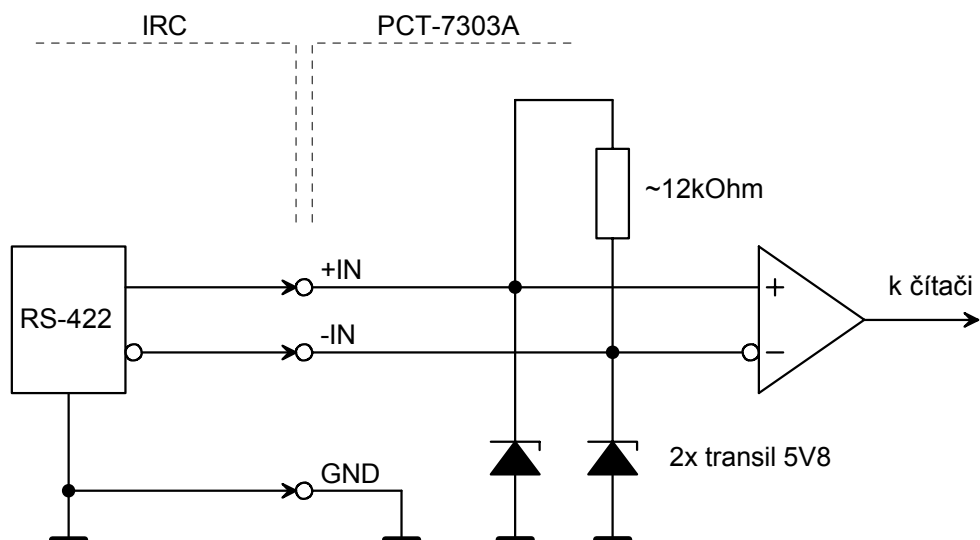


Obr.1. Rozmístění důležitých prvků na kartě PCT-7303A.

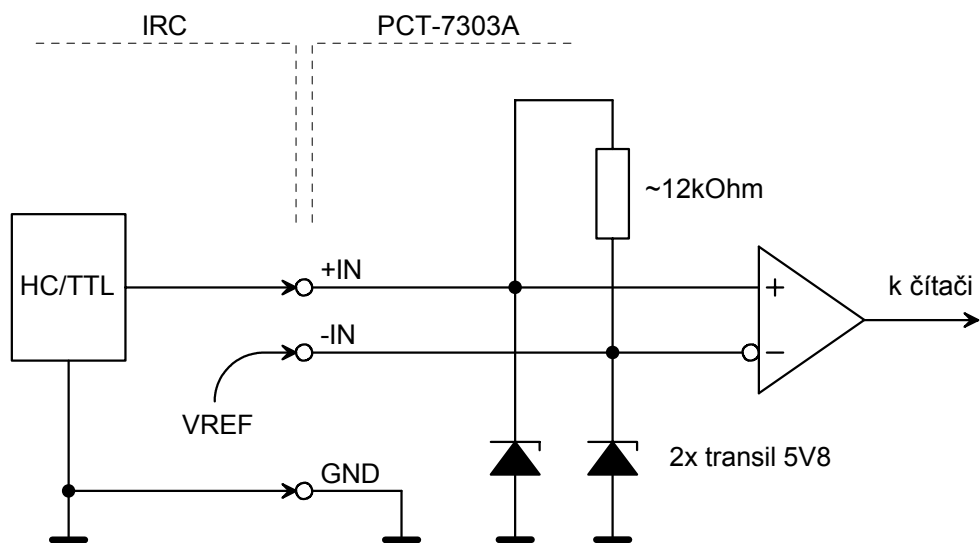
- |     |   |
|-----|---|
| K1  | konektor čítačových vstupů (Cannon 25 - vidlice)  |
| K2  | konektor "real-time" digitálních výstupů (Cannon 9 - vidlice)   |
| K3  | konektor digitálních výstupů (pin 1 je zvýrazněný výplní)   |
| K4  | konektor digitálních vstupů (pin 1 je zvýrazněný výplní)  |
| JP1 | konektor určený pouze pro servisní účely  |
| JP2 | konektor pro konfiguraci signálu na konektoru K2, pin 9<br>(1-2: nastaven signál RT-DOUT7, 2-3: nastaven signál EXT-IN) |



Obr.2. Rozmístění vývodů na konektorech Cannon 25, Cannon 9 a DIL 10.

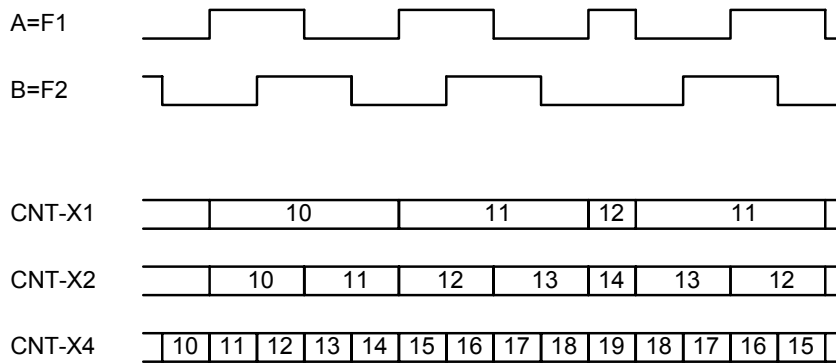


Obr.3. Připojení vstupů PCT-7303A k IRC s rozhraním RS-422.

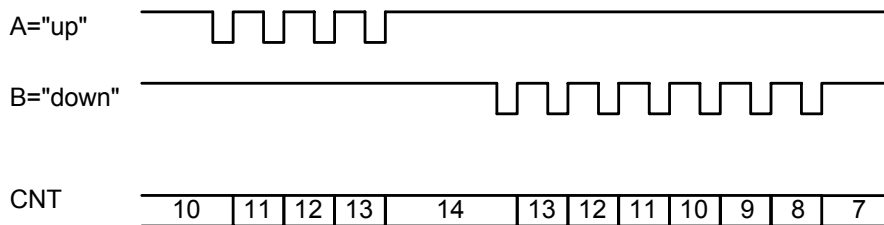


Obr.4. Připojení vstupů PCT-7303A k IRC s rozhraním HC nebo TTL.

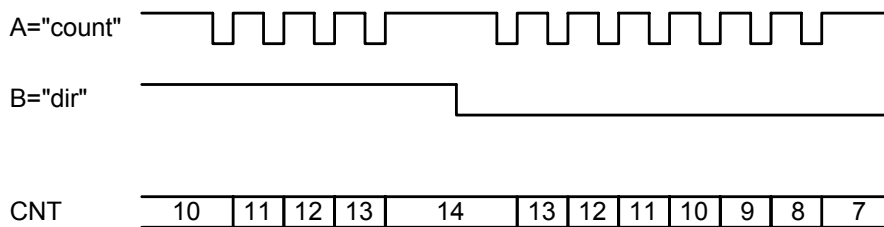
VREF je referenční napětí 2,5V (vhodné pro úrovně HC) nebo 1,25V (vhodné pro úrovně TTL); referenční napětí jsou dostupná na konektoru Cannon 25.



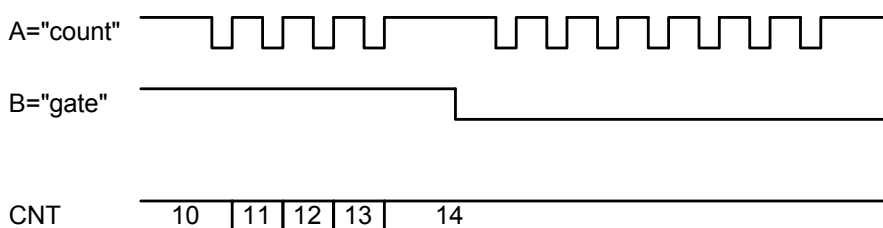
Obr.5. Standardní "kvadrurní" režimy X1, X2 a X4.



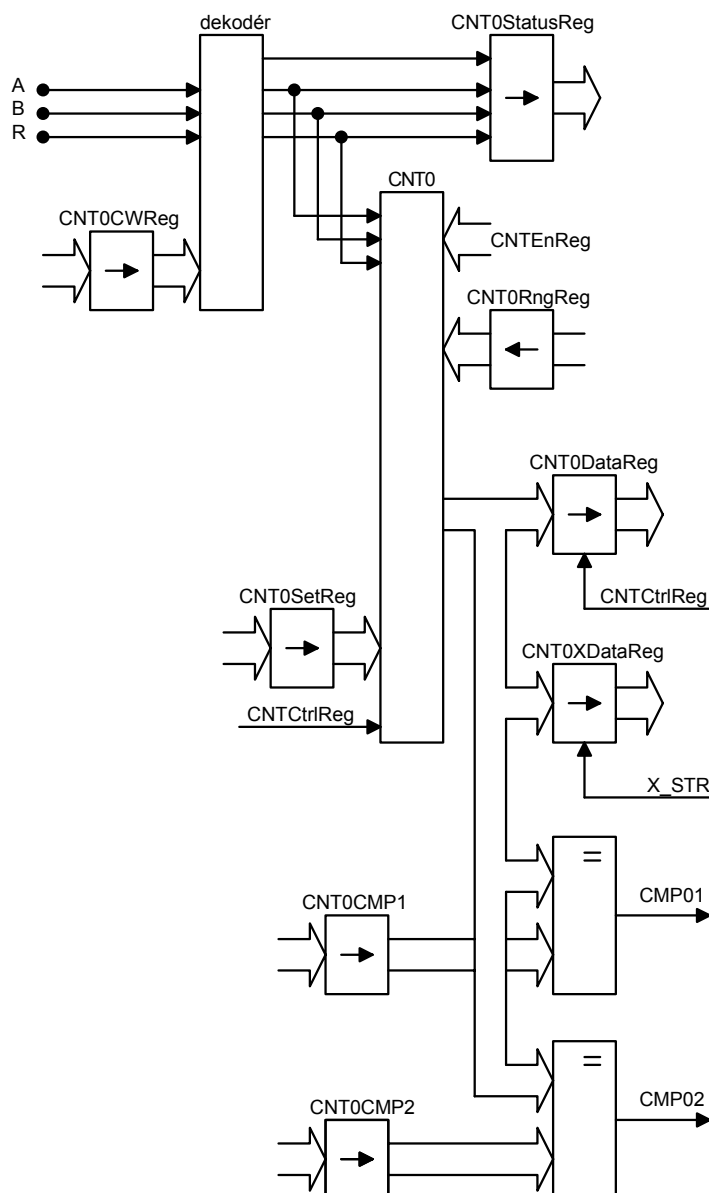
Obr.6. Rozšířený režim čítání "up/down".



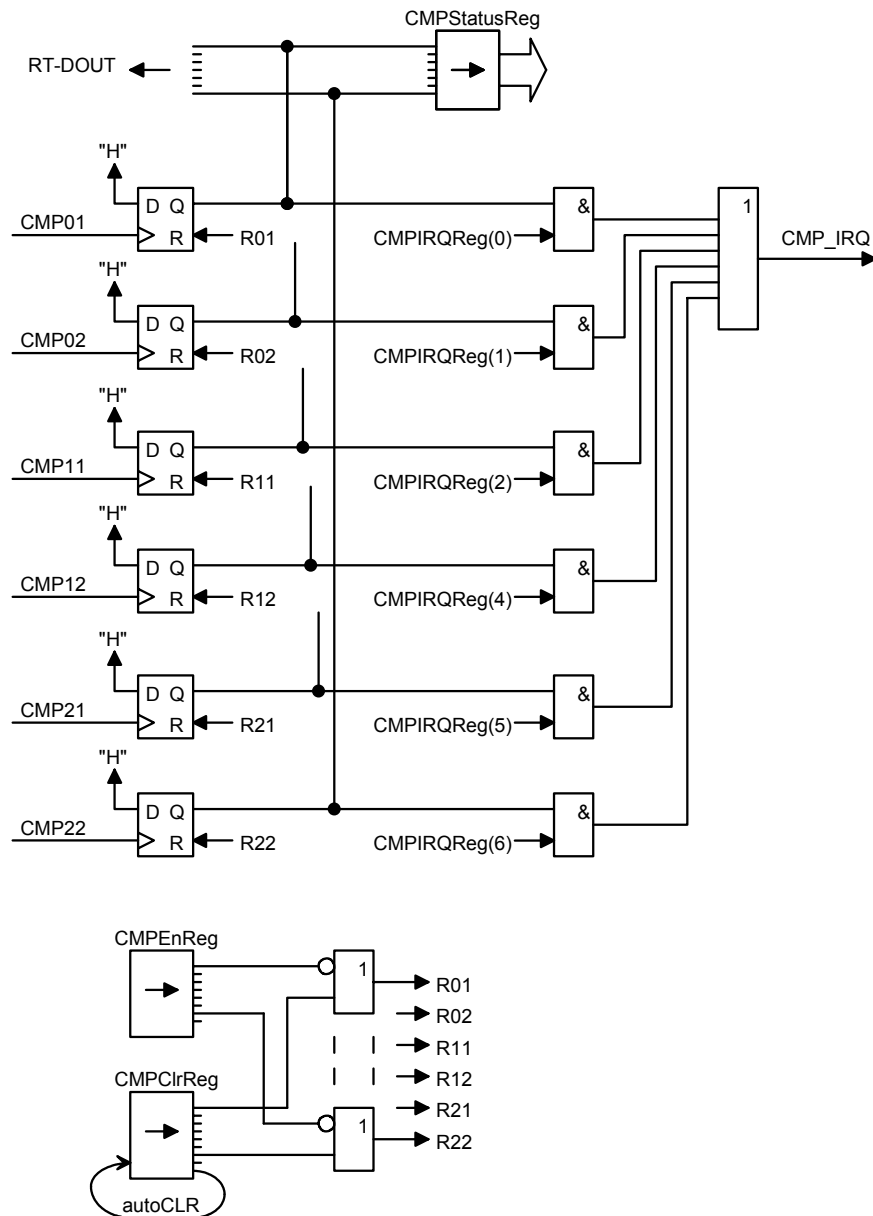
Obr.7. Rozšířený režim čítání "count/dir".



Obr.8. Rozšířený režim čítání "count/gate".

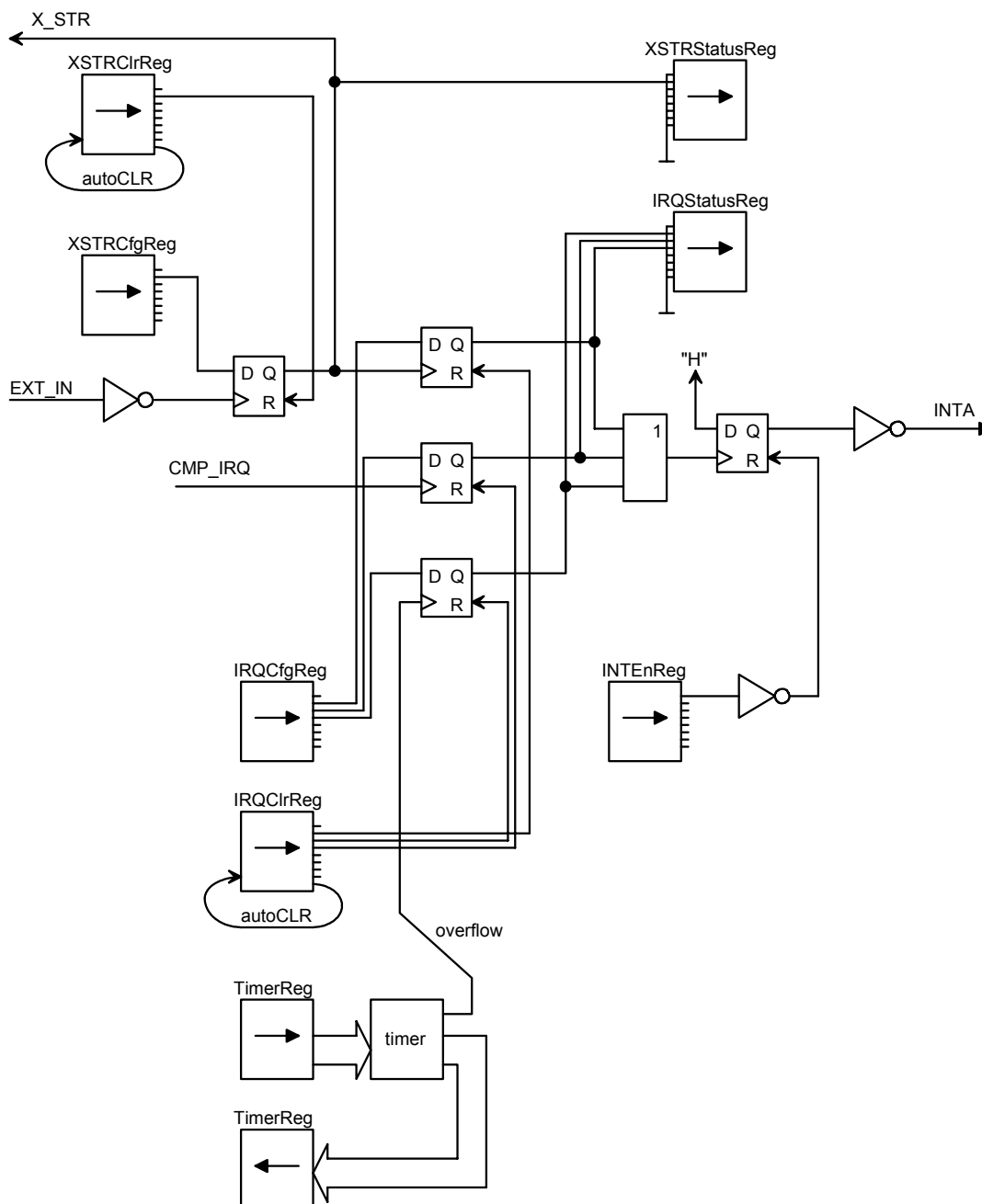


Obr.9. Blokové schéma obvodů čítače (tato část je na desce obsažena 3x). Dekodér zpracovává tři vstupní signály a jeho činnost je konfigurována registrem CNT0CWReg (každý čítač disponuje vlastním registrem). Na dekodér navazuje obousměrný 24bitový čítač konfigurovaný registrem CNT0RngReg, jehož činnost je ovládána registrem CNTEnReg (společný pro všechny tři čítače). Registry CNT0SetReg a CNT0DataReg (resp. CNT0XDataReg) slouží pro zápis, resp. čtení obsahu čítače. Programově je obsah zpracováván třemi instrukcemi přenášejícími vždy osm bitů, vlastní přenos mezi registry a čítačem pak probíhá 24bitově příkazy do registru CNTCtrlReg. Aktuální stav čítače je vyhodnocován dvěma komparátory; v případě ekvivalence stavu s obsahem registru CNT0CMP1, resp. CNT0CMP2, je nastaven výstupní signál CMP01, resp. CMP02.



Obr.10. Blokové schéma řídicích obvodů čítačů, logiky přerušení a "real-time" výstupů.

Za podmínky, že je zpracování CMPxx povoleno registrem CMPEnReg, nastaví signál CMPxx náběžnou hranou záchytný registr na hodnotu 1. Stav záchytných registrů lze číst pomocí CMPStatusReg a může být směřován na "real-time" výstupy, nulován je registrem CMPClrReg, popř. i CMPEnReg. Vybrané výstupy záchytných registrů (viz CMPIRQReg) jsou využity pro vyvolání přerušování systému (viz obrázek Obr.11.).



Obr.11. Blokové schéma obvodů přerušení - část řízení PCI sběrnice.

Za předpokladu povolení v **IRQCfgReg** náběžná hrana signálu **CMP\_IRQ**, tzn. přechod z nulového do nenulového stavu záchytných registrů komparátorů povolených **CMPEnReg** a **CMPIRQReg** nastaví výstup registru na hodnotu 1. Stav tohoto registru lze číst pomocí **IRQStatusReg**.

Jsou-li aktivány obvody přerušení PCI sběrnice (viz **INTEnReg**), je nastaven registr ovládající signál **INTA** a vyvoláno přerušení systému. Obdobné řešení je použito i pro generátor časových značek.

Z výše uvedeného plyne, že přerušení systému je vyvoláno pouze první příchozí událostí a ostatní až do zpracování přerušení ovladačem nebo aplikačním programem pouze nastavují svoje příznaky; systém tedy nemůže být přetížen přílišnou četností přerušení.



# 1. PCI bridge OX9162


## 1.1. PCI konfigurační registry

Popis vychází z "PCI local bus specification revision 2.2" vydané 18. prosince 1998. Softwarový interface pro přístup do PCI konfiguračních registrů je popsán ve specifikaci PCI BIOS (aktuálně rev. 2.1 z 26.8.1994).

Offset	Data			
	31 ..... 24	23 ..... 16	15 ..... 08	07 ..... 00
+00 <sub>H</sub>	Device ID (= DID)		Vendor ID (= VID)	
+04 <sub>H</sub>	Status		Command	
+08 <sub>H</sub>	Class Code			Revision ID
+0C <sub>H</sub>	BIST	Header Type	Reserved	Reserved
+10 <sub>H</sub>	Base Address Register 0 (BAR0)			
+14 <sub>H</sub>	Base Address Register 1 (BAR1)			
+18 <sub>H</sub>	Base Address Register 2 (BAR2)			
+1C <sub>H</sub>	Base Address Register 3 (BAR3)			
+20 <sub>H</sub>	Base Address Register 4 (BAR4)			
+24 <sub>H</sub>	Reserved			
+28 <sub>H</sub>	Reserved			
+2C <sub>H</sub>	Subsystem ID (= Sub ID)		Subsystem VID (= Sub VID)	
+30 <sub>H</sub>	Reserved			
+34 <sub>H</sub>	Reserved			Cap_Ptr
+38 <sub>H</sub>	Reserved			
+3C <sub>H</sub>	Reserved	Reserved	Interrupt Pin	Interrupt Line
+40 <sub>H</sub>	nepovinná část			
...				
+FF <sub>H</sub>				

### Obsah důležitých registrů:

VID	1760 <sub>H</sub>	TEDIA
DID	definuje typ karty TEDIA	
Class Code	118000 <sub>H</sub>	"other data acquisition adapter"
BAR0-BAR4	PnP	bázové adresy prostorů přiřazené PCI BIOSem
Sub VID	1760 <sub>H</sub>	TEDIA
Sub ID	podle registrové verze karty	
Interrupt Pin	číslo IRQ kanálu (0 = žádný, 2 = IRQ2, 3 = IRQ3, ... , 15 = IRQ15)	

 Popis ostatních registrů lze nalézt v PCI BUS specifikaci.


## 1.2. Struktura Base Address Register

Obsah bázových registrů (Base Address Register) je definován PCI BIOSem a aplikace jej nesmí modifikovat; smí jej pouze číst.

Registr má strukturu odlišnou pro MEM a I/O mapování, viz dále:


D31 ... D4	D3	D2	D1	D0
BASE (31-4)	PREF	Type		0

0	určuje MEM prostor
Type	0 0 umístěno v 32-bitovém adresovém prostoru
	0 1 rezerva
	1 0 umístěno v 64-bitovém adresovém prostoru
	1 1 rezerva
PREF	0 funkce "prefetch" není povolena (viz. poznámka)
	1 funkce "prefetch" je povolena (viz. poznámka)
BASE (31-4)	bázová adresa v MEM prostoru (registr obsahuje vyšších 28 bitů; skutečná adresa vznikne operací ADR = BAR and FFFFFFFF0); v případě BASE(31-4)=0 nebyl MEM prostor BIOSem přidělen

 *Funkce "prefetch" není řadičem OX9162 podporována.*

D31 ... D1	D0
BASE (31-1)	1

1	určuje I/O prostor
BASE (31-1)	bázová adresa v I/O prostoru (registr obsahuje vyšších 31 bitů; skutečná adresa vznikne operací ADR = BAR4 and FFFFFFFFE); v případě BASE(31-1)=0 nebyl I/O prostor BIOSem přidělen

 *Přestože Intel x86 architektura pracuje s 16-bitovým I/O adresováním, je podle PCI specifikace nezbytné plné 32-bitové dekódování adresy. Nicméně v počítačích třídy PC obsahuje BIOSem nastavená adresa nulové bity D31-D16 a proto lze I/O přístupy s výhodou využít i v reálném módu Intel x86 procesoru.*

Struktura registru BAR uvedená výše je popsána z pohledu aplikačního software (resp. aplikačního ovladače), kdy BAR poskytuje přiřazenou bázovou adresu, avšak nikoliv velikost prostoru. Tento údaj musí aplikace převzít ze znalosti PCI chipsetu.

Registr má odlišný význam pro detekční procedury PCI BIOSu a metodou "pevně nulovaných" bitů umožní předat i informaci o požadavku na velikost prostoru.

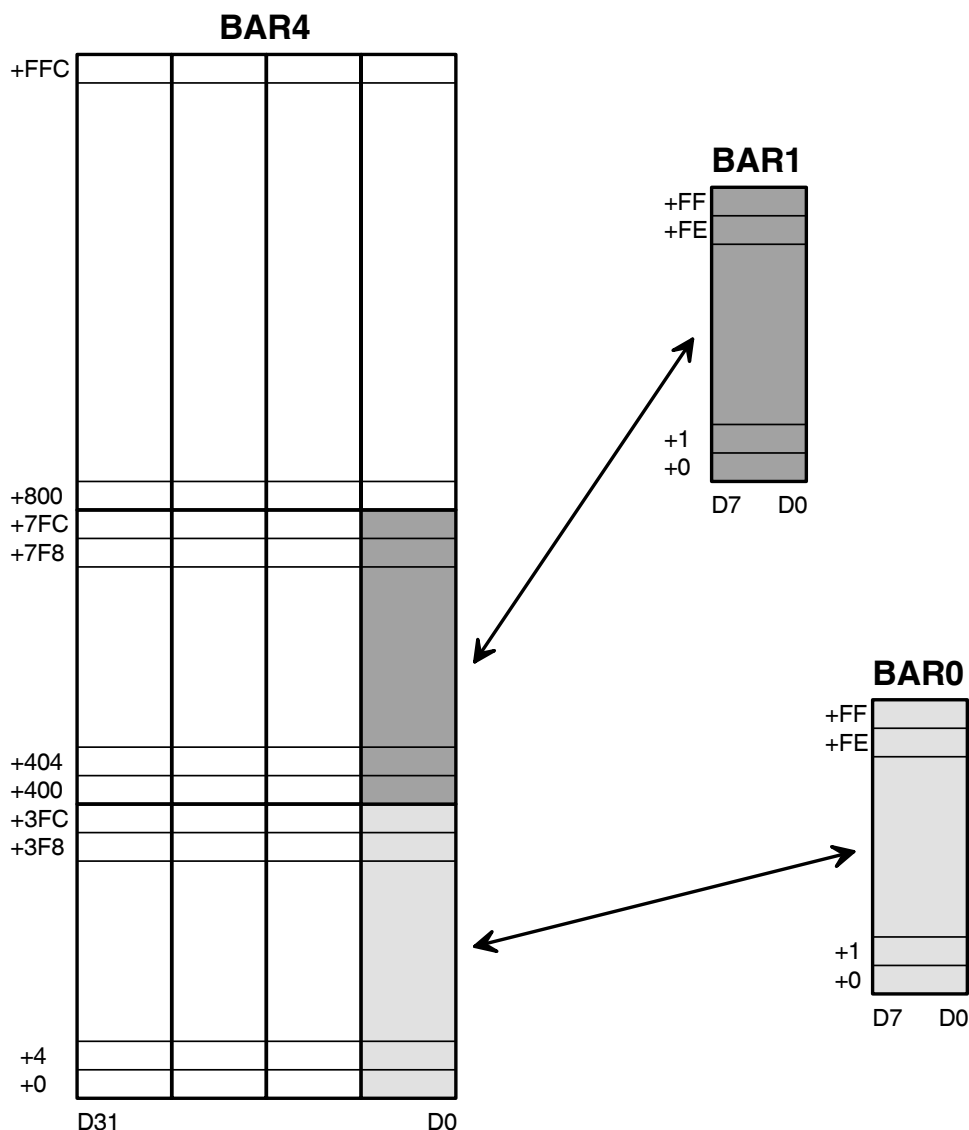
Všechny karty TEDIA s chipsetem OX9162 mají konfigurovány prostory:

BAR0	256B I/O, určen pro přístup do funkčních registrů
BAR1	256B I/O, určen pro přístup do funkčních registrů
BAR2	32B I/O, určen pro přístup dokonfiguračních registrů OX9162
BAR3	4kB MEM, určen pro přístup dokonfiguračních registrů OX9162
BAR4	4kB MEM, určen pro přístup do funkčních registrů

### 1.3. Mapování registrů v BAR0, BAR1 a BAR4

Lokální "pass-through" sběrnice disponuje rozsahem až 512 registrů (tuto konfiguraci využívají všechny karty TEDIA<sup>®</sup> osazené chipsetem OX9162) a umožňuje tyto registry mapovat současně v MEM i I/O PCI prostoru. Oba alternativní přístupy jsou z pohledu registrů zcela záměnné.

Na níže uvedeném obrázku je zakresleno mapování funkčního registrového bloku o efektivní velikosti 512B do celkových 4kB (~1k x 32) prostoru BAR4 (využitá část prostoru je vyznačena šedou výplní; zbývající registry MEM prostoru jsou rezervovány) a znázorněn alternativní přístup prostřednictvím dvou I/O prostorů BAR0/BAR1 s kapacitou 2x 256B.



#### Příklad:

$RD[BAR0+01_H] \sim RD[BAR4+04_H]$

$WR[BAR1+FF_H] \sim WR[BAR4+7FC_H]$

Prázdná Strana



