

PCT-8303/8306

PCT-8360/8363

programátorská příručka

historie dokumentu:		
datum	verze	změny
21.12.2015	12.2015	výchozí verze rozšiřující příručku PCT-8303/8306 (12.2015) o PCT-8360/8363

Výhrada odpovědnosti, autorských práv, ochranných známek a názvů:

Ačkoliv byla tato programátorská příručka vytvořena s maximální pečlivostí, nelze vyloučit, že obsahuje chyby. Domníváte-li se, že jsou některé údaje uvedeny nesprávně, neúplně nebo nepřesně, prosíme, informujte technickou podporu.

Pro případ typografických nebo obsahových chyb si TEDIA[®] vyhrazuje právo kdykoliv provést opravy nebo zpřesnění publikovaných informací. Právě tak produkty popsané v programátorské příručce mohou být kdykoliv revidovány se záměrem zlepšení technických parametrů nebo dosažení lepších užitečných vlastností. Doporučujeme proto před každým užitím této příručky ověřit, zda není k dispozici vydání nové.

TEDIA[®] nezodpovídá za žádné škody vzniklé užitím této programátorské příručky nebo informací v příručce obsažených.

Programátorská příručka a její součásti jsou autorským dílem chráněným ustanovením zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon) v platném znění.

Všechna jména a názvy použité v textu mohou být chráněnými známkami nebo obchodními názvy výrobků příslušných vlastníků.

OBSAH

1. Základní informace

- 1.1 Úvod
- 1.2 Standardní a low-profile provedení
- 1.3 Verze firmware
- 1.4 Technická podpora

2. PCI Express řadič

- 2.1 Úvod
- 2.2 Prostor PCI konfiguračních registrů
- 2.3 Mapování funkčních registrů

3. Funkční registry

- 3.1 Přehled registrů
- 3.2 Dělení adresového prostoru do bloků
- 3.3 Blok registrů s osmibitovými daty (+0000 ÷ 03FC)
- 3.4 Blok registrů DIO portů a obvodů pro detekci hran (+0400 ÷ 07FC)
- 3.5 Blok registrů IRC čítačů a detektorů minima/maxima (+1000 ÷ 10FC)
- 3.6 Blok registrů SSI rozhraní (+1100 ÷ 11FC)
- 3.7 Blok diagnostických registrů (+3F00 ÷ 3FFC)

4. Registry pro obsluhu digitálních vstupů/výstupů

- 4.1 Úvod
- 4.2 Funkce digitálních portů
- 4.3 Registry DINReg0, ... , DINReg2 (RD)
- 4.4 Registry DINReg(2-0) (RD)
- 4.5 Registry DOUTReg0, ... , DOUTReg2 (WR)
- 4.6 Registry DOUTReg(2-0) (WR)
- 4.7 Registr DIOCfgReg (WR/RD)

5. Registry pro obsluhu obvodů detekce hran

- 5.1 Úvod
- 5.2 Registry DINREReg a DINFEReg (WR)
- 5.3 Registry DINREStatusReg a DINFERegStatusReg (RD)
- 5.4 Registry DINREClrReg a DINFEClearReg (WR)
- 5.5 Registry DINREIRQReg a DINREIRQReg (WR)
- 5.6 Schéma registrové struktury obvodů detekce hran

6. Registry pro obsluhu přerušení

- 6.1 Úvod
- 6.2 Funkce obvodů pro obsluhu přerušení
- 6.3 Registr INTEnReg (WR)
- 6.4 Registr IRQCfgReg (WR)
- 6.5 Registr IRQStatusReg (RD)
- 6.6 Registr IRQClrReg (WR)
- 6.7 Registr TimerReg (WR, RD)
- 6.8 Schéma registrové struktury

7. Registry pro obsluhu IRC čítačů

- 7.1 Úvod
- 7.2 Funkce IRC čítačů
- 7.3 Odlišnosti registrů karet PCT-83xx
- 7.4 Registr IRCCNTCtrlReg (WR)
- 7.5 Registr IRCCNTEnReg (WR)
- 7.6 Registr IRCCNT0SetReg (WR)
- 7.7 Registr IRCCNT0RngReg (WR)
- 7.8 Registr IRCCNT0StrReg (RD)
- 7.9 Registr IRCCNT0CWReg (WR)
- 7.10 Registr IRCCNT0StatReg (RD)
- 7.11 Schéma registrové struktury

8. Registry pro detekci minima/maxima hodnoty IRC čítačů

- 8.1 Úvod
- 8.2 Funkce detektorů minima/maxima
- 8.3 Odlišnosti registrů karet PCT-83xx
- 8.4 Registr IRCCNTMinMaxEnReg (WR)
- 8.5 Registr IRCCNTMinMaxCtrlReg (WR)
- 8.6 Registr IRCCNT0MinReg (RD)
- 8.7 Registr IRCCNT0MaxReg (RD)

9. Registry pro obsluhu SSI rozhraní

- 9.1 Úvod
- 9.2 Funkce SSI rozhraní
- 9.3 Odlišnosti registrů karet PCT-83xx
- 9.4 Registr SSICtrlReg (WR)
- 9.5 Registr SSICfgReg (WR)
- 9.6 Registr SSI0CfgReg (WR)
- 9.7 Registr SSI0StrReg (RD)
- 9.8 Popis činnosti řadiče SSI rozhraní a schéma registrové struktury

10. Pomocné diagnostické registry (společné všem typům karet)

- 10.1 Úvod
- 10.2 Registr CardResetReg (WR)
- 10.3 Registr CardResetStatusReg (RD)
- 10.4 Registr CardSerNrReg (RD)
- 10.5 Registr CardIDReg (RD)
- 10.6 Registr FPGATypeReg (RD)
- 10.7 Registr FPGAVerReg (RD)

11. Registry v adresových prostorech BAR1 a BAR2

- 11.1 Úvod
- 11.2 Adresový prostor BAR1
- 11.3 Adresový prostor BAR2

1. Základní informace

1.1 Úvod

Tato programátorská příručka navazuje na uživatelskou příručku karet PCT-8303/8306/8360/8363 (dále společně označené PCT-83xx) obsahující ...

- základní technické údaje,
- popis instalace
- a popis zapojení konektorů.

Uživatelská příručka tedy obsahuje informace postačující běžnému uživateli k nasazení karty ve spolupráci s hotovými aplikačními programy, případně k vytváření vlastních programů nad ovladači s abstraktním API (v případě Windows se jedná například o ovladač TEDIA_DAQ01).

Oproti tomu programátorská příručka obsahuje...

- popis použitého PCI Express řadiče,
- popis všech funkčních registrů karty
- a popis programování na úrovni registrů.

Programátorská příručka tedy umožňuje programování nad systémovým ovladačem s API nabízejícím přímý přístup k registrům (v případě Windows se jedná o ovladač tedia_ep4gxa), tzn. vytváření speciálních programů nebo vlastních ovladačů (například pro různé SCADA systémy nebo pro operační systém Linux).

1.2 Standardní a low-profile provedení

DAQ PCI Express karty TEDIA jsou dostupné v provedení se standardní výškou (označení PCT-83xx) a v tzv. low-profile provedení (označení PCT-83xx/LP). S výjimkou odlišného umístění konektorů a použitelného příslušenství jsou obě varianty karet shodné a informace obsažené v této příručce proto bez výjimky platné pro obě varianty.

1.3 Verze firmware

Aktuální verze firmware v době vydání příručky:

FPGA - typ firmware:	2D	(reprezentováno hodnotou 2D _H)
FPGA - verze firmware:	0.2	(reprezentováno hodnotou 02 _H)

Typ FPGA je kontrolní číslo přidělené standardnímu firmware PCT-83xx. Odlišné číslo představuje buď konfiguraci nesprávným firmware (například určeným pro jinou kartu) nebo zakázkovým firmware.

Verze firmware FPGA je doplňkovým údajem pro definici vlastností karty.

Poznámka: Funkce popsané v této příručce vycházejí z uvedených verzí firmware.

1.4 Technická podpora

V případě nejasností se lze obrátit na technickou podporu výrobce:

adresa:	TEDIA spol. s r. o., Zábělská 12, 31211 Plzeň, Česká republika
URL:	http://www.tedia.cz/podpora
e-mail:	aktuální informace najdete na adresách http://www.tedia.cz/kontakty http://www.tedia.cz/podpora
telefon:	+420 373730421 (základní číslo) +420 373730426 (technická podpora)

Doporučujeme seznámit se s užitečnými pravidly pro kontaktování technické podpory (viz výše uvedená URL).

Poznámka: Ačkoliv byla tato programátorská příručka vytvořena s maximální pečlivostí, nelze vyloučit, že obsahuje chyby. Domníváte-li se, že jsou některé údaje uvedeny nesprávně, neúplně nebo nepřesně, prosíme, informujte technickou podporu.

2. PCI Express řadič

2.1 Úvod

Karty PCT-83xx jsou osazeny řadičem sběrnice PCI Express implementovaným v hradlovém poli FPGA (karty nevyužívají žádný speciální řadič z PCI Express na lokální sběrnici).

Realizovaná implementace je jednofunkční (karta se tedy chová jako jedno zařízení) se třemi adresovými prostory (BAR) mapovanými v MEM prostoru s 32bitovým adresováním.

Poznámka: Ačkoliv jsou registry karty mapovány do MEM prostoru s 32bitovým adresováním, DMA řadič karty podporuje 32bitové i 64bitové adresování.

2.2 Prostor PCI konfiguračních registrů

V následující tabulce jsou vybrané registry z prostoru PCI konfiguračních registrů.

adresa	jméno registru	PCT-8303 PCT-8303/LP	PCT-8306 PCT-8306/LP	PCT-8363 PCT-8363/LP	PCT-8360 PCT-8360/LP
01 _H ÷ 00 _H	Vendor ID	1760 _H (tzn. VID TEDIA)			
03 _H ÷ 02 _H	Device ID	0810 _H	0811 _H	0812 _H	0820 _H
08 _H	Revision ID	01 _H			
0B _H ÷ 09 _H	Class Code	118000 _H (tzn. PCI třída "other data acquisition controller")			
13 _H ÷ 10 _H	BAR0	funkční registry karty (MEM, 16kB, adresu přidělí BIOS)			
17 _H ÷ 14 _H	BAR1	servisní registry karty (update firmware, kalibrační konstanty, ...) (MEM, 16kB, adresu přidělí BIOS)			
1B _H ÷ 18 _H	BAR2	registry obsluhované z jádra operačního systému (přerušeni, DMA, ...) (MEM, 4kB, adresu přidělí BIOS)			
1F _H ÷ 1C _H	BAR3	nevyužito			
23 _H ÷ 20 _H	BAR4	nevyužito			
27 _H ÷ 24 _H	BAR5	nevyužito			
2D _H ÷ 2C _H	Subsystem Vendor ID	1760 _H (tzn. VID TEDIA)			
2F _H ÷ 2E _H	Subsystem ID	0001 _H			
3C _H	Interrupt Line	číslo IRQ kanálu (přidělí BIOS)			
3D _H	Interrupt Pin	01 _H (INTA)			

K čemu jsou určeny výše popsané PCI konfigurační registry ...

- Vendor ID a Device ID jsou určeny pro 100% identifikaci karty v systému (v případě nejednoznačnosti mohou být navíc použity Subsystem Vendor ID a Subsystem ID, popř. Class Code)
- BARx jsou určeny pro zjištění přidělených prostředků, tzn. počáteční adresu bloků funkčních registrů karty
- Interrupt Line je určen pro zjištění aktuálního propojení INT signálu karty s logickým IRQ kanálem přerušeni (není-li použit MSI režim přerušeni)

2.3 Mapování funkčních registrů

V následující odstavcích je řešena problematika mapování funkčních registrů.

Proč jsou registry mapovány pouze v MEM prostoru a ne duplicitně v I/O prostoru jako u DAQ PCI karet TEDIA ...

Mapování v I/O prostoru je zastaralé a velmi omezující (umožňuje přidělit v součtu všem zařízením v počítači maximálně 255 bloků velikosti 256B) a nachází smysluplné využití jen v operačních systémech, resp. vývojových prostředcích, které neumožňují jednoduché 32bitové adresování MEM prostoru (např. MS-DOS).

K čemu jsou určeny registry v BAR0 ...

V tomto prostoru jsou mapovány všechny uživatelské registry karty (tedy registry obsluhující I/O funkce karty).

Následující kapitoly se budou až na několik výjimek věnovat výhradně popisu těchto registrů.

K čemu jsou určeny registry v BAR1 a BAR2 ...

V těchto prostorech jsou mapovány servisní registry a registry obsluhované ovladačem z jádra operačního systému.

3. Funkční registry

3.1 Přehled registrů

Tabulky uvedené v následujících kapitolách obsahují přehled funkčních registrů implementovaných v aktuální verzi firmware (viz 1. kapitola). Všechny funkční registry popsané v této kapitole jsou mapovány v BAR0.

Upozornění: Všechny registry, není-li výslovně uvedeno jinak (např. registry, jejichž počáteční obsah lze definovat pomocí EEPROM paměti), jsou po startu nebo resetu vynulovány. Při spuštění programu však nelze na tento stav spoléhat, jelikož registry mohou být nastaveny na odlišné hodnoty předchozím programem; do definovaného stavu je lze uvést buď programováním hodnot nebo pomocí registru CardResetReg.

3.2 Dělení adresového prostoru do bloků

Následující tabulka zobrazuje přehled dělení adresového prostoru do bloků společně všem DAQ PCI Express kartám TEDIA, současně jsou uvedeny i identifikační registry mapované identicky všem kartám.

ofset BAR0	význam registrů
+0000 ÷ 03FC	registry s osmibitovými daty (z důvodu jednodušší migrace z DAQ PCI karet)
+0400 ÷ 07FC	registry s 32bitovými daty (blok DIO portů)
+0800 ÷ 0FFC	registry s 32bitovými daty (PCT-83xx tento blok nevyužívají)
+1000 ÷ 10FC	registry s 32bitovými daty (blok IRC čítačů včetně detektorů minima/maxima)
+1100 ÷ 11FC	registry s 32bitovými daty (blok SSI rozhraní)
+1200 ÷ 3EFC	registry s 32bitovými daty (PCT-83xx tento blok nevyužívají)
+3F00 ÷ 3FFC	diagnostické registry (společně všem typům karet)

3.3 Blok registrů s osmibitovými daty (+0000 ÷ 03FC)

Následující tabulka zobrazuje registry s osmibitovými daty.

K registrům lze přistupovat operandem typu byte na adresu uvedenou v tabulce, případně operandem dword s tím, že platná data jsou přenášena na nejnižších osmi bitech (vyšší bity jsou při zápisu ignorovány a při čtení nulovány).

Program může přistupovat výhradně na adresy zarovnané na dword (tzn. v celistvém násobku 4) a nedoporučuje se přistupovat na jiné adresy než jsou uvedeny v tabulce.

ofset BAR0	význam pro operaci zápis	význam pro operaci čtení
+0000	DOUTrReg0	DINReg0
+0004	DOUTrReg1	DINReg1
+0008	DOUTrReg2	DINReg2
+0080	DIOCfgReg	(zpětné čtení)
+0200	IRQCfgReg	IRQStatusReg
+0204	IRQClrReg	---
+0208	TimerReg	TimerReg
+020C	INTEnReg	(zpětné čtení)
+03F4	---	CardIDReg
+03F8	---	FPGATypeReg
+03FC	---	FPGAVerReg

Poznámka: Mapování registrů prvních tří DIO portů je identické u všech DAQ PCIe karet.

3.4 Blok registrů DIO portů a obvodů pro detekci hran (+0400 ÷ 07FC)

Následující tabulka zobrazuje 32bitové registry DIO portů a souvisejících obvodů pro detekci hran s možností vyvolání přerušení.

K registrům lze přistupovat výhradně operandem typu dword na adresy zarovnané na dword (tzn. v celistvém násobku 4) a nedoporučuje se přistupovat na jiné adresy než jsou uvedeny v tabulce.

ofset BAR0	význam pro operaci zápis	význam pro operaci čtení
+0400	DOUTReg(2-0)	DINReg(2-0)
+0410	DINREReg(2-0)	DINREStatusReg(2-0)
+0414	DINREClrReg(2-0)	---
+0418	DINFEReg(2-0)	DINFESTatusReg(2-0)
+041C	DINFECIrReg(2-0)	---
+0440	DINREIRQReg(2-0)	(zpětné čtení)
+0444	DINFEIRQReg(2-0)	(zpětné čtení)

3.5 Blok registrů IRC čítačů a detektorů minima/maxima (+1000 ÷ 10FC)

Následující tabulka zobrazuje 32bitové registry IRC čítačů a detektorů minima/maxima.

K registrům lze přistupovat výhradně operandem typu dword na adresy zarovnané na dword (tzn. v celistvém násobku 4) a nedoporučuje se přistupovat na jiné adresy než jsou uvedeny v tabulce.

ofset BAR0	význam pro operaci zápis	význam pro operaci čtení
+1000	IRCCNT0SetReg	IRCCNT0StrReg
+1004	IRCCNT0RngReg	---
+1008	---	---
+100C	---	---
+1010	IRCCNT0CWReg	IRCCNT0StatReg
+1014	---	---
+1018	---	IRCCNT0MinReg
+101C	---	IRCCNT0MaxReg
+1020 ÷ +103C	registry IRCCNT1 (struktura analogická bloku +1000 ÷ +101C)	
+1040 ÷ +105C	registry IRCCNT2 (struktura analogická bloku +1000 ÷ +101C)	
+1060 ÷ +107C	registry IRCCNT3 (struktura analogická bloku +1000 ÷ +101C)	
+1080 ÷ +10BC	registry IRCCNT4 (struktura analogická bloku +1000 ÷ +101C)	
+10A0 ÷ +10BC	registry IRCCNT5 (struktura analogická bloku +1000 ÷ +101C)	
+10C0	IRCCNTEnReg	(zpětné čtení)
+10C4	IRCCNTCtrlReg	---
+10C8	IRCCNTMinMaxEnReg	(zpětné čtení)
+10CC	IRCCNTMinMaxCtrlReg	---

Výše uvedená tabulka zobrazuje registry pro sadu šesti IRC čítačů, jejich implementace je však závislá na počtu IRC čítačů zvoleného typu karty.

typ rozhraní	PCT-8303 (.../LP)	PCT-8306 (.../LP)	PCT-8363 (.../LP)	PCT-8360 (.../LP)
počet IRC čítačů	3 (CNT0÷CNT2)	6 (CNT0÷CNT5)	3 (CNT0÷CNT2)	0
počet SSI rozhraní	0	0	6 (SSI0÷SSI5)	6 (SSI0÷SSI5)

3.6 Blok registrů SSI rozhraní (+1100 ÷ 11FC)

Následující tabulka zobrazuje 32bitové registry SSI rozhraní.

K registrům lze přistupovat výhradně operandem typu dword na adresy zarovnané na dword (tzn. v celistvém násobku 4) a nedoporučuje se přistupovat na jiné adresy než jsou uvedeny v tabulce.

ofset BAR0	význam pro operaci zápis	význam pro operaci čtení
+1100	---	SSIOStrReg
+1104	---	---
+1108	---	---
+110C	---	---
+1110	SSIOCfgReg	(zpětné čtení)
+1114	---	---
+1118	---	---
+111C	---	---
+1120 ÷ +113C	registry SSI1 (struktura analogická bloku +1100 ÷ +111C)	
+1140 ÷ +115C	registry SSI2 (struktura analogická bloku +1100 ÷ +111C)	
+1160 ÷ +117C	registry SSI3 (struktura analogická bloku +1100 ÷ +111C)	
+1180 ÷ +11BC	registry SSI4 (struktura analogická bloku +1100 ÷ +111C)	
+11A0 ÷ +11BC	registry SSI5 (struktura analogická bloku +1100 ÷ +111C)	
+11C0	SSICfgReg	(zpětné čtení)
+11C4	SSICtrlReg	---

Výše uvedená tabulka zobrazuje registry pro sadu šesti SSI rozhraní, jejich implementace je však závislá na počtu SSI rozhraní zvoleného typu karty.

typ rozhraní	PCT-8303 (.../LP)	PCT-8306 (.../LP)	PCT-8363 (.../LP)	PCT-8360 (.../LP)
počet IRC čítačů	3 (CNT0÷CNT2)	6 (CNT0÷CNT5)	3 (CNT0÷CNT2)	0
počet SSI rozhraní	0	0	6 (SSI0÷SSI5)	6 (SSI0÷SSI5)

3.7 Blok diagnostických registrů (+3F00 ÷ 3FFC)

Následující tabulka zobrazuje 32bitové registry určené pro diagnostické a identifikační funkce.

K registrům lze přistupovat výhradně operandem typu dword na adresy zarovnané na dword (tzn. v celistvém násobku 4) a nedoporučuje se přistupovat na jiné adresy než jsou uvedeny v tabulce.

ofset BAR0	význam pro operaci zápis	význam pro operaci čtení
+3FE0	CardResetReg	CardResetStatusReg
+3FF0	---	CardIDReg
+3FF4	---	CardSerNrReg
+3FF8	---	FPGATypeReg
+3FFC	---	FPGAVerReg

4. Registry pro obsluhu digitálních vstupů/výstupů

4.1 Úvod

V následujících odstavcích budou popsány registry související s digitálními vstupy a výstupy, viz přehled v 3. kapitole.

Registry lze dále rozdělit na skupinu datových registrů

DINReg0, ...2	tři osmibitové vstupní registry digitálních portů
DINReg(2-0)	32bitový vstupní registr digitálních portů (slučuje funkce DINReg0, DINReg1 a DINReg2)
DOUReg0, ...2	tři osmibitové výstupní registry digitálních portů
DOUReg(2-0)	32bitový výstupní registr digitálních portů (slučuje funkce DOUReg0, DOUReg1 a DOUReg2)

a konfigurační registry

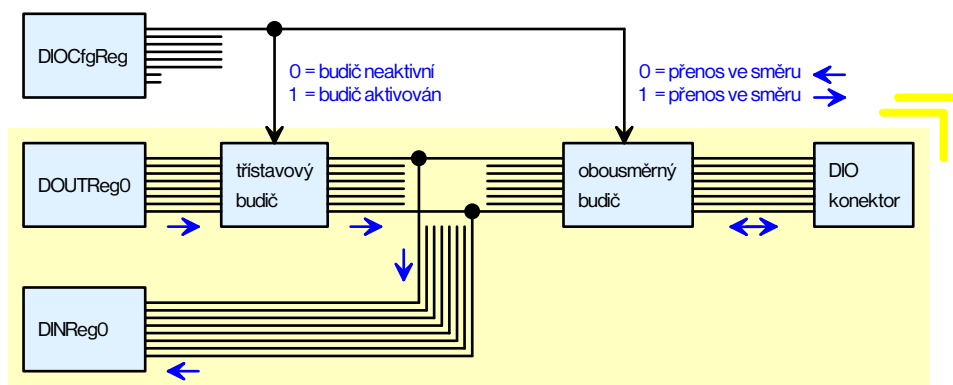
DIOCfgReg	registr pro konfiguraci směru digitálních portů (tzn. volba vstupní nebo výstupní port)
-----------	---

Poznámka: Obsah všech výstupních registrů uvedených výše je po zapnutí karty nebo resetu (včetně resetu vyvolaného registrem CardResetReg) nastaven na hodnoty uložené konfiguračním programem v EEPROM karty. Uživatel tedy může definovat chování portů ještě před okamžikem spuštění programu. Z výroby jsou všechny porty konfigurovány jako vstupní a obsah registrů výstupních portů je nulový.

4.2 Funkce digitálních portů

První tři digitální porty jsou řešeny jako obousměrné, každý port (tzn. osmice digitálních signálů) lze individuálně nastavit jako vstupní nebo výstupní. Aktuální stav portu lze zjistit čtením registru; v případě konfigurace jako vstupní port je čten stav vstupních signálů, v případě konfigurace jako výstupní port lze zpětně číst data zapsaná do výstupního registru.

Další podrobnosti jsou patrné z obrázku níže (zakreslen jeden osmibitový port, část se žlutým podkladem je v kartě obsažena třikrát).



Rozmístění portů na konektorech karty

První tři porty (tzn. 0, 1 a 2) jsou vyvedeny na konektory KX1+KX3 na zadní straně karty a mohou být jsou zpřístupněny kabelovými redukci. V případě PCT-83xx ve standardním provedení je první DIO port vyveden na PC štítek karty pomocí redukce PCE-8019.

Poznámka: Funkce a mapování registrů prvních tří DIO portů jsou identické u všech DAQ PCIe karet.

4.3 Registry DINReg0, ... , DINReg2 (RD)

Tyto registry slouží ke čtení stavu digitálního portu, každý bit registru zpřístupňuje jeden signál osmibitového digitálního portu (bity D0 registrů zpřístupňují signály DIO00/08/16; bity D7 zpřístupňují DIO07/15/23).

Je-li port konfigurován jako vstupní, je čtena hodnota přiváděná na signály. Je-li port konfigurován jako výstupní, je čten aktuální stav definovaný DOUT registrem.

4.4 Registry DINReg(2-0) (RD)

Tyto registry jsou alternativou k osmibitovým registrům popsaným v předešlém odstavci a slouží ke čtení stavu trojice digitálních portů.

Registr DINReg(2-0) slučuje funkce registrů DINReg0, DINReg1 a DINReg2, tzn. přenáší na bitech D23÷D00 hodnotu portů DIO23÷DIO00, nejvyšších osm bitů je nulových.

Je-li port konfigurován jako vstupní, je čtena hodnota přiváděná na signály. Je-li port konfigurován jako výstupní, je čten aktuální stav definovaný DOUTReg registrem.

4.5 Registry DOUTReg0, ... , DOUTReg2 (WR)

Tyto registry slouží k ovládní stavu výstupního digitálního portu, každý bit registru zpřístupňuje jeden signál osmibitového digitálního portu (bity D0 registrů ovládají signály DIO00/08/23; bity D7 zpřístupňují DIO07/15/23).

Je-li port konfigurován jako vstupní, lze do DOUTReg registru zapisovat, avšak jeho obsah neovlivňuje stav signálů. Je-li port konfigurován jako výstupní, definuje tento registr stav výstupních signálů.

4.6 Registry DOUTReg(2-0) (WR)

Tento registr je alternativou k osmibitovým registrům popsaným v předešlém odstavci a slouží ke ovládní stavu trojice digitálních portů.

Registr slučuje funkce registrů DOUTReg0, DOUTReg1 a DOUTReg2, tzn. přenáší na bitech D23÷D00 hodnotu portů DIO23÷DIO00, nejvyšších osm bitů je ignorováno.

4.7 Registr DIOCfgReg (WR/RD)

Tento registr slouží ke konfiguraci obousměrných DIO portů jako vstupních nebo výstupních.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV					DIR2	DIR1	DIR0

DIR0	řízení směru přenosu portu DIO0
0	výstupy DOUT registru jsou deaktivovány, port pracuje jako vstupní
1	výstupy DOUT registru jsou aktivovány, port pracuje jako výstupní
DIR1	řízení směru přenosu portu DIO1
0	výstupy DOUT registru jsou deaktivovány, port pracuje jako vstupní
1	výstupy DOUT registru jsou aktivovány, port pracuje jako výstupní
DIR2	řízení směru přenosu portu DIO2
0	výstupy DOUT registru jsou deaktivovány, port pracuje jako vstupní
1	výstupy DOUT registru jsou aktivovány, port pracuje jako výstupní
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

5. Registry pro obsluhu obvodů detekce hran

5.1 Úvod

V následujících odstavcích budou popsány registry určené související s obvody detekce hran, viz přehled v 3. kapitole.

Přehled registrů:

DINREReg(2-0)	povolení detekce náběžné hrany na signálech portů DIO00 až DIO23
DINREStatusReg(2-0)	příznaky detekce náběžné hrany na signálech portů DIO00 až DIO23
DINREClrReg(2-0)	nulování příznaků detekce náběžné hrany na signálech portů DIO00 až DIO23
DINFEReg(2-0)	povolení detekce sestupné hrany na signálech portů DIO00 až DIO23
DINFESStatusReg(2-0)	příznaky detekce sestupné hrany na signálech portů DIO00 až DIO23
DINFEClrReg(2-0)	nulování příznaků detekce sestupné hrany na signálech portů DIO00 až DIO23
DINREIRQReg(2-0)	povolení přerušení od obvodů detekce hran (detekce náběžné hrany na DIO portech 0, 1 a 2)
DINFEIRQReg(2-0)	povolení přerušení od obvodů detekce hran (detekce sestupné hrany na DIO portech 0, 1 a 2)

5.2 Registry DINREReg a DINFEReg (WR)

Tyto registry slouží k povolení detekce náběžné (DINREReg), resp. sestupné (DINFEReg) hrany na signálech DIO portů.

Registry mají významných 24 nejnižších bitů (bit D0 hodnotou 1 povoluje detekci hrany na signálu portu DIO00, bit D23 hodnotou 1 povoluje detekci hrany na signálu portu DIO23), nejvyšších osm bitů je ignorováno a z důvodu dopředné kompatibility je doporučeno zapisovat hodnotu 0.

5.3 Registry DINREStatusReg a DINFESStatusReg (RD)

Tyto registry slouží k zjištění stavu příznaků obvodů detekce hran povolovaných registry DINREReg a DINFEReg.

Registry mají významných 24 nejnižších bitů (bit D0 signalizuje hodnotou 1 nastavený příznak detekované hrany na signálu portu DIO00, bit D23 signalizuje hodnotou 1 nastavený příznak detekované hrany na signálu portu DIO23), nejvyšších osm bitů je trvale nulováno.

5.4 Registry DINREClrReg a DINFEClrReg (WR)

Tyto registry slouží k nulování příznaků obvodů detekce hran povolovaných registry DINREReg a DINFEReg.

Registry mají významných 24 nejnižších bitů (bit D0 hodnotou 1 nuluje nastavený příznak detekované hrany na signálu portu DIO00, bit D23 hodnotou 1 nuluje nastavený příznak detekované hrany na signálu portu DIO23, zápis hodnoty 0 stav příznaku nemění), nejvyšších osm bitů je ignorováno a z důvodu dopředné kompatibility je doporučeno zapisovat hodnotu 0.

Zápis do registru generuje krátký pulz, následný zápis 0 proto není vyžadován.

5.5 Registry DINREIRQReg a DINFEIRQReg (WR)

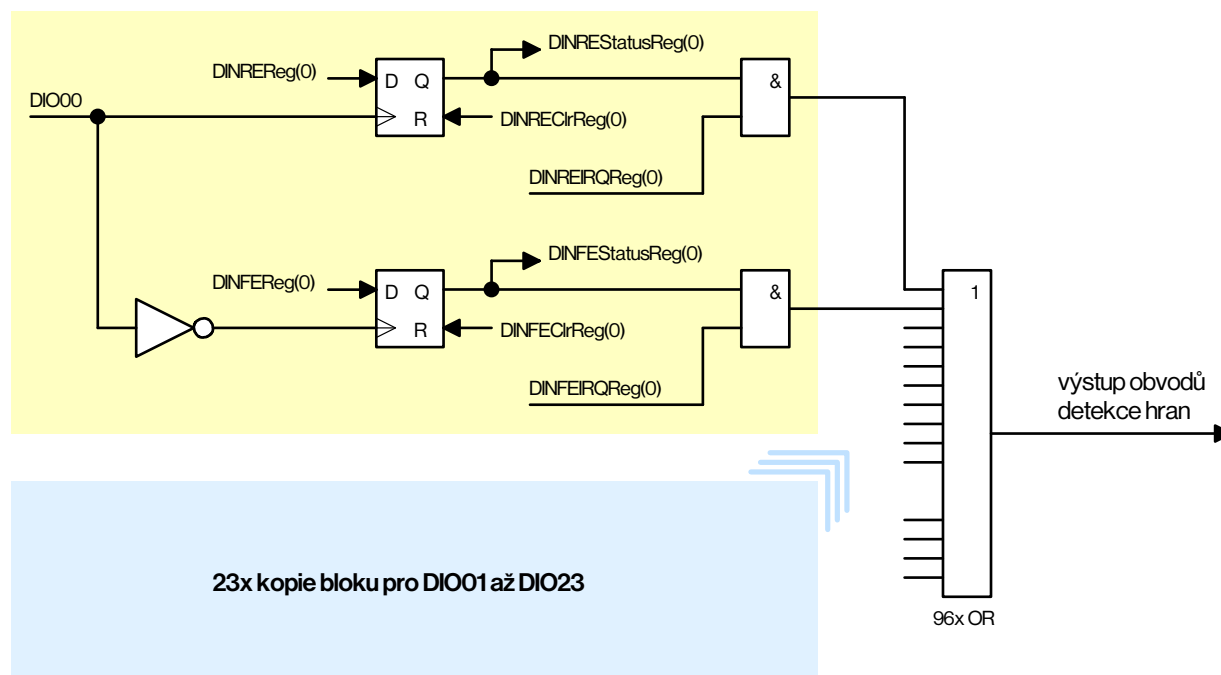
Tyto registry slouží k povolení vyvolání přerušení systému příznaky obvodů detekce hran.

Registry mají významných 24 nejnižších bitů (bit D0 hodnotou 1 povoluje vyvolat přerušení příznakem navázaným na signál portu DIO00, bit D23 hodnotou 1 povoluje vyvolat přerušení příznakem navázaným na signál portu DIO23), nejvyšších osm bitů je ignorováno a z důvodu dopředné kompatibility je doporučeno zapisovat hodnotu 0.

Podrobnější informace lze nalézt v obrázku a popisu uvedeném v následujícím odstavci, resp. v samostatné kapitole věnované obvodům přerušení.

5.6 Schéma registrové struktury obvodů detekce hran

Na níže uvedeném obrázku je pro lepší porozumění souvislostí zakresleno schéma obvodů detekce hran a návaznost na obvody přerušení (viz popis v samostatné kapitole).



Každý DIOxx signál je vybaven identickými obvody umožňujícími detekovat nezávisle náběžnou nebo sestupnou hranu. Žlutě vyznačená část zachycuje přesné řešení obvodů pro signál DIO00, modře vyznačená část pak znázorňuje identické obvody pro signály DIO01 až DIO23.

Všech 48 příznaků DINREStatus a DINFESTatus umožňuje vyvolat přerušení. Příznaky jsou v prvním kroku zpracovány AND hradly (signály DINREIRQReg a DINFERRQReg úrovní 1 povolují průchod příznaků) a v druhém kroku OR hradlem. Jak je patrné ze schéma obvodů přerušení (viz popis v samostatné kapitole), přerušení systému je vyvoláno první detekovanou hranou, tzn. přechodem výstupu OR hradla z nulové hodnoty do nenulové. Pro další vyvolání přerušení je tedy nezbytné, aby programová obsluha přerušení zpracovala všechny požadavky o přerušení (viz popis v samostatné kapitole) a následně vynulovala všechny příznaky obvodů detekce hran.

6. Registry pro obsluhu přerušení

6.1 Úvod

V následujících odstavcích budou popsány registry související s obvody pro přerušení systému, viz přehled v 3. kapitole.

Přehled registrů:

INTEnReg	propojení obvodů detekce přerušení (všechny registry popsané v této kapitole) s obvody karty generujícími přerušení systému (INTA nebo MSI)
IRQCfgReg	povolení základních zdrojů přerušení
IRQStatusReg	příznaky základních zdrojů přerušení
IRQClrReg	nulování základních příznaků přerušení
TimerReg	generátor časových značek pro periodické vyvolávání přerušení

Poznámka: S obvody přerušení přímo souvisí i registry obvodů detekce hran popsané v samostatné kapitole.

6.2 Funkce obvodů pro obsluhu přerušení

Obvody pro obsluhu přerušení umožňují vyvolat přerušení systému jedním ze zdrojů, případně zvolenou kombinací zdrojů přerušení. Karta disponuje těmito zdroji přerušení:

Generátor časových značek

Umožňuje vyvolávat přerušení se zvolenou časovou periodou v rozsahu 1+255 ms.

Digitální vstupy - režim kompatibilní s DAQ PCI kartami

Umožňuje vyvolávat přerušení sestupnou hranou vybraných signálů DIO portů.

Digitální vstupy - obvody detekce hran DAQ PCI Express karet

Umožňuje vyvolávat přerušení libovolnou kombinací náběžných a sestupných hran na všech signálech DIO portů.

Pro správnou obsluhu je potřeba vzít v úvahu, že přerušení systému je vyvoláno první detekovanou událostí, tzn. přechodem obsahu IRQStatusReg registru z nulové hodnoty do nenulové. Pro další vyvolání přerušení je tedy nezbytné, aby programová obsluha přerušení zpracovala všechny požadavky detekované od vyvolání přerušení do vykonání této obsluhy a vynulovala všechny nastavené příznaky.

6.3 Registr INTEnReg (WR)

Tento registr slouží k propojení obvodů detekce přerušení (všechny registry popsané v této kapitole) s obvody karty generujícími přerušení systému (INTA nebo MSI).

D7	D6	D5	D4	D3	D2	D1	D0
INTEN	RSRV						

INTEN	aktivace obvodů pro řízení INTA/MSI
	0 záchytný registr generující řídicí signál INTA, popř. generující MSI je trvale nulován
	1 funkce záchytného registru je aktivována, tzn. karta může vyvolat přerušení systému
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

6.4 Registr IRQCfgReg (WR)

Tento registr slouží k povolení základních zdrojů přerušení.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	DIN-X	RSRV	TIM	RSRV	IRQ2	IRQ1	IRQ0

IRQ0	povoluje vyvolání přerušení odvozené od sestupné hrany digitálního portu DIO00 0 záchytný registr navázaný na digitální vstup je blokován 1 funkce záchytného registru je aktivována
IRQ1	povoluje vyvolání přerušení odvozené od sestupné hrany digitálního portu DIO08 0 záchytný registr navázaný na digitální vstup je blokován 1 funkce záchytného registru je aktivována
IRQ2	povoluje vyvolání přerušení odvozené od sestupné hrany digitálního portu DIO16 0 záchytný registr navázaný na digitální vstup je blokován 1 funkce záchytného registru je aktivována
TIM	povoluje vyvolání přerušení odvozené od generátoru časových značek 0 záchytný registr navázaný na generátor časových značek je blokován 1 funkce záchytného registru je aktivována
DIN-X	povoluje vyvolání přerušení odvozené od obvodů detekce hran 0 záchytný registr navázaný na obvody detekce hran je blokován 1 funkce záchytného registru je aktivována
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

6.5 Registr IRQStatusReg (RD)

Tento registr slouží k zjištění stavu záchytných registrů povolovaných registrem IRQCfgReg.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	DIN-X	RSRV	TIM	RSRV	IRQ2	IRQ1	IRQ0

IRQ0	stav záchytného registru navázaného na digitální vstup DIO00 0 registr není nastaven, tzn. od posledního nulování nedošlo k detekci sestupné hrany 1 registr je nastaven, tzn. od posledního nulování došlo k detekci sestupné hrany
IRQ1	stav záchytného registru navázaného na digitální vstup DIO08 0 registr není nastaven, tzn. od posledního nulování nedošlo k detekci sestupné hrany 1 registr je nastaven, tzn. od posledního nulování došlo k detekci sestupné hrany
IRQ2	stav záchytného registru navázaného na digitální vstup DIO16 0 registr není nastaven, tzn. od posledního nulování nedošlo k detekci sestupné hrany 1 registr je nastaven, tzn. od posledního nulování došlo k detekci sestupné hrany
TIM	stav záchytného registru navázaného na generátor časových značek 0 registr není nastaven, tzn. od posledního nulování nedošlo k vygenerování časové značky 1 registr je nastaven, tzn. od posledního nulování došlo k vygenerování časové značky
DIN-X	stav záchytného registru navázaného na obvody detekce hran 0 registr není nastaven, tzn. od posledního nulování nedošlo k požadavku o přerušení 1 registr je nastaven, tzn. od posledního nulování došlo k požadavku o přerušení
RSRV	rezerva (z důvodu dopředné kompatibility je doporučeno hodnoty ignorovat)

6.6 Registr IRQClrReg (WR)

Tento registr slouží k nulování záchytných registrů povolovaných registrem IRQCfgReg.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	DIN-X	RSRV	TIM	RSRV	IRQ2	IRQ1	IRQ0

IRQ0	nuluje stejnojmenný záchytný registr v IRQStatusReg 0 bez významu, stav záchytného registru není modifikován 1 záchytný registr je vynulován (generuje krátký pulz, následný zápis 0 není vyžadován)
IRQ1	nuluje stejnojmenný záchytný registr v IRQStatusReg 0 bez významu, stav záchytného registru není modifikován 1 záchytný registr je vynulován (generuje krátký pulz, následný zápis 0 není vyžadován)
IRQ2	nuluje stejnojmenný záchytný registr v IRQStatusReg 0 bez významu, stav záchytného registru není modifikován 1 záchytný registr je vynulován (generuje krátký pulz, následný zápis 0 není vyžadován)
TIM	nuluje stejnojmenný záchytný registr v IRQStatusReg 0 bez významu, stav záchytného registru není modifikován 1 záchytný registr je vynulován (generuje krátký pulz, následný zápis 0 není vyžadován)
DIN-X	nuluje stejnojmenný záchytný registr v IRQStatusReg 0 bez významu, stav záchytného registru není modifikován 1 záchytný registr je vynulován (generuje krátký pulz, následný zápis 0 není vyžadován)
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

6.7 Registr TimerReg (WR, RD)

Tento registr slouží k ovládání generátoru časových značek určeného pro periodické vyvolávání přerušení.

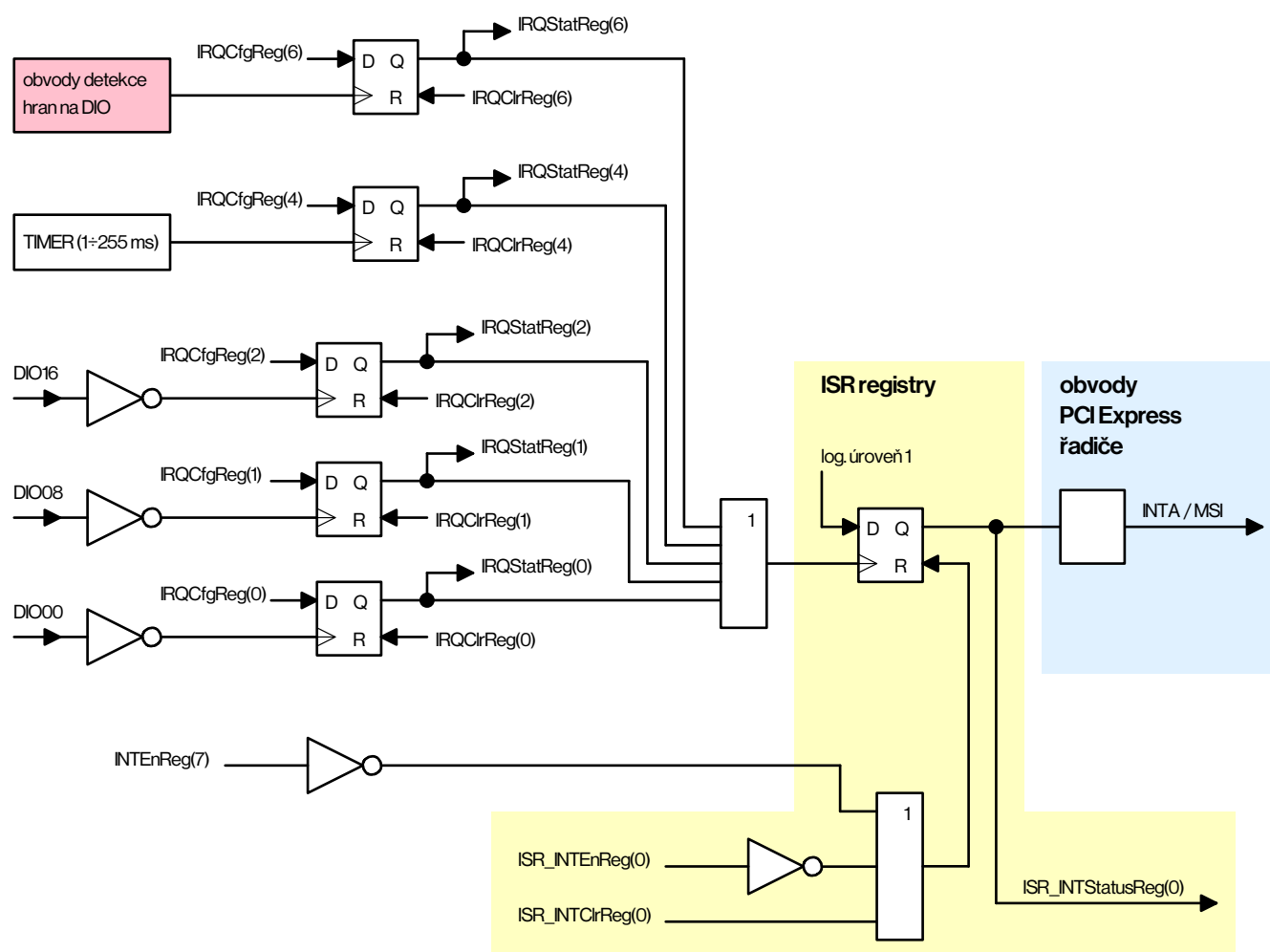
Počáteční hodnota registru je nulová a generátor časových značek je blokován. Zápisem nenulové hodnoty je generátor odstartován, perioda je definovaná zapsanou hodnotou v milisekundách. Zápisem nulové hodnoty je generátor zastaven.

Registr má význam i pro čtení (je čtena aktuální hodnota čítače inkrementovaného od nuly každou milisekundu až do zadané hodnoty zmenšené o jedna).

Pro příklad, zápisem hodnoty 100 bude první přerušení vyvoláno 100 ms po zápisu do registru a následně vždy po dalších 100 ms. Čtením budou získávány hodnoty 0, 1, ..., 98, 99, 0, 1, ..., přerušení je vyvoláno v okamžik přechodu z 99 na 0.

6.8 Schéma registrové struktury

Na níže uvedeném obrázku je pro lepší porozumění souvislosti zakresleno schéma základní části registrové struktury, podrobné řešení obvodů detekce hran (červeně vyznačená část) je zakresleno na samostatném obrázku v kapitole věnované této části karty.



Žlutě vyznačené obvody musejí být řízeny v rámci ISR, ostatní mohou být obsluhovány v rámci uživatelského programu, aplikačního ovladače (zpravidla DLL v případě Windows) nebo také v rámci ISR.

Signály `ISR_INTEnReg(0)` a `ISR_INTClrReg(0)` jsou implementovány identicky u všech DAQ PCIe karet TEDIA a umožňují unifikovat ISR obsluhu. Signál `ISR_INTEnReg(0)` je po startu karty v logické úrovni 1 a neblokuje tedy funkci signálu `INTEnReg(7)`, pro vytváření specifického systémového ovladače lze proto využít i řízení pomocí `INTEnReg(7)`.

Signály `ISR_INTEnReg(0)` a `ISR_INTClrReg(0)` využívá systémový ovladač `tedia_ep4gxa` pro Windows. V rámci aplikačního ovladače je potřeba při konfiguraci zdrojů přerušení nastavit registr `INTEnReg(7)` do logické úrovně 1 a při ukončení požadavku o podporu přerušení (zpravidla při ukončování programu) pak registr nastavit zpět do logické úrovně 0; vlastní deaktivaci `INTA/MSI` pomocí signálu `ISR_INTClrReg(0)` provádí ISR v kernel části ovladače automaticky.

Poznámka: Všechny registry `ISR_***` jsou mapovány v `BAR2` a jejich popis přesahuje rámeček této příručky.

7. Registry pro obsluhu IRC čítačů

7.1 Úvod

V následujících odstavcích budou popsány registry související s IRC čítači, viz přehled v 3. kapitole.

Registry lze rozdělit na skupinu společnou všem čítačům

IRCCNTEnReg	registr vyhrazený pro povolení čítání, resp. nulování externími signály
IRCCNTCtrlReg	registr vyhrazený pro nastavení hodnoty čítačů, resp. zachycení aktuální hodnoty do registrů

a skupinu registrů implementovaných pro každý čítač samostatně (registry mají názvy IRCCNT0..., IRCCNT1..., atd.)

IRCCNTxSetReg	registry vyhrazené pro data zapisovaná do "x-tého" čítače
IRCCNTxRngReg	registry vyhrazené pro definici rozsahu čítání "x-tého" čítače
IRCCNTxStrReg	registry vyhrazené pro zachycení dat z "x-tého" čítače
IRCCNTxCWReg	registry vyhrazené pro konfiguraci "x-tého" čítače
IRCCNTxStatReg	registry vyhrazené pro stavové informace "x-tého" čítače

Poznámka: Obsah všech registrů uvedených výše s výjimkou IRCCNTxRngReg je po zapnutí karty nebo resetu (včetně resetu vyvolaného registrem CardResetReg) vynulován. Registry IRCCNTxRngReg jsou nastaveny na maximální hodnotu, tzn. FFFFFFFF₁₆.

7.2 Funkce IRC čítačů

V dále uvedených odstavcích budou popsány postupy typických programových obsluh čítačů.

Konfigurace čítačů (popsáno pro čítač IRCCNT0)

Ke konfiguraci jsou určeny registry IRCCNT0CWReg a IRCCNT0RngReg umožňující nastavit režim čítače a rozsah čítání. Následně je možné nastavit hodnotu čítače pomocí IRCCNT0SetReg (resp. také IRCCNTCtrlReg).

Vhodné je ověřit stav registru IRCCNT0StatReg (příznak chyby) a případně jej vynulovat pomocí registru IRCCNT0CWReg.

Spuštění čítačů (popsáno pro čítač IRCCNT0)

Ke spuštění a zastavení čítačů (tzn. reakce na vstupní signály) je určen registr IRCCNTEnReg.

Softwarové čtení čítačů (popsáno pro čítač IRCCNT0)

Čtení čítačů probíhá ve dvou fázích; v první je hodnota čítače (resp. vybraných čítačů) zachycena do vyrovnávacích registrů pomocí IRCCNTCtrlReg a v druhé fázi je zachycená hodnota čtena pomocí IRCCNT0StrReg.

Poznámka: Zachycení hodnoty čítačů externím signálem a blokové čtení pomocí FIFO je připravováno do dalších verzí firmware FPGA.

7.3 Odlišnosti registrů karet PCT-83xx

Karty PCT-83xx se odlišují výhradně v počtu čítačů, resp. v počtu SSI rozhraní.

typ rozhraní	PCT-8303 (.../LP)	PCT-8306 (.../LP)	PCT-8363 (.../LP)	PCT-8360 (.../LP)
počet IRC čítačů	3 (CNT0÷CNT2)	6 (CNT0÷CNT5)	3 (CNT0÷CNT2)	0
počet SSI rozhraní	0	0	6 (SSI0÷SSI5)	6 (SSI0÷SSI5)

Dále uvedené odstavce budou popisovat plnou registrovou strukturu pro šest čítačů s tím, že pro karty se třemi nebo žádným čítačem nejsou registry, případně odpovídající bity ve společných registrech implementovány.

7.4 Registr IRCCNTCtrlReg (WR)

Tento registr slouží k softwarovému zachycení aktuální hodnoty čítačů do záchytných registrů a rovněž nastavení hodnoty čítačů podle předvolených hodnot.

Všechny bity lze používat současně v libovolné kombinaci, čítače umožňují současné čtení i nastavení.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	STR_IRC5	STR_IRC4	STR_IRC3	STR_IRC2	STR_IRC1	STR_IRC0
D15	D14	D13	D12	D11	D10	D9	D8
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV
D23	D22	D21	D20	D19	D18	D17	D16
RSRV	RSRV	SET_IRC5	SET_IRC4	SET_IRC3	SET_IRC2	SET_IRC1	SET_IRC0
D31	D30	D29	D28	D27	D26	D25	D24
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV

STR_IRC0	přeneše aktuální hodnotu čítače IRCCNT0 do registru IRCCNT0StrReg 0 bez významu, stav IRCCNT0StrReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_IRC1	přeneše aktuální hodnotu čítače IRCCNT1 do registru IRCCNT1StrReg 0 bez významu, stav IRCCNT1StrReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_IRC2	přeneše aktuální hodnotu čítače IRCCNT2 do registru IRCCNT2StrReg 0 bez významu, stav IRCCNT2StrReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_IRC3	přeneše aktuální hodnotu čítače IRCCNT3 do registru IRCCNT3StrReg 0 bez významu, stav IRCCNT3StrReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_IRC4	přeneše aktuální hodnotu čítače IRCCNT4 do registru IRCCNT4StrReg 0 bez významu, stav IRCCNT4StrReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_IRC5	přeneše aktuální hodnotu čítače IRCCNT5 do registru IRCCNT5StrReg 0 bez významu, stav IRCCNT5StrReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
SET_IRC0	přeneše aktuální hodnotu registru IRCCNT0SetReg do čítače IRCCNT0 0 bez významu, stav čítače IRCCNT0 není modifikován 1 data přenesena do čítače (generuje krátký puls, následný zápis 0 není vyžadován)
SET_IRC1	přeneše aktuální hodnotu registru IRCCNT1SetReg do čítače IRCCNT1 0 bez významu, stav čítače IRCCNT1 není modifikován 1 data přenesena do čítače (generuje krátký puls, následný zápis 0 není vyžadován)
SET_IRC2	přeneše aktuální hodnotu registru IRCCNT2SetReg do čítače IRCCNT2 0 bez významu, stav čítače IRCCNT2 není modifikován 1 data přenesena do čítače (generuje krátký puls, následný zápis 0 není vyžadován)
SET_IRC3	přeneše aktuální hodnotu registru IRCCNT3SetReg do čítače IRCCNT3 0 bez významu, stav čítače IRCCNT3 není modifikován 1 data přenesena do čítače (generuje krátký puls, následný zápis 0 není vyžadován)
SET_IRC4	přeneše aktuální hodnotu registru IRCCNT4SetReg do čítače IRCCNT4 0 bez významu, stav čítače IRCCNT4 není modifikován 1 data přenesena do čítače (generuje krátký puls, následný zápis 0 není vyžadován)
SET_IRC5	přeneše aktuální hodnotu registru IRCCNT5SetReg do čítače IRCCNT5 0 bez významu, stav čítače IRCCNT5 není modifikován 1 data přenesena do čítače (generuje krátký puls, následný zápis 0 není vyžadován)
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

Poznámka: Funkce ovládané bity STR_IRCx lze alternativně ovládat pomocí registru SSICtrlReg popsáného v kapitole věnované popisu registrů SSI rozhraní.

7.5 Registr IRCCNTEnReg (WR)

Tento registr slouží ke spuštění a zastavení čítačů, resp. k povolení nulování externím signálem.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	EN_AB5	EN_AB4	EN_AB3	EN_AB2	EN_AB1	EN_AB0
D15	D14	D13	D12	D11	D10	D9	D8
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV
D23	D22	D21	D20	D19	D18	D17	D16
RSRV	RSRV	EN_R5	EN_R4	EN_R3	EN_R2	EN_R1	EN_R0
D31	D30	D29	D28	D27	D26	D25	D24
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV

EN_AB0	povoluje čítání IRCCNT0 0 čítač je zastaven 1 čítač zpracovává signály IRCCNT0_A a IRCCNT0_B
EN_AB1	povoluje čítání IRCCNT1 0 čítač je zastaven 1 čítač zpracovává signály IRCCNT1_A a IRCCNT1_B
EN_AB2	povoluje čítání IRCCNT2 0 čítač je zastaven 1 čítač zpracovává signály IRCCNT2_A a IRCCNT2_B
EN_AB3	povoluje čítání IRCCNT3 0 čítač je zastaven 1 čítač zpracovává signály IRCCNT3_A a IRCCNT3_B
EN_AB4	povoluje čítání IRCCNT4 0 čítač je zastaven 1 čítač zpracovává signály IRCCNT4_A a IRCCNT4_B
EN_AB5	povoluje čítání IRCCNT5 0 čítač je zastaven 1 čítač zpracovává signály IRCCNT5_A a IRCCNT5_B
EN_R0	povoluje nulování IRCCNT0 0 čítač ignoruje signál IRCCNT0_R 1 čítač zpracovává signál IRCCNT0_R (aktivní úroveň je konfigurovatelná IRCCNT0CWReg)
EN_R1	povoluje nulování IRCCNT1 0 čítač ignoruje signál IRCCNT1_R 1 čítač zpracovává signál IRCCNT1_R (aktivní úroveň je konfigurovatelná IRCCNT1CWReg)
EN_R2	povoluje nulování IRCCNT2 0 čítač ignoruje signál IRCCNT2_R 1 čítač zpracovává signál IRCCNT2_R (aktivní úroveň je konfigurovatelná IRCCNT2CWReg)
EN_R3	povoluje nulování IRCCNT3 0 čítač ignoruje signál IRCCNT3_R 1 čítač zpracovává signál IRCCNT3_R (aktivní úroveň je konfigurovatelná IRCCNT3CWReg)
EN_R4	povoluje nulování IRCCNT4 0 čítač ignoruje signál IRCCNT4_R 1 čítač zpracovává signál IRCCNT4_R (aktivní úroveň je konfigurovatelná IRCCNT4CWReg)
EN_R5	povoluje nulování IRCCNT5 0 čítač ignoruje signál IRCCNT5_R 1 čítač zpracovává signál IRCCNT5_R (aktivní úroveň je konfigurovatelná IRCCNT5CWReg)
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

7.6 Registr IRCNT0SetReg (WR)

Tento registr plní funkci 32bitového vyrovnávacího datového registru pro zápis dat do čítače IRCNT0; data jsou do čítače IRCNT0 přenesena pomocí registru IRCNTCtrlReg.

Je-li do čítače IRCNT0 zapsána hodnota mimo rozsah 0÷IRCNT0RngReg, pracuje čítač v plném 32bitovém rozsahu až do okamžiku, kdy hodnota čítače vstoupí do zvoleného rozsahu 0÷IRCNT0RngReg.

Poznámka: Pro čítače IRCNT1 až IRCNT5 jsou implementovány analogické registry.

7.7 Registr IRCNT0RngReg (WR)

Tento 32bitový registr je určen pro nastavení rozsahu čítání čítače IRCNT0, platné hodnoty jsou 1 až 4.294.967.295 (tzn. plný rozsah 32bitové hodnoty) a čítač IRCNT0 pak pracuje v rozsahu 0÷IRCNT0RngReg.

Je-li do IRCNT0RngReg zapsána taková hodnota, že aktuální stav čítače IRCNT0 je mimo rozsah 0÷IRCNT0RngReg, pracuje čítač v plném 32bitovém rozsahu až do okamžiku, kdy hodnota čítače vstoupí do zvoleného rozsahu 0÷IRCNT0RngReg (zpracováním vstupních signálů nebo naprogramováním hodnoty).

Poznámka: Pro čítače IRCNT1 až IRCNT5 jsou implementovány analogické registry.

7.8 Registr IRCNT0StrReg (RD)

Tento registr plní funkci 32bitového vyrovnávacího datového registru pro softwarové čtení dat z čítače IRCNT0, data jsou z čítače IRCNT0 přenesena pomocí registru IRCNTCtrlReg.

Poznámka: Pro čítače IRCNT1 až IRCNT5 jsou implementovány analogické registry.

7.9 Registr IRCNT0CWReg (WR)

Tento registr slouží ke konfiguraci čítače IRCNT0.

D31÷D8	D7	D6	D5	D4	D3	D2	D1	D0
RSRV-32	RSRV	MODE			ERR	RSRV	LPF	R_CFG

R_CFG	volba polarity nulovacího pulsu (signál IRCNT0_R)
	0 čítač nulován úrovní L vstupního signálu
	1 čítač nulován úrovní H vstupního signálu
LPF	aktivace dolnopropustního filtru enkodéru vstupních signálů
	0 filtr vypnut
	1 filtr aktivován
ERR	nulování příznaku ERR v IRCNT0StatReg
	0 bez významu, stav příznaku zachován
	1 příznak vynulován (generuje krátký puls, následný zápis 0 není vyžadován)
MODE	volba pracovního režimu čítače (podrobně popsány v uživatelské příručce)
	000 kvadrurní enkodér, režim X1
	001 kvadrurní enkodér, režim X2
	010 kvadrurní enkodér, režim X4
	011 rezerva
	100 režim "up/down"
	101 režim "count/dir"
	110 režim "count/gate"
	111 rezerva
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)
RSRV-32	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)
	ačkoliv je významných jen osm bitů, je nutné do registru přistupovat 32bitovými daty

Poznámka: Pro čítače IRCNT1 až IRCNT5 jsou implementovány analogické registry.

7.10 Registr IRCCNT0StatReg (RD)

Tento registr slouží ke čtení stavových příznaků čítače IRCCNT0.

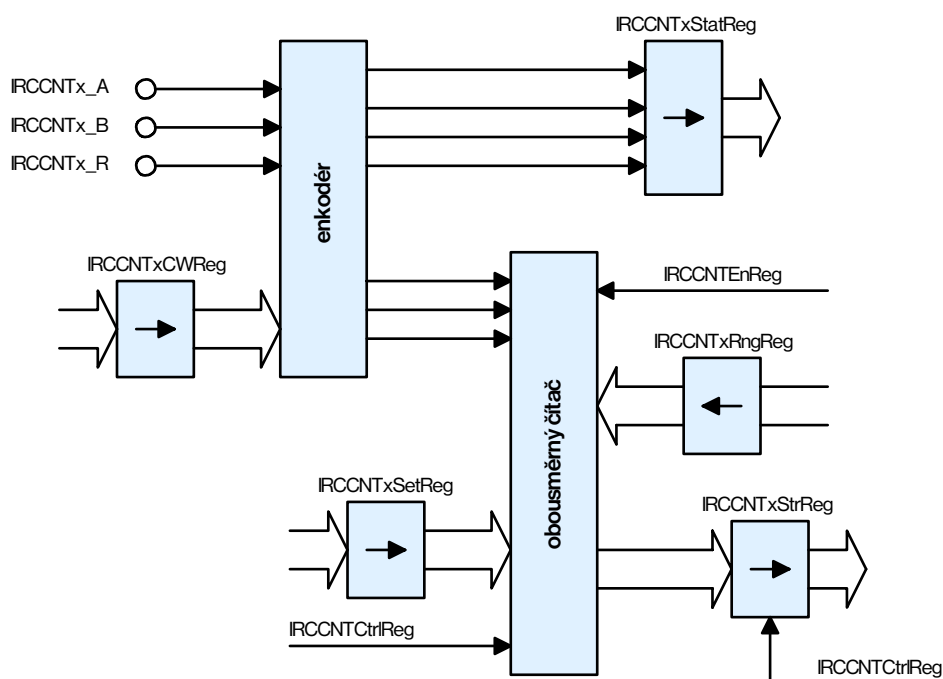
D31÷D8	D7	D6	D5	D4	D3	D2	D1	D0
RSRV-32	RSRV	RSRV	RSRV	RSRV	ERR	IRCCNT0_R	IRCCNT0_B	IRCCNT0_A

IRCCNT0_A	aktuální stav signálu IRCCNT0_A
IRCCNT0_B	aktuální stav signálu IRCCNT0_B
IRCCNT0_R	aktuální stav signálu IRCCNT0_R
ERR	chybový příznak signalizující "přeskočení" fáze kvadrurního signálu v režimech X1, X2 a X4 nebo detekovaný současný stav signálů IRCCNT0_A=L a IRCCNT0_B=L v režimu "up/down" 0 od posledního nulování příznaku nebyla detekována chyba 1 od posledního nulování příznaku byla detekována chyba
RSRV	rezerva (z důvodu dopředné kompatibility je doporučeno hodnoty ignorovat)
RSRV-32	rezerva (z důvodu dopředné kompatibility je doporučeno hodnoty ignorovat) ačkoliv je významných jen osm bitů, je nutné do registru přistupovat 32bitovými daty

Poznámka: Pro čítače IRCCNT1 až IRCCNT5 jsou implementovány analogické registry.

7.11 Schéma registrové struktury

Na níže uvedeném obrázku jsou pro lepší porozumění zakresleny registry související s čítači (zobrazuje jeden čítač; registry IRCCNTx jsou implementovány pro každý čítač samostatně, registry IRCCNT jsou společné všem čítačům a umožňují jejich synchronní řízení).



8. Registry pro detekci minima/maxima hodnoty IRC čítačů

8.1 Úvod

V následujících odstavcích budou popsány registry související s obvodou pro detekci minima/maxima čítačů (dále také detektor minima/maxima), viz přehled v 3. kapitole.

Registry lze rozdělit na skupinu společnou všem detektorům

IRCCNTMinMaxEnReg	aktivuje/deaktivuje detektory minima/maxima
IRCCNTMinMaxCtrlReg	umožňuje zachytit aktuální hodnotu detektorů do registrů

a skupinu registrů implementovaných pro každý detektor samostatně (registry mají názvy IRCCNT0..., IRCCNT1..., atd.)

IRCCNTxMinReg	registry vyhrazené pro zachycení minima hodnoty "x-tého" čítače
IRCCNTxMaxReg	registry vyhrazené vyhrazených pro zachycení maxima hodnoty "x-tého" čítače

Poznámka: Obsah všech registrů uvedených výše je po zapnutí karty nebo resetu (včetně resetu vyvolaného registrem CardResetReg) vynulován.

8.2 Funkce detektorů minima/maxima

Každý čítač má k dispozici nezávisle pracující detektor minimální hodnoty a detektor maximální hodnoty.

Všech šest (PCT-8303), resp. dvanáct (PCT-8306) detektorů je ovládáno dvojicí registrů IRCCNTMinMaxEnReg a IRCCNTMinMaxCtrlReg.

Registr IRCCNTMinMaxEnReg slouží k aktivaci, resp. k restartu detektorů. Po dobu, kdy je odpovídající bit tohoto registru nastaven na hodnotu 0, detektor kopíruje aktuální hodnotu čítače do interního pracovního registru detektoru. Po nastavení odpovídajícího bitu registru IRCCNTMinMaxEnReg na hodnotu 1 detektor začíná vyhodnocovat aktuální hodnotu čítače a průběžně aktualizuje hodnotu interního pracovního registru podle změn čítače (detektor maxima aktualizuje svůj vnitřní registr každou vyšší hodnotou čítače, detektor minima naopak aktualizuje svůj vnitřní registr každou nižší hodnotou čítače).

Pro čtení interních pracovních registrů detektorů je určeno šest nebo dvanáct záchytných registrů společně řízených registrem IRCCNTMinMaxCtrlReg.

Detektory minima/maxima neumožňují vyvolat přerušení a nejsou ani jiným způsobem propojeny s dalšími obvody karty.

8.3 Odlišnosti registrů karet PCT-83xx

Karty PCT-83xx se odlišují výhradně v počtu čítačů, resp. v počtu SSI rozhraní.

typ rozhraní	PCT-8303 (.../LP)	PCT-8306 (.../LP)	PCT-8363 (.../LP)	PCT-8360 (.../LP)
počet IRC čítačů	3 (CNT0÷CNT2)	6 (CNT0÷CNT5)	3 (CNT0÷CNT2)	0
počet SSI rozhraní	0	0	6 (SSI0÷SSI5)	6 (SSI0÷SSI5)

Dále uvedené odstavce budou popisovat plnou registrovou strukturu pro šest čítačů, resp. šest párů detektorů s tím, že pro karty se třemi nebo žádným čítačem nejsou registry, případně odpovídající bity ve společných registrech implementovány.

8.4 Registr IRCCNTMinMaxEnReg (WR)

Tento registr slouží k aktivaci/deaktivaci funkce všech šesti detektorů minima/maxima.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	EN_MIN5	EN_MIN4	EN_MIN3	EN_MIN2	EN_MIN1	EN_MIN0
D15	D14	D13	D12	D11	D10	D9	D8
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV
D23	D22	D21	D20	D19	D18	D17	D16
RSRV	RSRV	EN_MAX5	EN_MAX4	EN_MAX3	EN_MAX2	EN_MAX1	EN_MAX0
D31	D30	D29	D28	D27	D26	D25	D24
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV

EN_MIN0	aktivuje/deaktivuje detektor minima čítače IRCCNT0 0 funkce detektoru je blokována 1 detektor je aktivován, přechodem 0=>1 je detektor restartován
EN_MIN1	aktivuje/deaktivuje detektor minima čítače IRCCNT1 0 funkce detektoru je blokována 1 detektor je aktivován, přechodem 0=>1 je detektor restartován
EN_MIN2	aktivuje/deaktivuje detektor minima čítače IRCCNT2 0 funkce detektoru je blokována 1 detektor je aktivován, přechodem 0=>1 je detektor restartován
EN_MIN3	aktivuje/deaktivuje detektor minima čítače IRCCNT3 0 funkce detektoru je blokována 1 detektor je aktivován, přechodem 0=>1 je detektor restartován
EN_MIN4	aktivuje/deaktivuje detektor minima čítače IRCCNT4 0 funkce detektoru je blokována 1 detektor je aktivován, přechodem 0=>1 je detektor restartován
EN_MIN5	aktivuje/deaktivuje detektor minima čítače IRCCNT5 0 funkce detektoru je blokována 1 detektor je aktivován, přechodem 0=>1 je detektor restartován
EN_MAX0	aktivuje/deaktivuje detektor maxima čítače IRCCNT0 0 funkce detektoru je blokována 1 detektor je aktivován, přechodem 0=>1 je detektor restartován
EN_MAX1	aktivuje/deaktivuje detektor maxima čítače IRCCNT1 0 funkce detektoru je blokována 1 detektor je aktivován, přechodem 0=>1 je detektor restartován
EN_MAX2	aktivuje/deaktivuje detektor maxima čítače IRCCNT2 0 funkce detektoru je blokována 1 detektor je aktivován, přechodem 0=>1 je detektor restartován
EN_MAX3	aktivuje/deaktivuje detektor maxima čítače IRCCNT3 0 funkce detektoru je blokována 1 detektor je aktivován, přechodem 0=>1 je detektor restartován
EN_MAX4	aktivuje/deaktivuje detektor maxima čítače IRCCNT4 0 funkce detektoru je blokována 1 detektor je aktivován, přechodem 0=>1 je detektor restartován
EN_MAX5	aktivuje/deaktivuje detektor maxima čítače IRCCNT5 0 funkce detektoru je blokována 1 detektor je aktivován, přechodem 0=>1 je detektor restartován
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

8.5 Registr IRCCNTMinMaxCtrlReg (WR)

Tento registr slouží k softwarovému zachycení aktuální hodnoty interních pracovních registrů detektorů minima nebo maxima do záchytných registrů. Všechny bity lze používat současně v libovolné kombinaci.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	STR_MIN5	STR_MIN4	STR_MIN3	STR_MIN2	STR_MIN1	STR_MIN0
D15	D14	D13	D12	D11	D10	D9	D8
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV
D23	D22	D21	D20	D19	D18	D17	D16
RSRV	RSRV	STR_MAX5	STR_MAX4	STR_MAX3	STR_MAX2	STR_MAX1	STR_MAX0
D31	D30	D29	D28	D27	D26	D25	D24
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV

STR_MIN0	přenos aktuální hodnoty interního registru detektoru minima IRCCNT0 do registru IRCCNT0MinReg 0 bez významu, stav IRCCNT0MinReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_MIN1	přenos aktuální hodnoty interního registru detektoru minima IRCCNT1 do registru IRCCNT1MinReg 0 bez významu, stav IRCCNT1MinReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_MIN2	přenos aktuální hodnoty interního registru detektoru minima IRCCNT2 do registru IRCCNT2MinReg 0 bez významu, stav IRCCNT2MinReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_MIN3	přenos aktuální hodnoty interního registru detektoru minima IRCCNT3 do registru IRCCNT3MinReg 0 bez významu, stav IRCCNT3MinReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_MIN4	přenos aktuální hodnoty interního registru detektoru minima IRCCNT4 do registru IRCCNT4MinReg 0 bez významu, stav IRCCNT4MinReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_MIN5	přenos aktuální hodnoty interního registru detektoru minima IRCCNT5 do registru IRCCNT5MinReg 0 bez významu, stav IRCCNT5MinReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_MAX0	přenos aktuální hodnoty interního registru detektoru maxima IRCCNT0 do registru IRCCNT0MaxReg 0 bez významu, stav IRCCNT0MaxReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_MAX1	přenos aktuální hodnoty interního registru detektoru maxima IRCCNT1 do registru IRCCNT1MaxReg 0 bez významu, stav IRCCNT1MaxReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_MAX2	přenos aktuální hodnoty interního registru detektoru maxima IRCCNT2 do registru IRCCNT2MaxReg 0 bez významu, stav IRCCNT2MaxReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_MAX3	přenos aktuální hodnoty interního registru detektoru maxima IRCCNT3 do registru IRCCNT3MaxReg 0 bez významu, stav IRCCNT3MaxReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_MAX4	přenos aktuální hodnoty interního registru detektoru maxima IRCCNT4 do registru IRCCNT4MaxReg 0 bez významu, stav IRCCNT4MaxReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_MAX5	přenos aktuální hodnoty interního registru detektoru maxima IRCCNT5 do registru IRCCNT5MaxReg 0 bez významu, stav IRCCNT5MaxReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

8.6 Registr IRCCNT0MinReg (RD)

Tento registr plní funkci 32bitového vyrovnávacího datového registru pro softwarové čtení dat detektoru minima čítače IRCCNT0, data jsou přenesena pomocí registru IRCCNTMinMaxCtrlReg.

Poznámka: Pro detektory minima čítačů IRCCNT1 až IRCCNT5 jsou implementovány analogické registry.

8.7 Registr IRCCNT0MaxReg (RD)

Tento registr plní funkci 32bitového vyrovnávacího datového registru pro softwarové čtení dat detektoru maxima čítače IRCCNT0, data jsou přenesena pomocí registru IRCCNTMinMaxCtrlReg.

Poznámka: Pro detektory maxima čítačů IRCCNT1 až IRCCNT5 jsou implementovány analogické registry.

9. Registry pro obsluhu SSI rozhraní

9.1 Úvod

V následujících odstavcích budou popsány registry související s SSI rozhraním, viz přehled v 3. kapitole.

Registry lze rozdělit na skupinu společnou všem SSI rozhraním

SSICfgReg	registr vyhrazený pro konfiguraci časování všech SSI rozhraní
SSICtrlReg	registr vyhrazený pro zachycení poslední načtené hodnoty z SSI rozhraní do registrů (resp. současně i zachycení aktuální hodnoty IRC čítačů)

a skupinu registrů implementovaných pro každé SSI rozhraní samostatně (registry mají názvy SSI0..., SSI1..., atd.)

SSIxCfgReg	registry vyhrazené pro konfiguraci "x-tého" SSI rozhraní
SSIxStrReg	registry vyhrazené pro zachycení poslední načtené hodnoty z "x-tého" SSI rozhraní

Poznámka: Obsah všech registrů uvedených výše je po zapnutí karty nebo resetu (včetně resetu vyvolaného registrem CardResetReg) vynulován.

9.2 Funkce SSI rozhraní

V dále uvedených odstavcích budou popsány postupy typických programových obsluh SSI rozhraní.

Konfigurace jednotlivých SSI rozhraní

Každé SSI rozhraní má vyhrazen jeden registr SSIxCfgReg, kterým lze definovat bitovou délku (v rozsahu 1÷32 bitů) přenosu a pracovní kód dat (přímý binární nebo Grayův kód).

Konfigurace řadiče SSI rozhraní

Řadič SSI rozhraní má vyhrazen jeden registr SSICfgReg, kterým lze společně pro všechna SSI rozhraní definovat pracovní frekvenci CLK_SSIx signálů (v rozsahu 100 kHz ÷ 1 MHz) a periodu načítání dat (v rozsahu 10÷256 period CLK signálu).

Nastavením platné frekvence jsou spuštěny přenosy všech SSI rozhraní.

Softwarové čtení dat řadiče SSI rozhraní

Přenos dat ze snímačů probíhá automaticky s periodou zvolenou registrem SSICfgReg načtená data jsou ukládána do interních datových registrů SSI řadiče. Aktuální obsah interních datových registrů lze softwarově přenést do registrů SSIxStrReg povelům zapsaných do registru SSICtrlReg.

Poznámka: Zachycení hodnoty interních datových registrů SSI řadiče externím signálem a blokové čtení pomocí FIFO je připravováno do dalších verzí firmwary FPGA.

9.3 Odlišnosti registrů karet PCT-83xx

Karty PCT-83xx se odlišují výhradně v počtu čítačů, resp. v počtu SSI rozhraní.

typ rozhraní	PCT-8303 (.../LP)	PCT-8306 (.../LP)	PCT-8363 (.../LP)	PCT-8360 (.../LP)
počet IRC čítačů	3 (CNT0÷CNT2)	6 (CNT0÷CNT5)	3 (CNT0÷CNT2)	0
počet SSI rozhraní	0	0	6 (SSI0÷SSI5)	6 (SSI0÷SSI5)

Registry popsané v dále uvedených odstavcích (s výjimkou SSICtrlReg) jsou implementovány pouze u karet PCT-8360 a PCT-8363; registr SSICtrlReg je implementován u všech čtyř typů PCT-83xx popsaných v této příručce.

9.4 Registr SSICtrlReg (WR)

Tento registr slouží k softwarovému zachycení aktuální hodnoty interních datových registrů SSI rozhraní do záchytných registrů a rovněž zachycení aktuální hodnoty IRC čítačů do záchytných registrů (viz kapitola věnovaná IRC čítačům). Všechny bity lze používat současně v libovolné kombinaci.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	STR_SSI5	STR_SSI4	STR_SSI3	STR_SSI2	STR_SSI1	STR_SSI0
D15	D14	D13	D12	D11	D10	D9	D8
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV
D23	D22	D21	D20	D19	D18	D17	D16
RSRV	RSRV	STR_IRC5	STR_IRC4	STR_IRC3	STR_IRC2	STR_IRC1	STR_IRC0
D31	D30	D29	D28	D27	D26	D25	D24
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV

STR_SSI0	přeneše aktuální hodnotu interního datového registru rozhraní SSI0 do registru SSI0StrReg 0 bez významu, stav SSI0StrReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_SSI1	přeneše aktuální hodnotu interního datového registru rozhraní SSI1 do registru SSI1StrReg 0 bez významu, stav SSI1StrReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_SSI2	přeneše aktuální hodnotu interního datového registru rozhraní SSI2 do registru SSI2StrReg 0 bez významu, stav SSI2StrReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_SSI3	přeneše aktuální hodnotu interního datového registru rozhraní SSI3 do registru SSI3StrReg 0 bez významu, stav SSI3StrReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_SSI4	přeneše aktuální hodnotu interního datového registru rozhraní SSI4 do registru SSI4StrReg 0 bez významu, stav SSI4StrReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_SSI5	přeneše aktuální hodnotu interního datového registru rozhraní SSI5 do registru SSI5StrReg 0 bez významu, stav SSI5StrReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_IRC0	přeneše aktuální hodnotu čítače IRCCNT0 do registru IRCCNT0StrReg 0 bez významu, stav IRCCNT0StrReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_IRC1	přeneše aktuální hodnotu čítače IRCCNT1 do registru IRCCNT1StrReg 0 bez významu, stav IRCCNT1StrReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_IRC2	přeneše aktuální hodnotu čítače IRCCNT2 do registru IRCCNT2StrReg 0 bez významu, stav IRCCNT2StrReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_IRC3	přeneše aktuální hodnotu čítače IRCCNT3 do registru IRCCNT3StrReg (jen PCT-8306) 0 bez významu, stav IRCCNT3StrReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_IRC4	přeneše aktuální hodnotu čítače IRCCNT4 do registru IRCCNT4StrReg (jen PCT-8306) 0 bez významu, stav IRCCNT4StrReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
STR_IRC5	přeneše aktuální hodnotu čítače IRCCNT5 do registru IRCCNT5StrReg (jen PCT-8306) 0 bez významu, stav IRCCNT5StrReg není modifikován 1 data přenesena do registru (generuje krátký puls, následný zápis 0 není vyžadován)
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

Poznámka: Funkce ovládané bity *STR_IRCx* jsou určeny pro alternativní obsluhu IRC čítačů (pro základní obsluhu slouží registr *IRCCNTCtrlReg* popsáný v kapitole věnované registrům IRC čítačů). Registr *SSICtrlReg* je implementován i u karet PCT-8303/8306, tedy typů bez SSI rozhraní; společná softwarová obsluha IRC čítačů a SSI rozhraní může být proto unifikována bez ohledu typ karty.

9.5 Registr SSICfgReg (WR)

Tento registr slouží pro konfiguraci časování všech SSI rozhraní.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	RSRV	RSRV	CLK_FRQ			
D15	D14	D13	D12	D11	D10	D9	D8
SSI_PER							
D23	D22	D21	D20	D19	D18	D17	D16
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV
D31	D30	D29	D28	D27	D26	D25	D24
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV

CLK_FRQ	definuje frekvenci signálů CLK_SSIx (společná pro všechna SSI rozhraní)
0	řadič SSI rozhraní zastaven, všechny CLK_SSIx signály nastaveny trvale do úrovně H
1	signály CLK_SSIx pracují s frekvencí 100 kHz
2	signály CLK_SSIx pracují s frekvencí 200 kHz
...	...
10	signály CLK_SSIx pracují s frekvencí 1 MHz
11÷15	rezerva
SSI_PER	definuje periodu obsluhy všech SSI rozhraní
0÷8	rezerva (aktuálně funkce stejná jako pro hodnotu 9)
9	perioda obsluhy je nastavena na 10 period CLK_SSIx signálu (viz CLK_FRQ)
...	...
255	perioda obsluhy je nastavena na 256 period CLK_SSIx signálu (viz CLK_FRQ)
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

9.6 Registr SSI0CfgReg (WR)

Tento registr slouží pro konfiguraci bitové délky přenosu a pracovní kódu dat SSI rozhraní.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	RSRV	DATA_Length				
D15	D14	D13	D12	D11	D10	D9	D8
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	DATA_Code	
D23	D22	D21	D20	D19	D18	D17	D16
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV
D31	D30	D29	D28	D27	D26	D25	D24
RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV	RSRV

DATA_Length	definuje počet bitů přenášených SSI rozhraním
0	počet bitů = 1 (tato hodnota by měla být nastavena i pro nevyužitá SSI rozhraní)
...	...
31	počet bitů = 32
DATA_Code	definuje kód dat přenášených SSI rozhraním
0	přímý binární kód
1	Grayův kód
2 a 3	rezerva
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

Poznámka: Pro rozhraní SSI1 až SSI5 jsou implementovány analogické registry.

9.7 Registr SSI0StrReg (RD)

Tento registr plní funkci 32bitového vyrovnávacího datového registru pro softwarové čtení aktuálních dat načtených SSI řadičem z rozhraní 0.

Poznámka: Pro rozhraní SSI1 až SSI5 jsou implementovány analogické registry.

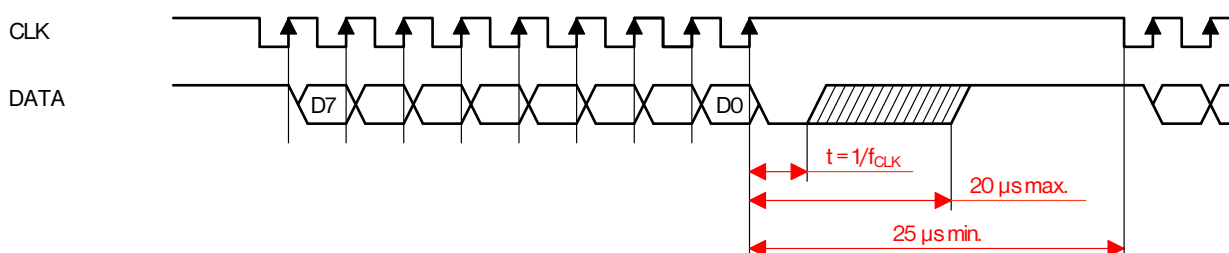
9.8 Popis činnosti řadiče SSI rozhraní a schéma registrové struktury

Na níže uvedených obrázcích jsou pro lepší porozumění znázorněny principy přenosů SSI rozhraním a popsána funkce vybraných registrů souvisejících s SSI rozhraním.

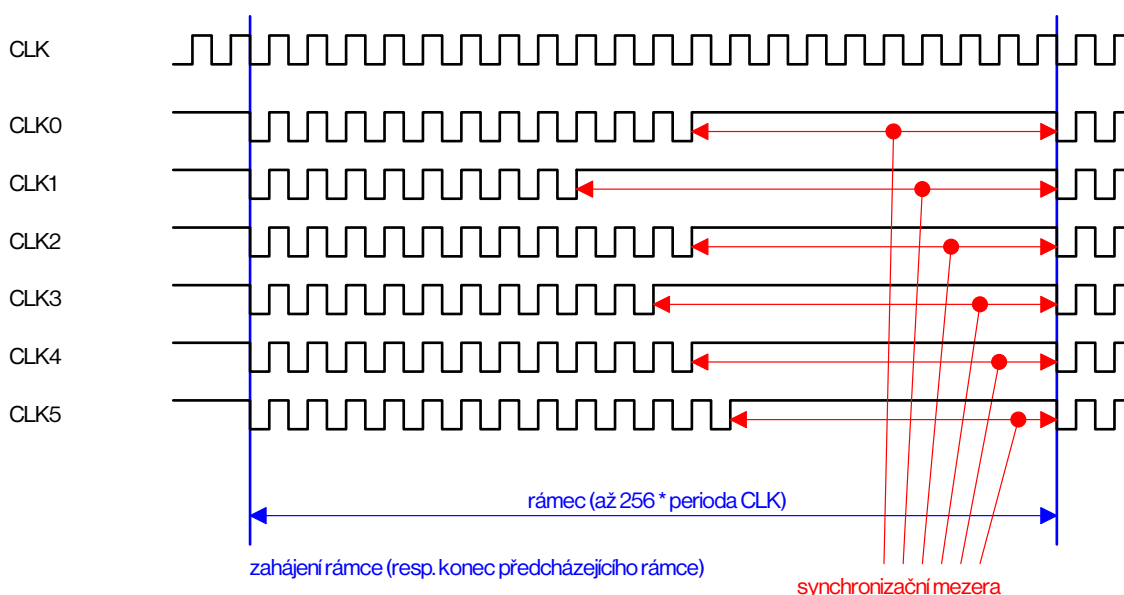
Signály SSI rozhraní

SSI rozhraní je tvořeno (kromě napájecího napětí) dvěma signály označenými CLK a DATA; oba jsou přenášeny diferenciálním párem signálů v napěťových úrovních RS-422.

Signál CLK je generován SSI masterem (v našem případě kartou PCT-836x), signál DATA je naopak generován snímačem připojeným k SSI master řadiči. Pro synchronizaci je využita mezera v CLK pulzech o šířce minimálně 25 μ s; snímač tuto mezeru detekuje a po zahájení další sekvence CLK pulzů vysílá data nejvyšším bitem počínaje.



Generování CLK signálů kartou



Pro volbu frekvence všech CLKx signálů je vyhrazeny bity D3+D0 registru SSICfgReg; zjednodušeně si lze funkčnost představit jako děličku vytvářející signál s frekvencí 100 kHz až 1 MHz (na obrázku vyznačen jako CLK zcela nahoře).

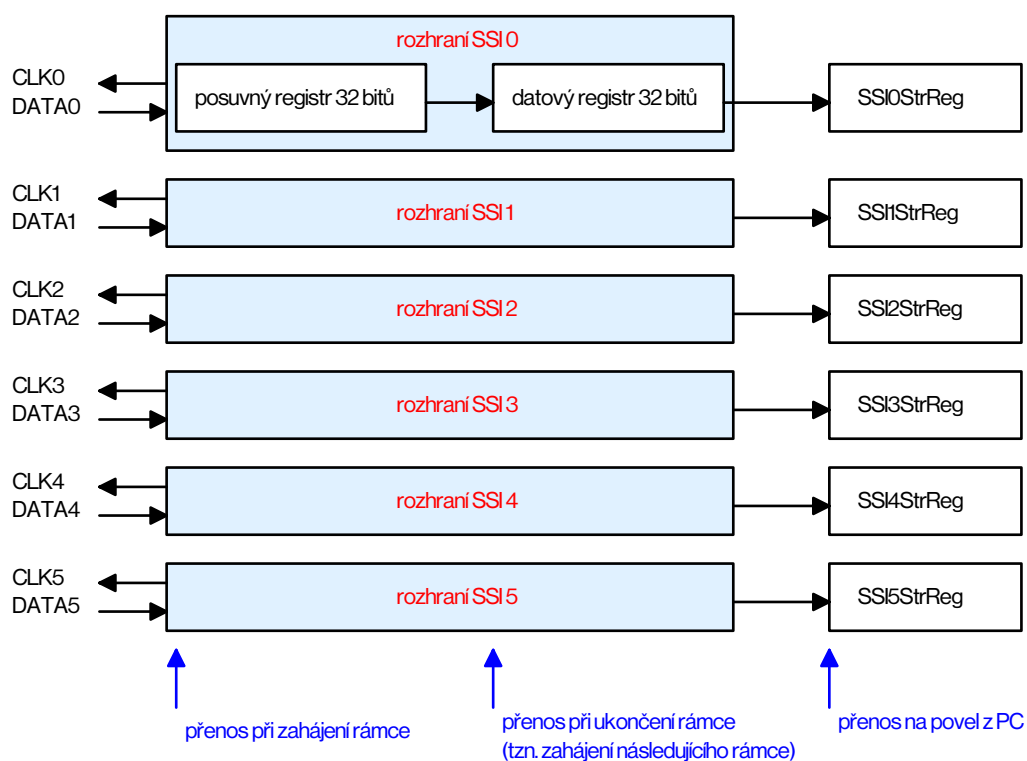
Doba rámečku SSI řadiče (tedy perioda, se kterou jsou načítána data z SSI rozhraní) je definována bity D15+D8 registru SSICfgReg v rozsahu 10 až 256 period signálu CLK (na obrázku vyznačena dvěma modrými čarami).

Počet bitů, které jsou z SSI rozhraní načítány, lze konfigurovat pro každé rozhraní bity D4+D0 registrů SSICfgReg v rozsahu 1 až 32 bitů (fakticky je v souladu s SSI specifikací generováno $2 \div 33$ CLK pulzů). Šest CLKx signálů pro různá nastavení SSICfgReg a SSICfgReg je zakresleno na obrázku.

Pro korektní konfiguraci SSI rozhraní je potřeba zajistit, aby pro každý signál CLK (resp. pro CLK signál SSI rozhraní, které je konfigurováno na nejvyšší počet bitů ze všech) byla garantována synchronizační mezera v délce minimálně 25 μ s; je tedy potřeba nastavit dostatečnou délku rámečku s ohledem na nejdelší bitovou délku přenosu a zvolenou frekvenci (nastavení příliš dlouhé doby rámečku nebo nízké CLK frekvence však naopak zbytečně snižuje četnost přenosů).

Struktura registrů

Na níže uvedeném obrázku jsou znázorněny toky dat SSI rozhraním.



Data z SSI snímače jsou SSI řadičem nejprve ukládána do posuvného registru (jednotlivé bity počínaje jsou zapisovány počínaje druhou náběžnou hranou signálu CLK následující po synchronizační mezeře).

Při ukončení rámce (odpovídá zahájení nového rámce) jsou data z posuvného registru přenesena do interního datového registru SSI řadiče; vzhledem ke konfigurovatelné délce dat jsou vždy využity nejnižší bity datového registru a nevyužité bity zůstávají nulové. Současně s přenosem je provedena konverze dat z Grayova kódu do přímého binárního kódu.

Jak vyplývá z předešlých odstavců, data interních datových registrů SSI řadičů jsou periodicky aktualizována; pro jejich čtení slouží registry SSIXStrReg, jejich obsah je aktualizován na povel z PC prostřednictvím registru SSICtrlReg.

10. Pomocné diagnostické registry (společné všem typům karet)

10.1 Úvod

V následujících odstavcích budou popsány pomocné diagnostické registry, viz přehled v 3. kapitole.

Přehled registrů:

CardResetReg	registr sloužící k nastavení všech registrů karty do definovaného stavu
CardResetStatusReg	registr informující o probíhající nastavení všech registrů karty do definovaného stavu
CardSerNrReg	konstanta definující unikátní výrobní číslo karty
CardIDReg	registr pro čtení stavu DIP spínače (umožňuje identifikovat až 4 karty stejného typu)
FPGATypeReg	konstanta označující typ firmware hradlového pole FPGA (standardní, zakázkový apod.)
FPGAVerReg	konstanta označující verzi firmware hradlového pole FPGA

10.2 Registr CardResetReg (WR)

Zápisem hodnoty 5043384B_H do tohoto registru dojde k okamžitému resetu (tzn. vynulování, není-li v popisu registru výslovně uvedeno jinak) všech registrů s výjimkou všech DIOCfgReg registrů a DIOCfgReg registru.

Bezprostředně po resetu registrů dochází k načtení obsahu EEPROM a uložení načtených hodnot do vybraných registrů (v případě PCT-83xx jde o všechny datové registry digitálních výstupů a registr DIOCfgReg pro konfiguraci portů); operace trvá typicky 1 ms a její průběh je signalizován stavovým registrem CardResetStatusReg.

10.3 Registr CardResetStatusReg (RD)

Tento registr zpřístupňuje příznak signalizující probíhající nastavení všech registrů karty do definovaného stavu vyvolaného registrem CardResetReg.

Registr má významný pouze nejnižší bit (všechny ostatní jsou trvale nulové); stavový bit hodnotou 1 signalizuje probíhající nastavení registrů karty (tzn. reset většiny registrů a následné načítání obsahu EEPROM a ukládání načtených hodnot do vybraných registrů), hodnota 0 pak odpovídá klidovému stavu.

10.4 Registr CardSerNrReg (RD)

Tento registr zpřístupňuje unikátní výrobní číslo karty formátu 32bitového celého čísla.

10.5 Registr CardIDReg (RD)

Tento registr zpřístupňuje stav dvousegmentového DIP spínače a umožňuje tak vzájemně odlišit až 4 karty stejného typu instalované v systému.

Registr je mapován duplicitně na dvou adresách, data jsou přenášena na nejnižších dvou bitech, horních šest bitů (resp. 30 bitů) je trvale nulových.

10.6 Registr FPGATypeReg (RD)

Tento registr zpřístupňuje konstantu označující typ firmware FPGA v rozsahu 0 až 255.

Registr je mapován duplicitně na dvou adresách, data jsou přenášena osmi bity, v případě 32bitového registru je horních 24 bitů trvale nulových.

Poznámka: Hodnota typu standardního firmware karty je uvedena v 1. kapitole.

10.7 Registr FPGAVerReg (RD)

Tento registr zpřístupňuje konstantu označující verzi firmware FPGA v rozsahu 0 až 255.

Registr je mapován duplicitně na dvou adresách, data jsou přenášena osmi bity, v případě 32bitového registru je horních 24 bitů trvale nulových.

Poznámka: Hodnota aktuální verze standardního firmware karty je uvedena v 1. kapitole.

11. Registry v adresových prostorech BAR1 a BAR2

11.1 Úvod

Zatímco předešlé kapitoly popisovaly až na označené výjimky funkční registry v adresovém prostoru BAR0, následující odstavce budou věnovány registrům v adresových prostorech BAR1 a BAR2.

BAR1 obsahuje především servisní registry (rozhraní pro update firmware FPGA, kalibrační konstanty, hodnoty definující obsah např. registrů DOUT po resetu, ...)

BAR2 obsahuje především registry obsluhované ovladačem z jádra operačního systému

Upozornění: *Registry mapované v adresových prostorech BAR1 a BAR2 podléhají změnám v závislosti na verzi firmware a na rozdíl od funkčních registrů v BAR0 není garantována zpětná ani dopředná kompatibilita. Software, který tyto registry využívá, proto musí vyhodnocovat a své funkce přizpůsobovat nejen typu karty, ale i obsahu registrů FPGATypeReg a FPGAVerReg.*

11.2 Adresový prostor BAR1

Adresový prostor BAR1 obsahuje především servisní registry (rozhraní pro update firmware FPGA, kalibrační konstanty, hodnoty definující obsah např. registrů DOUT po resetu, ...) a jejich popis přesahuje rámec této příručky.

V odůvodněném případě se lze obrátit na technickou podporu se žádostí a poskytnutí specifikace registrů.

11.3 Adresový prostor BAR2

Adresový prostor BAR2 obsahuje především registry související s obsluhou přerušení, popř. určené pro řízení DMA přenosů, obsluhované ovladačem z jádra operačního systému.

V odůvodněném případě se lze obrátit na technickou podporu se žádostí a poskytnutí specifikace registrů.

Prázdná Strana

Několik slov o TEDIA® spol. s r. o.

TEDIA® spol. s r. o. je ryze českým výrobcem měřicí a průmyslové elektroniky s vlastním vývojovým, výrobním a servisním zázemím s tradicí od roku 1994.

Společnost je od roku 2002 **řádným členem PCI Special Interest Group**, organizace odpovědné za standardizaci a vývoj sběrnic PCI a PCI Express.

Aktuální nabídka výrobků a služeb

Komponenty pro PC systémy

- multifunkční karty pro laboratorní a průmyslové aplikace (A/D převodníky, D/A převodníky, digitální porty, IRC a registrační čítače, ...)
- dceřiné desky pro úpravu signálů (izolační zesilovače, multiplexery, výkonové výstupy, ...)
- podpora sběrnic ISA, PC/104, PCI a PCI Express

Komponenty pro distribuované systémy - stavebnice modulů MicroUnit serie

- kompletní sortiment inteligentních I/O modulů (analogové vstupy a výstupy, digitální porty, čítače, ...)
- komunikace s nadřazeným systémem rozhraním RS-485, RS-422, RS-232 nebo LAN
- protokoly AlBus-2 (firemní komunikační protokol) a standardní Modbus RTU
- průmyslové provedení v pouzdru pro montáž na lištu DIN 35 mm
- speciální typy v zakázkovém provedení nebo LCD moduly pro montáž na čelní panel rozváděče

Komponenty pro komunikaci v průmyslovém prostředí

- komunikační karty pro sběrnic ISA, PC/104, PCI a PCI Express
- jedno, dvou a čtyřportové karty s řadiči UART s podporou rozhraní RS-232, RS-422 a RS-485
- konvertory a repeatery komunikačních rozhraní RS-232, RS-422 a RS-485 v pouzdru pro montáž na lištu DIN 35 mm
- miniaturní izolované USB konvertory pro rozhraní RS-232 a RS-485

Komponenty pro mobilní měřicí systémy

- multifunkční moduly pro nasazení v laboratořích a zkušebnách
- USB nebo LAN konektivita

Software

- vývoj univerzálních Windows ovladačů a ovladačů pro Control Web ovladačů pro naše výrobky
- jako oem partner dodáváme všechny komponenty systém Control Web
- dodáváme systém ScopeWin pro laboratorní nebo průmyslová měření a analýzu dat

Zakázkový vývoj a výroba elektroniky

- zkušenosti s vývojem více než stovky typů zásuvných PC karet a téměř 400 typů mikropočítačových desek
- speciální elektronika vybavená rozhraněními a technologiemi, se kterými již máme zkušenosti
 - počítačové sběrnic PCI, PCI Express, ISA, USB, ethernet, ...
 - rutinní vyžívání hradlových polí FPGA a CPLD Altera
 - mikropočítače Cortex M3/M4, výkonné mikropočítače řady ˆ51
 - zpracování analogových signálů z technologických čidel (termočlánky, odporová čidla, tenzometry, inkrementální snímač, LVDT, ...)
 - aplikace A/D převodníků s vysokým rozlišením nad 20 bitů nebo vzorkovací frekvencí desítek MHz
 - zpracování a analýza signálů v reálném čase pomocí FPGA (FIR, DFT, ...)
- výroba zajištěna vlastním osazovacím automatem a pájecí pecí pracující na principu nasycených par
- zkušební laboratoř vybavená mj. klimatizační komorou pro zkoušky chladem, suchým teplem a vlhkým teplem podle norem ČSN EN 60068
- další informace viz <http://www.tedia.cz/vyvoj>



Member of PCI Special Interest Group

Vývoj, výroba, obchod, servis, technická podpora:

adresa: TEDIA[®] spol. s r. o.
Zábělská 12
31211 Plzeň
Česká republika

internet: <http://www.tedia.cz>
<http://www.pci.cz>

telefon: +420 373730421 (základní číslo)
+420 373730426 (technická podpora)

fax: +420 373730420

e-mail: aktuální informace najdete na adresách
<http://www.tedia.cz/kontakty>
<http://www.tedia.cz/podpora>